

## ADSP-BF534/ADSP-BF536/ADSP-BF537

### 特長

最大600 MHzの高性能Blackfinプロセッサ  
 16ビットMACを2個、40ビットALUを2個、8ビット・ビデオALUを4個、40ビット・シフタを内蔵  
 RISCライクなレジスタおよび命令モデルを採用しているため、プログラミングが容易でかつコンパイラ・フレンドリなサポートが可能  
 高度なデバッグ機能、トレース機能、パフォーマンスモニター機能をサポート  
 広い動作温度範囲(動作条件参照)  
 プログラマブルな電圧レギュレータを内蔵  
 182ボールおよび208ボールのCSP\_BGAパッケージを採用

### メモリ

最大132Kバイトの内蔵メモリ  
 命令SRAM/キャッシュと命令SRAM  
 データSRAM/キャッシュと専用データSRAM  
 スクラッチパッドSRAM (メモリ構成については表1 参照)  
 外部メモリ・コントローラにより、外付け部品なしでSDRAMおよび非同期8ビットと16ビット・メモリのサポートが可能  
 外部フラッシュ、SPIメモリとTWIメモリ、またはSPI、TWI、UARTの各ホスト・デバイスからの柔軟なブート・オプション

メモリ・マネジメント・ユニット(MMU)によるメモリ保護

### ペリフェラル

IEEE 802.3準拠の10/100イーサネットMAC (ADSP-BF536とADSP-BF537の場合)  
 コントローラ・エリア・ネットワーク(CAN) 2.0Bインターフェース  
 ITU-R 656ビデオ・データ・フォーマットをサポートするパラレル・ペリフェラル・インターフェース(PPI)  
 2系統の2チャンネル全二重同期シリアル・ポート(SPORT)により、8チャンネルのステレオI<sup>2</sup>Sをサポート  
 12個のペリフェラルDMA、2個はイーサネットMACのマスター  
 外部要求ラインを使用する2個のメモリ間DMA  
 32本の割り込み入力によるイベント・ハンドラ  
 シリアル・ペリフェラル・インターフェース(SPI)に互換IrDAをサポートする2系統のUART  
 2線式インターフェース(TWI)コントローラ  
 PWMをサポートする32ビット・タイマ/カウンタ×8  
 リアルタイム・クロック(RTC)とウォッチドッグ・タイマ  
 32ビット・コア・タイマ  
 48本の汎用I/O (GPIO)、8本は高電流ドライバを内蔵  
 0.5~64倍の周波数を生成できるオンチップPLL  
 デバッグ/JTAGインターフェース

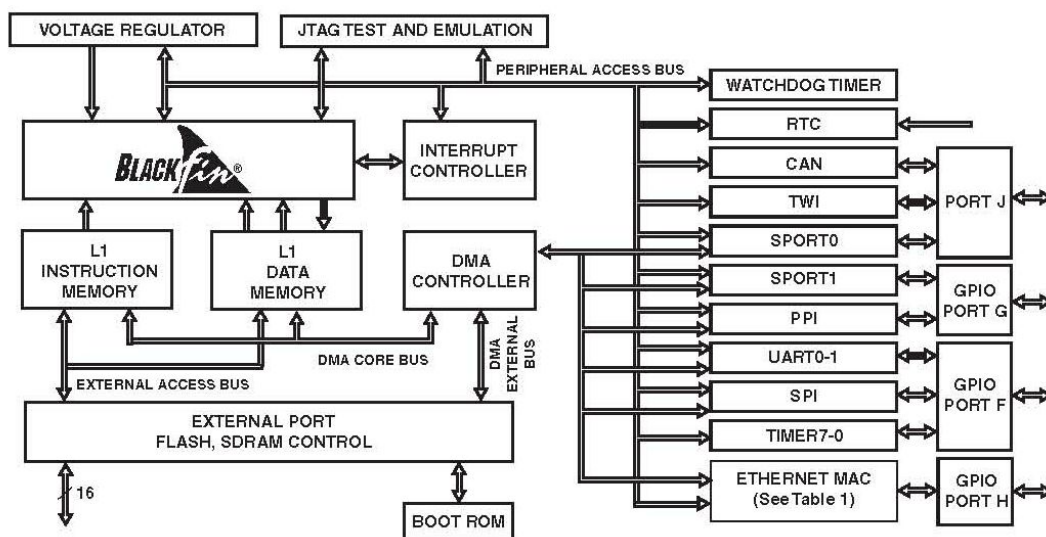


図1 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2009 Analog Devices, Inc. All rights reserved.

Rev. G

## 目次

特長	1	電圧レギュレーション	14
メモリ	1	クロック信号	15
ペリフェラル	1	ブーティング・モード	16
目次	2	命令セットの説明	17
改訂履歴	2	開発ツール	17
概要	3	エミュレータ互換プロセッサ・ボードのデザイン	18
ポータブルな低消費電力アーキテクチャ	3	関連ドキュメント	18
システム・インテグレーション	3	ピン説明	19
Blackfinプロセッサ・ペリフェラル	3	仕様	23
Blackfinプロセッサ・コア	4	動作条件	23
メモリ・アーキテクチャ	5	電気的特性	25
DMAコントローラ	8	絶対最大定格	29
リアルタイム・クロック	9	ESD感受性	29
ウォッチドッグ・タイマ	9	パッケージ情報	29
タイマ	9	タイミング仕様	30
シリアル・ポート(SPORT)	10	出力駆動電流	51
シリアル・ペリフェラル・インターフェース(SPI)ポート	10	テスト条件	53
UARTポート	10	熱特性	56
コントローラ・エリア・ネットワーク(CAN)	11	182 ボールCSP_BGAのボール配置	57
TWIコントローラ・インターフェース	11	208 ボールCSP_BGAのボール配置	60
10/100 イーサネットMAC	11	外形寸法	63
ポート	12	表面実装デザイン	64
パラレル・ペリフェラル・インターフェース(PPI)	12	車載製品	65
ダイナミック・パワー・マネジメント	13	オーダー・ガイド	65
ディープ・スリープ動作モード—最高の省電力	13		

## 改訂履歴

2/09—Rev. E to Rev. G

The revision F data sheet was never released publicly. The following revisions include those from both revision E to F and from revision F to G.

Revised the  $I_{DDSLP}$ ,  $I_{DDDEEPSLP}$ , and  $I_{DDINT}$  specifications. See [Electrical Characteristics](#) ..... 25

Removed the Power Dissipation section. See [Estimating Power for the ADSP-BF534/BF536/BF537 Blackfin Processors \(EE-297\)](#) and [Table 16](#) and [Table 15](#) ..... 27

Added  $t_{NOBOOT}$  specification to [Clock and Reset Timing](#) ..... 30

Removed DATA15–0 from footnote 1 in [Asynchronous Memory Write Cycle Timing](#) ..... 32

Revised SDRAM  $t_{ENSDAT}$  specification. See [SDRAM Interface Timing](#) ..... 34

Revised serial ports internal clock timing specifications  $t_{SFSI}$  and  $t_{SDRI}$ . See [Serial Ports](#) ..... 39

Revised SPI master timing specifications and diagram. See [Serial Peripheral Interface Port—Master Timing](#) ..... 42

Revised SPI slave timing specifications and diagram. See [Serial Peripheral Interface Port—Slave Timing](#) ..... 43

Revised timer cycle timing specifications  $t_{TIS}$  and  $t_{TOD}$ . See [Timer Cycle Timing](#) ..... 46

Revised [Figure 61](#) and [Figure 62](#) (added NC pin). ..... 59

## 概要

ADSP-BF534/ADSP-BF536/ADSP-BF537 は Blackfin<sup>®</sup>製品ファミリに属し、アナログ・デバイス/インテル・マイクロ・シグナル・アーキテクチャ(MSA)を採用しています。

Blackfin プロセッサは、2 系統の MAC を内蔵する最新の信号処理エンジン、直交性の優れた RISC ライクなマイクロプロセッサ命令セットの利点、シングル命令マルチプル・データ (SIMD) マルチメディア機能を 1 つの命令セット・アーキテクチャに統合したものです。

ADSP-BF534/ADSP-BF536/ADSP-BF537 の各プロセッサは、完全なコード互換性とピン互換性を持っています。性能、内蔵メモリ、イーサネット MAC モジュールの有無が異なります。仕様性能、メモリ、機能構成を [表 1](#) に示します。

表1 プロセッサの比較

Features		ADSP-BF534	ADSP-BF536	ADSP-BF537
Ethernet MAC		—	1	1
CAN		1	1	1
TWI		1	1	1
SPORTs		2	2	2
UARTs		2	2	2
SPI		1	1	1
GP Timers		8	8	8
Watchdog Timers		1	1	1
RTC		1	1	1
Parallel Peripheral Interface		1	1	1
GPIOs		48	48	48
Memory Configuration	L1 Instruction SRAM/Cache	16K bytes	16K bytes	16K bytes
	L1 Instruction SRAM	48K bytes	48K bytes	48K bytes
	L1 Data SRAM/Cache	32K bytes	32K bytes	32K bytes
	L1 Data SRAM	32K bytes	—	32K bytes
	L1 Scratchpad	4K bytes	4K bytes	4K bytes
L3 Boot ROM		2K bytes	2K bytes	2K bytes
Maximum Speed Grade		500 MHz	400 MHz	600 MHz
Package Options:				
CSP_BGA		208-Ball	208-Ball	208-Ball
CSP_BGA		182-Ball	182-Ball	182-Ball

Blackfin プロセッサは、業界をリードするシステム・ペリフェラルとメモリの豊富なセットを統合することにより、次世代アプリケーションに対する最適なプラットフォームになっています。次世代アプリケーションでは、RISC ライクなプログラマブル性、マルチメディアのサポート、最先端の信号処理を 1 つのパッケージに統合することが必要とされています。

## ポータブルな低消費電力アーキテクチャ

Blackfin プロセッサは、ワールド・クラスのパワー・マネジメントと性能を提供します。これらのプロセッサは低消費電力および低電圧デザイン技術を使って製造されており、動作電圧と動作周波数を変更できるダイナミック・パワー・マネジメント機能を持つため、全体の消費電力を大幅に削減することができます。この機能により、動作周波数だけを変える場合に比較して大幅な消費電力削減が可能になります。このため、ポータブル・アプリケーションでバッテリー寿命を延ばすことができます。

## システム・インテグレーション

Blackfin プロセッサは、次世代ネットワーク接続アプリケーションを対象とする高集積度のシステム・オン・チップ・ソリューションです。この業界標準のインターフェースと高性能信号処理コアとの組み合わせにより、コスト・パフォーマンスの優れたアプリケーションを高価な外付け部品なしで迅速に開発することができます。システム・ペリフェラルとしては、IEEE 準拠 802.3 10/100 イーサネット MAC (ADSP-BF536 と ADSP-BF537 の場合)、CAN 2.0B コントローラ、TWI コントローラ、2 個の UART ポート、SPI ポート、2 個のシリアル・ポート (SPORT)、9 個の汎用 32 ビット・タイマ (8 個は PWM 機能付き)、リアルタイム・クロック、ウォッチドッグ・タイマ、パラレル・ペリフェラル・インターフェース (PPI) などがあります。

## Blackfin プロセッサ・ペリフェラル

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサには複数の広帯域バスを介してコアに接続された豊富なペリフェラル・セットが内蔵されており、システム構成の柔軟性と優れた全体システム性能を提供します ([図 1](#) 参照)。このプロセッサは、専用ネットワーク通信モジュール、高速なシリアルおよびパラレル・ポート、内蔵ペリフェラルまたは外部ソースからの割込みを柔軟に管理する割込みコントローラ、多様なアプリケーションに応じてプロセッサとシステムの性能と消費電力特性を調節するパワー・マネジメント制御機能を内蔵しています。

汎用 I/O、CAN、TWI、リアルタイム・クロック、タイマを除くすべてのペリフェラルで、柔軟な DMA 構造がサポートされています。外付けの SDRAM と非同期メモリを含むプロセッサの種々のメモリ空間の間でのデータ転送用に個別のメモリ DMA チャンネルも用意されています。最大 133 MHz で動作する複数のオンチップ・バスは、プロセッサ・コアがすべての内蔵ペリフェラルおよび外部ペリフェラルと動作するための十分な帯域幅を提供しています。

Blackfin プロセッサは、ダイナミック・パワー・マネジメント機能をサポートするために電圧レギュレータを内蔵しています。この電圧レギュレータは、 $V_{DDEXT}$  を使用した場合、広範囲なコア電圧レベルを提供します。この電圧レギュレータは、ユーザの指定によりバイパスすることができます。

### Blackfin プロセッサ・コア

図 2 に示すように、Blackfin プロセッサ・コアは、2 個の 16 ビット乗算器、2 個の 40 ビット・アキュムレータ、2 個の 40 ビット ALU、4 個のビデオ ALU、1 個の 40 ビット・シフタを内蔵しています。この演算ユニットは、レジスタ・ファイルにある 8 ビット、16 ビット、または 32 ビットのデータを処理します。

演算レジスタ・ファイルには、8 個の 32 ビット・レジスタがあります。16 ビットのオペランド・データに対する演算動作では、レジスタ・ファイルは 16 個の独立な 16 ビット・レジスタとして動作します。演算動作でのすべてのオペランドは、マルチポート化されたレジスタ・ファイル・フィールドと命令定数フィールドから取得されます。

各 MAC は、各サイクルで 16 ビット×16 ビットの乗算を実行して、演算結果を 40 ビットのアキュムレータにアキュムレートすることができます。符号付きおよび符号なしフォーマット、まるめ処理、飽和処理をサポートしています。

ALU は、16 ビットまたは 32 ビットのデータに対する算術演算および論理演算の従来型セットを実行します。さらに、種々の信号処理タスクを加速させる多くの特殊命令を持っています。これらには、フィールド抽出およびポピュレーション・カウントなどのビット操作、モジュロ  $2^{32}$  の乗算、除算プリ

ミティブ、飽和処理、まるめ処理、符号/指数部の検出などが含まれます。ビデオ命令のセットには、バイト・アライメントおよびパッキング操作、クリッピング機能を持つ 16 ビットおよび 8 ビットの加算、8 ビット平均処理、8 ビットの減算/絶対値/アキュムレート(SAA)命令が含まれています。コンペア/セレクト命令とベクター・サーチ命令も用意されています。

命令によっては、2 つの 16 ビット ALU 演算をレジスタ対(上位 16 ビットと下位 16 ビットの演算レジスタ)に対して同時に実行することができるものもあります。2 つ目の ALU を使用して、4 つの 16 ビット演算を行うこともできます。

40 ビット・シフタはシフトおよびローテイトを実行することができます。正規化、フィールドの抽出、フィールドの設定を行う命令をサポートするときに使います。

プログラム・シーケンサは、命令のアライメントやデコーディングなどの命令実行フローを制御します。プログラム・フロー制御に対しては、シーケンサは PC 相対および間接の条件付きジャンプ(静的分岐予測)とサブルーチン呼び出しをサポートしています。ゼロ・オーバーヘッド・ループ機能をサポートするためのハードウェアも用意されています。このアーキテクチャは完全にインターロックされています。すなわち、データ依存性を持つ命令を実行する際にプログラムはパイプラインを管理する必要がありません。

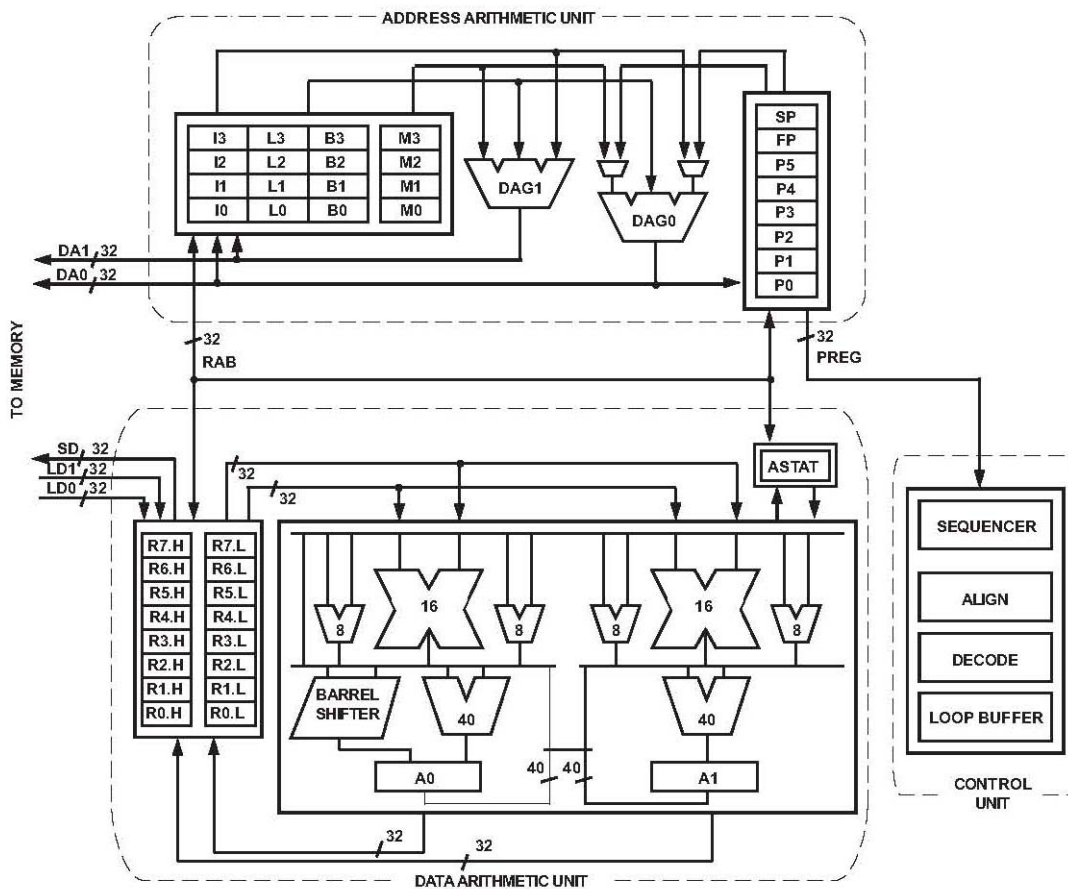


図2 Blackfin プロセッサ・コア

アドレス演算ユニットは 2 個のアドレスを提供するため、2 つの同時メモリ・フェッチが可能です。4 組の 32 ビットのインデックス・レジスタ、モデファイ・レジスタ、レンジス・レジスタ、ベース・レジスタ(循環バッファ用)から構成されているマルチポート化されたレジスタ・ファイル、さらに 8 個の 32 ビット・ポインタ・レジスタ(C タイプのインデックス・スタック操作作用)が含まれています。

**Blackfin** プロセッサは、修正ハーバード・アーキテクチャと階層的メモリ構造の組み合わせをサポートしています。レベル 1 (L1)メモリは、ほとんどレイテンシがない最高プロセッサ速度で動作するメモリです。L1 レベルでは、命令メモリは命令のみを保持します。2 つのデータ・メモリはデータを保持し、専用のスクラッチパッド・データ・メモリはスタック情報とローカル変数情報を格納します。

さらに、複数の L1 メモリ・ブロックが用意されているため、SRAM とキャッシュのミックス構成が可能です。メモリ・マネジメント・ユニット(MMU)は、コア上で動作可能な個々のタスクに対してメモリ保護機能を提供し、意図しないアクセスからシステム・レジスタを保護します。

このアーキテクチャでは、ユーザ・モード、スーパーバイザ・モード、エミュレーション・モードの 3 種類の動作モードを提供しています。ユーザ・モードでは、ある種のシステム・リソースに対するアクセスを制限しているため、保護されたソフトウェア環境を提供しています。スーパーバイザ・モードでは、システム・リソースとコア・リソースに対するアクセス制限はありません。

**Blackfin** プロセッサの命令セットは、16 ビット・オペコードが最も頻繁に使用される命令となるように最適化されているため、優れたコンパイル済みコード密度が得られます。複雑な DSP 命令は 32 ビット・オペコードにエンコードされて、フル機能のマルチファンクション命令になっています。**Blackfin** プロセッサでは制限付きの並列発行機能をサポートしています。すなわち、2 つの 16 ビット命令と並列に、32 ビット命令を発行することができるため、多くのコア・リソースを 1 命令サイクルで使用することができます。

**Blackfin** プロセッサのアセンブリ言語では、代数的構文を採用しているためコードの読み書きが容易です。このアーキテクチャは C/C++コンパイラの使用に対して最適化されているため、高速かつ効率良いソフトウェアを作成することができます。

## メモリ・アーキテクチャ

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、メモリを 32 ビット・アドレスを使う 1 つの連続した 4G バイトのアドレス空間として見ます。内部メモリ、外部メモリ、I/O コントロール・レジスタなどのすべてのリソースは、この共通アドレス空間の一部を占有します。このアドレス空間のメモリ部分は階層的に構成されているため、キャッシュまたは SRAM としての非常に高速で低レイテンシのオンチップ・メモリと、大容量で低価格かつ低性能のオフチップ・メモリ・システムとの間でコスト/パフォーマンスを均衡させることができます。(図 3 参照)。

内蔵 L1 メモリ・システムは、**Blackfin** プロセッサから使用可能な最高性能のメモリです。外部バス・インターフェース・ユニット(EBIU)を介してアクセスするオフチップ・メモリ・システムは、SDRAM、フラッシュ・メモリ、SRAM の拡張を提供し、最大 516 M バイトまでの物理メモリをアクセスすることができます。

メモリ DMA コントローラは、広帯域のデータ転送機能を提供します。内部メモリ空間と外部メモリ空間と間のコードまたはデータのブロック転送を実行することができます。

## 内部(オンチップ)メモリ

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、3 つのブロックのオンチップ・メモリを持っており、コアに対する高速なアクセスを提供します。

1 つ目は L1 命令メモリであり、64K バイトの SRAM で構成されており、その内の 16K バイトは 4 ウェイ・セット・アソシアティブ・キャッシュとして設定することができます。このメモリは最高プロセッサ速度でアクセスすることができます。

2 つ目のオンチップ・メモリ・ブロックは L1 データ・メモリであり、各々最大 32K バイトの最大 2 バンクで構成されています。各メモリ・バンクは設定可能で、キャッシュ機能と SRAM 機能を選択できます。このメモリ・ブロックは最高プロセッサ速度でアクセスすることができます。

3 つ目のメモリ・ブロックは 4K バイトのスクラッチパッド SRAM であり、L1 メモリと同じ速度で動作しますが、データ SRAM としてのみアクセス可能で、キャッシュ・メモリとして設定することはできません。

## 外部(オフチップ)メモリ

外部メモリは EBIU を介してアクセスします。この 16 ビット・インターフェースは、同期 DRAM (SDRAM)のバンクや、フラッシュ、EPROM、ROM、SRAM、メモリ・マップド I/O デバイスなどの最大 4 バンクの同期メモリ・デバイスに対して外付け部品不要な接続を提供します。

PC133 準拠の SDRAM コントローラは、最大 512 M バイトの SDRAM とインターフェースするように設定することができます。SDRAM コントローラは最大 4 個の内部 SDRAM バンクをサポートし、各 SDRAM 内部バンクに対して別々に行をオープンすることができるため、全体性能が向上します。

非同期メモリ・コントローラは、非常に柔軟なタイミング・パラメータを持つ最大 4 バンクのデバイスを制御するように設定することができます。広範囲なデバイスをサポートすることができます。各バンクは使用するデバイスのサイズに無関係に 1M バイト・セグメントを占有します。したがって、各々が 1M バイトのメモリで使用された場合にのみ、これらのバンクが連続になります。

## I/Oメモリ空間

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサには、I/O 空間は別に存在しません。すべてのリソースが均一な 32 ビット・アドレス空間にマップされます。オンチップ I/O デバイスには固有のコントロール・レジスタがあり、4G バイト・アドレス空間の先頭近くのアドレスにあるメモリ・マップド・レジスタ(MMR)にマップされています。これらは 2 つの小さなブロックに分けられます。一方にはすべてのコア機能に対するコントロール MMR が、他方にはコアの外側にあるオンチップ・ペリフェラルの設定と制御に必要なレジスタが、それぞれ配置されています。この MMR はスーパーバイザ・モードでのみアクセス可能で、内蔵ペリフェラルに対しては予約済み空間として表示されます。

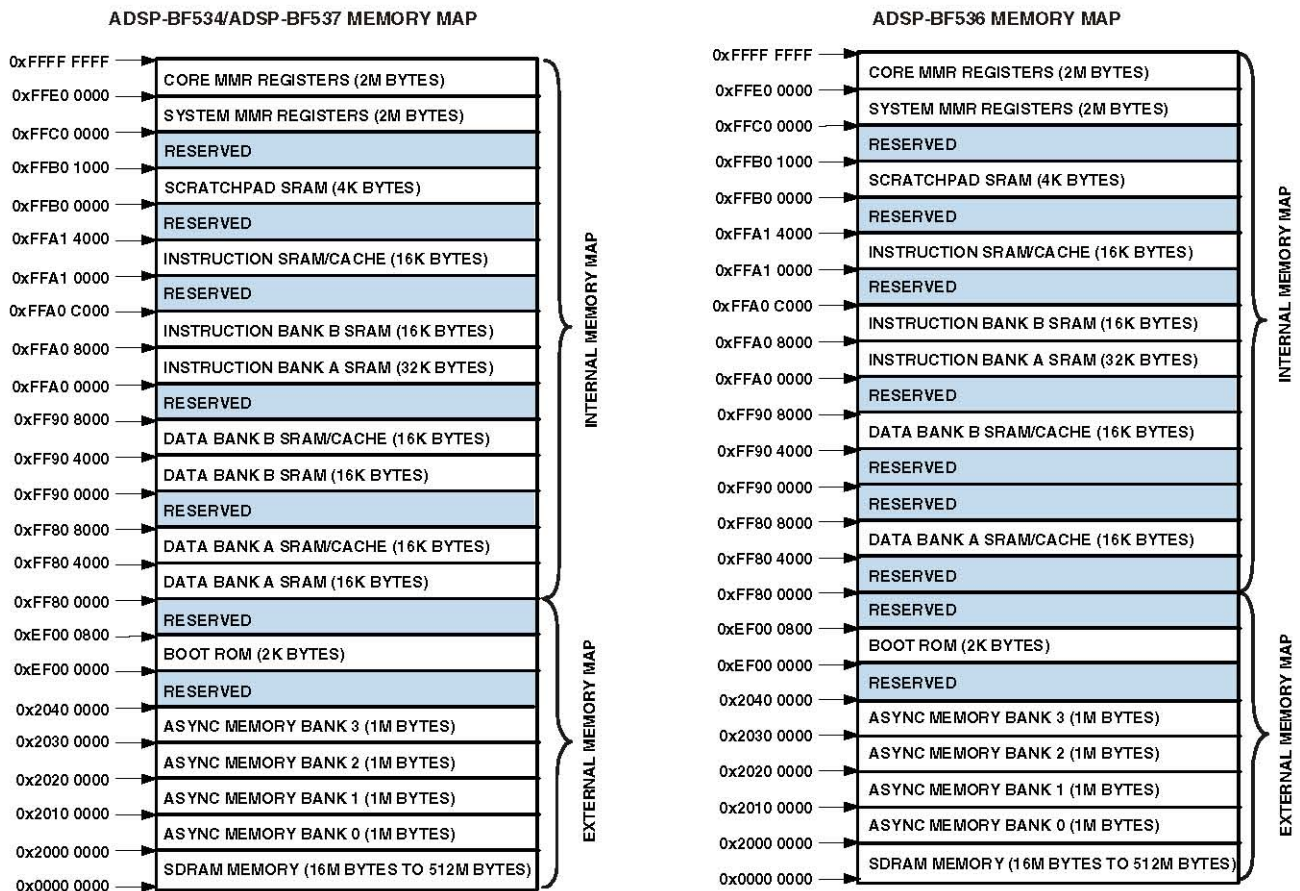


図3 ADSP-BF534/ADSP-BF536/ADSP-BF537 のメモリ・マップ

## ブート

Blackfinプロセッサには小さいブート・カーネルが内蔵されており、これがペリフェラルをブート用に設定します。BlackfinプロセッサがROMメモリ空間からブートするように設定された場合、プロセッサはオンチップ・ブートROMから実行を開始します。詳細については、[ブーティング・モード](#)を参照してください。

## イベント処理

Blackfin プロセッサのイベント・コントローラは、プロセッサに対するすべての非同期イベントおよび同期イベントを処理します。Blackfin プロセッサは、ネスティングと優先順位付けをサポートするイベント処理を提供します。ネスティング機能を使うと、複数のイベント・サービス・ルーチンを同時に起動することができます。優先順位付け機能により、高い優先順位のイベントが低い優先順位のイベントより先にサービスされることが保証されます。このコントローラは、次の5種類のタイプのイベントをサポートします。

- ・エミュレーション—エミュレーション・イベントが発生すると、プロセッサはエミュレーション・モードになり、プロセッサのコマンドと制御が JTAG インターフェースを経由するようになります。
- ・リセット—このイベントが発生すると、プロセッサがリセットされます。

- ・マスク不能割込み(NMI)—ソフトウェア・ウォッチドッグ・タイマまたはプロセッサに対するNMI入力信号により、NMIイベントが発生されます。NMI イベントはパワーダウン・インジケータとして頻繁に使用され、システムのシャットダウン手順を起動します。

- ・例外—プログラム・フローに同期して発生するイベント(すなわち、命令が完了する前に例外が処理されます)。データ・アライメント違反や未定義命令のような条件で例外が発生します。

- ・割込み—プログラム・フローに対して非同期に発生するイベント。入力ピン、タイマ、その他のペリフェラル、さらに特定のソフトウェア命令により発生されます。

各イベント・タイプはリターン・アドレスを保持するレジスタと対応する `return-from-event` 命令を持っています。イベントが発生すると、プロセッサの状態はスーパーバイザ・スタックに待避させられます。

Blackfin プロセッサのイベント・コントローラは、コア・イベント・コントローラ(CEC)とシステム割込みコントローラ(SIC)の2ステージから構成されています。コア・イベント・コントローラはシステム割込みコントローラと一緒に動作して、全システム・イベントの優先付けと制御を行います。概念的には、ペリフェラルからの割込みが SIC に入力されて、CEC の汎用割込みに直接接続されます。

## コア・イベント・コントローラ(CEC)

CECは、専用割込みと例外イベントの他に9個の汎用割込み(IVG15~7)をサポートしています。これらの汎用割込みの内、低優先順位の割込み(IVG15~14)はソフトウェア割込みハンドラ用に、残りの7つの優先順位の割込み入力にはBlackfinプロセッサのペリフェラルのサポートに、それぞれ使用することが推奨されます。表2 に、CECに対する入力、イベント・ベクター・テーブル(EVT)内の識別名、それぞれの優先順位を示します。

表2 コア・イベント・コントローラ(CEC)

Priority (0 is Highest)	Event Class	EVT Entry
0	Emulation/Test Control	EMU
1	Reset	RST
2	Nonmaskable Interrupt	NMI
3	Exception	EVX
4	Reserved	—
5	Hardware Error	IVHW
6	Core Timer	IVTMR
7	General-Purpose Interrupt 7	IVG7
8	General-Purpose Interrupt 8	IVG8
9	General-Purpose Interrupt 9	IVG9
10	General-Purpose Interrupt 10	IVG10
11	General-Purpose Interrupt 11	IVG11
12	General-Purpose Interrupt 12	IVG12
13	General-Purpose Interrupt 13	IVG13
14	General-Purpose Interrupt 14	IVG14
15	General-Purpose Interrupt 15	IVG15

## システム割込みコントローラ(SIC)

システム割込みコントローラは、多くのペリフェラル割込み源から発生するイベントと優先順位付けされたCECの汎用割込み入力との間の対応と接続を提供します。プロセッサはデフォルトの対応を提供しますが、ユーザは割込み割り当てレジスタ(IAR)に該当する値を書き込むことにより、割込みイベントの対応と優先順位を変更することができます。表3 に、SICに対する入力とCECに対するデフォルトの対応を示します。

### イベント制御

Blackfin プロセッサはイベントの処理を制御する非常に柔軟なメカニズムを提供します。CEC では、3 個のレジスタを使って、イベントの制御を行います。各レジスタは 16 ビット幅です。

- ・ CEC 割込みラッチ・レジスタ(ILAT)—イベントがラッチされたタイミングを表示します。プロセッサがイベントをラッチしたとき、該当するビットがセットされ、イベントがシステムに受理されたとき、クリアされます。このレジスタはコントローラから自動的に更新されますが、対応するIMASK ビットがクリアされているときにのみ、書込みが可能です。

表3 システム割込みコントローラ(SIC)

Peripheral Interrupt Event	Default Mapping	Peripheral Interrupt ID
PLL Wakeup	IVG7	0
DMA Error (Generic)	IVG7	1
DMAR0 Block Interrupt	IVG7	1
DMAR1 Block Interrupt	IVG7	1
DMAR0 Overflow Error	IVG7	1
DMAR1 Overflow Error	IVG7	1
CAN Error	IVG7	2
Ethernet Error (ADSP-BF536 and ADSP-BF537 only)	IVG7	2
SPORT 0 Error	IVG7	2
SPORT 1 Error	IVG7	2
PPI Error	IVG7	2
SPI Error	IVG7	2
UART0 Error	IVG7	2
UART1 Error	IVG7	2
Real-Time Clock	IVG8	3
DMA Channel 0 (PPI)	IVG8	4
DMA Channel 3 (SPORT 0 Rx)	IVG9	5
DMA Channel 4 (SPORT 0 Tx)	IVG9	6
DMA Channel 5 (SPORT 1 Rx)	IVG9	7
DMA Channel 6 (SPORT 1 Tx)	IVG9	8
TWI	IVG10	9
DMA Channel 7 (SPI)	IVG10	10
DMA Channel 8 (UART0 Rx)	IVG10	11
DMA Channel 9 (UART0 Tx)	IVG10	12
DMA Channel 10 (UART1 Rx)	IVG10	13
DMA Channel 11 (UART1 Tx)	IVG10	14
CAN Rx	IVG11	15
CAN Tx	IVG11	16
DMA Channel 1 (Ethernet Rx, ADSP-BF536 and ADSP-BF537 only)	IVG11	17
Port H Interrupt A	IVG11	17
DMA Channel 2 (Ethernet Tx, ADSP-BF536 and ADSP-BF537 only)	IVG11	18
Port H Interrupt B	IVG11	18
Timer 0	IVG12	19
Timer 1	IVG12	20
Timer 2	IVG12	21
Timer 3	IVG12	22
Timer 4	IVG12	23
Timer 5	IVG12	24
Timer 6	IVG12	25
Timer 7	IVG12	26
Port F, G Interrupt A	IVG12	27
Port G Interrupt B	IVG12	28

表 1 システム割込みコントローラ(SIC) (続き)

Peripheral Interrupt Event	Default Mapping	Peripheral Interrupt ID
DMA Channels 12 and 13 (Memory DMA Stream 0)	IVG13	29
DMA Channels 14 and 15 (Memory DMA Stream 1)	IVG13	30
Software Watchdog Timer	IVG13	31
Port F Interrupt B	IVG13	31

・ CEC 割込みマスク・レジスタ(IMASK)—各イベントのマスク/アンマスクを制御します。IMASK レジスタ内でビットがセットされると、イベントがアンマスクされて、アサートされたときに CEC が処理します。IMASK レジスタ内のビットがクリアされると、イベントがマスクされて、ILAT レジスタにイベントがラッチされても、プロセッサによるサービスが禁止されます。このレジスタはスーパーバイザ・モードで読み書きが可能です(汎用割込みは、STI 命令と CLI 命令を使って、それぞれグローバルにイネーブルおよびディスエーブルすることができることに注意してください)。

・ CEC 割込みペンディング・レジスタ(IPEND)—IPEND レジスタはネストされたすべてのイベントを記録します。IPEND レジスタ内でビットがセットされると、イベントがアクティブであること、またはあるレベルでネストされていることを表します。このレジスタはコントローラから自動的に更新されますが、スーパーバイザ・モードでのみ読み出し可能です。

SICは3個の32ビットの割込みコントロールおよびステータス・レジスタを提供することにより、さらに詳細なイベント処理制御を可能にします。各レジスタには、表3に示す各ペリフェラル割込みイベントに対応するビットが配置されています。

・ SIC 割込みマスク・レジスタ(SIC\_IMASK)—各ペリフェラル割込みイベントのマスク/アンマスクを制御します。レジスタ内でビットがセットされると、対応するペリフェラル・イベントがアンマスクされて、イベントのアサート時にシステムが処理します。レジスタ内でビットがクリアされると、対応するペリフェラル・イベントがマスクされて、プロセッサによるイベントのサービスが禁止されます。

・ SIC 割込みステータス・レジスタ(SIC\_ISR)—複数のペリフェラルを1つのイベントに対応させることができるため、ソフトウェアはこのレジスタを使って、割込みを発生したペリフェラル・イベント・ソースを探します。ビットがセットされているとき、該当するペリフェラルが割込み発生中であることを表し、ビットがクリアされているとき、ペリフェラルはイベントを発生していないことを表します。

・ SIC 割込みウェイクアップ・イネーブル・レジスタ(SIC\_IWR)—このレジスタの対応するビットをイネーブルすると、該当するペリフェラルがプロセッサをウェイクアップするペリフェラルに設定されます。イベントが発生すると、プロセッサはスリープ(パワーダウン)モードからウェイクアップします(詳細については、ダイナミック・パワー・マネジメントを参照してください)。

複数の割込み源を1つの汎用割込みに対応させることができるため、この割込み入力で検出された割込みイベントを処理する前または処理中に、さらに複数のパルスが同時にアサートされることがあります。SICは割込みアクノリッジとして、IPEND レジスタ値を監視します。

割込みの立ち上がりエッジが検出されると(検出にはコア・クロックで2サイクル必要)、ILAT レジスタの該当するビットがセットされます。IPEND レジスタのビットがセットされると、該当するビットがクリアされます。IPEND ビットは、イベントがプロセッサのパイプラインに入力されたことを表示します。この時点で、CECは対応するイベント入力上の、次の立ち上がりエッジ・イベントを認識し、キューに接続します。汎用割込みの立ち上がりエッジ変化から IPEND 出力のアサートまでの最小レイテンシは、コア・クロックで3サイクルですが、内部動作とプロセッサの状態に応じて、レイテンシはこれより長くなることがあります。

## DMAコントローラ

Blackfin プロセッサは独立した複数の DMA コントローラを内蔵しており、自動データ転送をサポートしてプロセッサ・コアのオーバーヘッドを少なくします。DMA 転送は、プロセッサの内部メモリと DMA 機能を持つペリフェラルとの間で可能です。さらに、DMA 転送は任意の DMA 機能を持つペリフェラルと外部メモリ・インターフェースに接続された外部デバイス(SDRAM コントローラや同期メモリ・コントローラなど)の間でも可能です。DMA 機能を持つペリフェラルとしては、イーサネット MAC (ADSP-BF536 と ADSP-BF537 の場合)、SPORT、SPI ポート、UART、PPI などがあります。DMA 機能を持つ各ペリフェラルは少なくとも1つの専用 DMA チャンネルを持っています。

DMA コントローラは、1次元(1D)と2次元(2D)の DMA 転送をサポートしています。DMA 転送の初期化は、レジスタまたはディスクリプタ・ブロックと呼ばれるパラメータのセットを使って行います。

2D DMA 機能は、最大 64K エlement×64K エlementまでの任意の行および列サイズをサポートし、さらに最大±32K エlementまでの任意の行および列ステップ・サイズをサポートしています。また、行ステップ・サイズより小さい列ステップ・サイズを許容するため、インターリーブされたデータ・ストリームが可能です。この機能は、特に、即座にデータのインターリーブ解除が必要とされるビデオ・アプリケーションで役立ちます。

DMA コントローラがサポートする DMA タイプの例を次に示します。

- ・ 完了時に停止するシングル・リニア・バッファ
- ・ バッファがフルまたは部分的フル毎に割込みを発生する自己リフレッシュ循環バッファ
- ・ ディスクリプタのリンクされたリストを使用する 1D または 2D の DMA
- ・ 共通ページ内のベース DMA アドレスのみを指定する、ディスクリプタのアレイを使用する 2D DMA

専用ペリフェラル DMA チャンネルの他に、2つのメモリ DMA チャンネルがあり、プロセッサ・システムの種々のメモリ間の転送に使用されます。この機能を使うと、最小のプロセッサ介入で、任意のメモリ(外部 SDRAM、ROM、SRAM、フラッシュ・メモリなど)間でのデータ・ブロックの転送が可能になります。メモリ DMA 転送は、非常に柔軟なディスクリプタ・ベースの方法、または標準的なレジスタ・ベースの自動バッファ・メカニズムを使って制御することができます。



また、ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサには、外部バス・インターフェース・ユニット(EBIU)と組み合わせて使用する場合、2本の外部 DMA 要求ピンを使用した外部 DMA コントローラ機能もあります。この機能は、外部 FIFOやUSB 2.0のような広帯域通信ペリフェラルに対して高速インターフェースが必要な場合に使うことができます。この機能を使うと、メモリ DMA の多数のデータ転送を制御することができます。エッジあたりの転送数は、設定することができます。メモリ DMA のコアに対する外部バスの優先順位を上げるように、この機能を使って設定することができます。

## リアルタイム・クロック

リアルタイム・クロック(RTC)は、時刻、ストップウォッチ、アラームを含むデジタル時計機能を提供します。RTC は、プロセッサ外部の 32.768 kHz 水晶からクロック駆動されます。RTC ペリフェラルは専用電源ピンを持っているため、プロセッサの他の部分が低消費電力状態にあるときでも、パワーアップ状態を維持することができます。RTC は、秒、分、時間または日毎の割込み、プログラマブルなストップウォッチ・カウントダウンでの割込み、設定したアラーム時刻での割込みなど、複数のプログラマブルな割込みオプションを提供します。

32.768 kHz の入力クロック周波数は、プリスケラにより 1 Hz 信号まで分周されます。タイマのカウンタ機能は、60 秒カウンタ、60 分カウンタ、24 時間カウンタ、32,768 日カウンタの 4 つのカウンタから構成されています。

アラーム機能がイネーブルされると、タイマ出力がアラーム・コントロール・レジスタ内に設定された値に一致したとき、割込みが発生されます。アラームは 2 種類あり、最初のアラームは日単位です。2 つ目のアラームは日時単位です。

ストップウォッチ機能では、設定した値から秒分解能でカウントダウンします。ストップウォッチがイネーブルされて、かつカウンタがアンダーフローすると、割込みが発生されます。

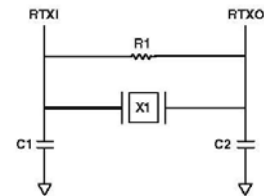
他のペリフェラルと同様に、RTC は任意の RTC ウェイクアップ・イベントが発生したときに、プロセッサをスリープ・モードからウェイクアップさせることができます。さらに、RTC ウェイクアップ・イベントはディープ・スリープ・モードからプロセッサをウェイクアップさせることができ、内蔵電圧レギュレータをハイバネート動作モードからウェイクアップさせることができます。

RTCピンのRTXIとRTXOを外付け部品と 図 4 のように接続してください。

## ウォッチドッグ・タイマ

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、32 ビット・タイマを内蔵しています。このタイマはソフトウェア・ウォッチドッグ機能を構成するときに使うことができます。ソフトウェア・ウォッチドッグがソフトウェアからリセットされる前にタイマがタイムアウトすると、システム・リセット、マスク不能割込み(NMI)、または汎用割込みが発生して、プロセッサを強制的に既知状態に設定します。このためシス

テムの可用性を向上させることができます。プログラマがタイマのカウント値を初期化し、該当する割込みをイネーブルして、タイマをイネーブルします。その後、カウントが設定値からゼロに到達する前に、ソフトウェアからカウンタを再設定するようにします。外部ノイズまたはソフトウェア・エラーに起因してこのソフトウェアが停止すると、タイマをリセットすることができなくなるので、システムが未知の状態に留まってしまうことを防止します。



SUGGESTED COMPONENTS:  
ECLIPTEK EC38J (THROUGH-HOLE PACKAGE)  
EPSON MC405 12pF LOAD (SURFACE-MOUNT PACKAGE)  
C1 = 22pF  
C2 = 22pF  
R1 = 10MΩ

NOTE: C1 AND C2 ARE SPECIFIC TO CRYSTAL SPECIFIED FOR X1.  
CONTACT CRYSTAL MANUFACTURER FOR DETAILS. C1 AND C2  
SPECIFICATIONS ASSUME BOARD TRACE CAPACITANCE OF 3pF.

図4 RTCの外付け部品

ハードウェア・リセットを発生するように設定すると、ウォッチドッグ・タイマはコアとプロセッサ・ペリフェラルの両方をリセットします。リセットの後、ソフトウェアはウォッチドッグ・タイマ・コントロール・レジスタのステータス・ビットを調べることで、ハードウェア・リセットの原因はウォッチドッグであったか否かを知ることができます。

このタイマは、最大周波数  $f_{SCLK}$  のシステム・クロック(SCLK)によりクロック駆動されます。

## タイマ

このプロセッサには、9 個の汎用プログラマブル・タイマ・ユニットがあります。8 個のタイマには外部ピンがあり、パルス幅変調器(PWM)またはタイマ出力として、またはタイマを駆動するクロック入力として、または外部イベントのパルス幅と周期を測定するメカニズムとして、設定することができます。これらのタイマは、他の複数の対応する PF ピンの外部クロック入力、PPI\_CLK 入力ピンへの外部クロック入力、または内部 SCLK に同期させることができます。

タイマ・ユニットを 2 個の UART および CAN コントローラと組み合わせて使用し、データ・ストリーム内のパルス幅を計測して、それぞれのシリアル・チャンネルのソフトウェア自動ボーレート検出機能を実現することができます。

タイマはプロセッサ・コアに対して割込みを発生して、システム・クロックまたは外部信号のカウントに対する同期用の周期イベントを提供することができます。

8 個の汎用プログラマブル・タイマの他に、9 個目のタイマも用意されています。このタイマは内部プロセッサ・クロックから駆動され、オペレーティング・システムの周期割込みの発生に使用されるシステム・ティック・クロックとして使用されます。

## シリアル・ポート(SPORT)

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、シリアル通信とマルチプロセッサ通信用に 2 個のデュアル・チャンネル同期シリアル・ポート(SPORT0 と SPORT1)を内蔵しています。SPORT は次の機能をサポートしています。

- ・ I<sup>2</sup>S 動作
- ・ 双方向動作—各 SPORT は 2 組の独立した送信ピンと受信ピンを持っているため、8 チャンネルの I<sup>2</sup>S ステレオ・オーディオが可能です。
- ・ バッファ付き(深さ 8)送信および受信ポート—各ポートは他のプロセッサ・デバイスに対するデータ・ワードの入出力用にデータ・レジスタを内蔵し、データ・レジスタに対してデータをシフト入出力するシフトレジスタを内蔵しています。
- ・ クロック—各送信および受信ポートは周波数範囲 ( $f_{SCLK}/131,070$ ) Hz~( $f_{SCLK}/2$ ) Hz の外部シリアル・クロックまたは内部クロックを使用することができます。
- ・ ワード・レングス—各 SPORT は 3~32 ビット長のシリアル・データ・ワードをサポートし、MSB ファーストまたは LSB ファーストで転送されます。
- ・ フレーミング—各送信および受信ポートは、各データ・ワードに対するフレーム同期信号有りまたは無しで動作することができます。フレーム同期信号は内部または外部で発生することができ、アクティブ・ハイまたはロー、さらに 2 パルス幅分の進みまたは遅れフレーム同期が可能です。
- ・ ハードウェアによる圧伸—各 SPORT は ITU 勧告 G.711 に準拠する A 則または  $\mu$  則の圧伸を実行することができます。圧伸は SPORT の送信チャンネルおよび/または受信チャンネルに対して選択でき、レイテンシの増加はありません。
- ・ シングル・サイクル・オーバーヘッドの DMA 動作—各 SPORT はメモリ・データの複数のバッファを自動的に受信および送信することができます。プロセッサは、SPORT とメモリの間の DMA 転送シーケンスをリンクまたはチェーンすることができます。
- ・ 割込み—各送信および受信ポートは、データ・ワードの転送完了またはデータ・バッファ全体または複数のバッファを DMA を使って転送した後に割込みを発生します。
- ・ マルチチャンネル機能—各 SPORT は 1024 のチャンネル・ウィンドウの中から 128 のチャンネルをサポートし、H.100、H.110、MVIP90、HMVIP の各標準と互換性を持っています。

## シリアル・ペリフェラル・インターフェース(SPI)ポート

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、複数の SPI 互換デバイスと通信できるようにする SPI 互換ポートを内蔵しています。

SPI インターフェースは、2 本のデータ・ピン(マスター出力スレーブ入力 MOSI とマスター入力スレーブ出力 MISO)とクロック・ピン(シリアル・クロック SCK)の 3 本のピンを使ってデータを転送します。SPI チップ・セレクト入力ピン(SPISS)を使うと、他の SPI デバイスからこのプロセッサを選択することができます。7 本の SPI チップ・セレクト出力ピン(SPISEL7~1)を使うと、このプロセッサから他の SPI デバイスを選択することができます。SPI セレクト・ピンは再設定されたプログラマブル・フラグ・ピンです。これらのピンを使って、SPI ポートはマスター/スレーブ・モードとマルチマスタ環境をサポートする全二重同期シリアル・インターフェースを提供します。

SPI ポートのボーレートとクロック位相/極性はプログラマブルであり、データ・ストリームの送信または受信をサポートするように設定可能な DMA コントローラを内蔵しています。SPI の DMA コントローラは、同時に単方向アクセスしかサービスできません。

SPI ポート・クロック・レートは次のように計算されます。

$$SPI \text{ Clock Rate} = \frac{f_{SCLK}}{2 \times SPI\_BAUD}$$

ここで、16 ビット SPI\_BAUD レジスタの値は 2~65,535 です。転送時、SPI ポートは 2 本のシリアル・データ・ライン上でデータをシリアルにシフトして送信と受信を同時に行います。シリアル・クロック・ラインは、2 本のシリアル・データ・ライン上のデータのシフトとサンプリングを同期化します。

## UARTポート

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、PC 標準 UART と互換性を持つ 2 個の全二重ユニバーサル非同期レシーバトランスミッタ(UART)ポートを内蔵しています。各 UART ポートは他のペリフェラルまたはホストに対するシンプルな UART インターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。この UART ポートは、5~8 ビットのデータ・ビット、1 ビットまたは 2 ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。各 UART ポートは次の 2 つの動作モードをサポートしています。

- ・ PIO (プログラムド I/O)—プロセッサは I/O マップド UART レジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- ・ DMA (ダイレクト・メモリ・アクセス)—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要とされる割込みの回数と頻度を減らします。UART は、送信と受信に対して各 1 個の専用 DMA チャンネルを持っています。これらの DMA チャンネルはサービス・レートが相対的に低いため、大部分の DMA チャンネルより低いデフォルト優先順位を持っています。

各 UART ポートのボーレート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割込みは次のように設定することができます。

- ・ 毎秒( $f_{SCLK}/1,048,576$ )~( $f_{SCLK}/16$ )ビットの範囲のビット・レートをサポート
- ・ 1 フレーム当たり 7~12 ビットのデータ・フォーマットをサポート
- ・ 送信動作と受信動作でプロセッサに対するマスク可能な割込みを発生するように設定可能

UART ポート・クロック・レートは次のように計算されます。

$$UART \text{ Clock Rate} = \frac{f_{SCLK}}{16 \times UARTx\_Divisor}$$

ここで、16 ビット  $UARTx\_Divisor$  は、 $UARTx\_DLH$  レジスタ(上位 8 ビット)と  $UARTx\_DLL$  レジスタ(下位 8 ビット)から取得します。

汎用タイマの機能との組み合わせにより、自動ポーレート検出機能をサポートします。

UART ポートは、Infrared Data Association(IrDA<sup>®</sup>)のシリアル赤外線物理層リンク仕様(SIR)プロトコルに対応するように機能拡張されています。

## コントローラ・エリア・ネットワーク(CAN)

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、CAN コントローラを提供しています。これは、CAN 2.0B (アクティブ)プロトコルを採用した通信コントローラです。このプロトコルは非同期通信プロトコルで、工業制御システムと車載制御システムで使用されています。CAN プロトコルは CRC チェック・メッセージ・エラー・トラッキング機能と故障ノードの隔離機能を採用しているため、ネットワークを介する信頼度の高い通信機能を持ち、制御アプリケーションに適しています。

CAN コントローラは次の機能を提供しています。

- ・ 32 個のメールボックス(受信専用が 8 個、送信専用が 8 個、受信または送信に設定可能が 16 個)。
  - ・ 各メールボックスに対する専用着信マスク。
  - ・ 先頭の 2 バイトのデータ・フィルタ機能の追加。
  - ・ 標準(11 ビット)および拡張(29 ビット)の識別子(ID)メッセージ・フォーマットのサポート。
  - ・ リモート・フレームのサポート。
  - ・ アクティブまたはパッシブ・ネットワーク・サポート。
  - ・ ハイバネット・モード(最小スタティック消費電力モード)からの CAN ウェイクアップ。
  - ・ Tx 完了、Rx 完了、エラー、グローバルなどの割込み。
- 各ネットワーク接続の電气的特性が非常に厳しいため、CAN インターフェースは一般に、コントローラとトランシーバの 2 つの部分に分かれています。このため、1 つのコントローラで、さまざまなドライバと CAN ネットワークをサポートすることができます。CAN モジュールとは、インターフェースのコントローラ・デバイスを意味します。このコントローラ・インターフェースは、3.3 V の高速なフォルト・トレラントな 1 線式トランシーバに対する接続をサポートしています。

## TWIコントローラ・インターフェース

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、複数のデバイス間で制御データを交換するシンプルな方法を提供する 2 線式インターフェース(TWI)モジュールを内蔵しています。TWI は、広く採用されている I<sup>2</sup>C<sup>®</sup>バス規格と互換性を持っています。この TWI モジュールは、マスターとスレーブの同時動作機能を提供し、7 ビット・アドレッシング機能とマルチメディア・データ調停をサポートしています。TWI インターフェースは 2 本のピンを使って、クロック(SCL)とデータ(SDA)を転送し、最大 400 kbps の速度でプロトコルをサポートします。TWI インターフェース・ピンは、5 V のロジック・レベルと互換性を持っています。

さらに、このプロセッサの TWI モジュールは、シリアル・カメラ・コントロール・バス(SCCB)機能と互換性を持っているため、種々の CMOS カメラ・センサー・デバイスの制御が容易です。

## 10/100 イーサネット MAC

ADSP-BF536 プロセッサと ADSP-BF537 プロセッサは、10-BaseT (10 Mbps)動作と 100-BaseT (100 Mbps)動作をサポートする高速イーサネット・メディア・アクセス・コントローラ(MAC)を内蔵することにより、ネットワークに対する直接接続機能を提供しています。10/100 イーサネット MAC ペリフェラルは IEEE 802.3-2002 規格と完全な互換性を持ち、プロセッサ・システムの他の部分による監視、バス使用、またはメッセージ処理を最小にするようにデザインされたプログラマブルな機能を提供します。

標準機能には次の機能が含まれます。

- ・ 外部 PHY の MII プロトコルと RMII プロトコルのサポート
- ・ 全二重モードと半二重モード。
- ・ データのフレーミングとカプセル化:プリアンプル、レンダス・パディング、FCS の生成と検出。
- ・ メディア・アクセス・マネジメント(半二重動作の場合):衝突フレームの再送とバックオフ・タイミングの制御などの、衝突と輻輳の処理。
- ・ フロー制御(全二重動作の場合): PAUSE フレームの生成と検出。
- ・ ステーション・マネジメント: PHY レジスタに対する読み/書き込みアクセス用 MDC/MDIO フレームの生成。
- ・ 最低 25 MHz までの SCLK 動作範囲(アクティブ動作モードとスリープ動作モード)。
- ・ Tx から Rx への内部ループバック。

拡張機能には次が含まれます。

- ・ シングル水晶システムのサポートを可能にする外部 PHY へのバッファ付き水晶出力。
- ・ IP ヘッダーと Rx フレームの IP ペイロード・フィールドの自動チェックサム計算。
- ・ 32 ビット・ディスクリプタ駆動の独立な Rx および Tx DMA チャンネル。
- ・ ソフトウェアでの効率の良いバッファ・キュー管理を可能にする、フレーム完了セマフォなどの、DMA を使ったメモリに対するフレーム・ステータスの送信。
- ・ Tx DMA での、MAC ヘッダーとペイロードの個別ディスクリプタのサポート、バッファ・コピー動作が不要になります。
- ・ 14 バイト MAC ヘッダーの後ろで、カプセル化 Rx または Tx IP パケット・データのメモリ内偶数 32 ビット・アライメントをサポートする便利なフレーム・アライメント・モード。
- ・ 次の任意の組み合わせをサポートするプログラマブルなイーサネット・イベント割込み
- ・ 選択した任意の Rx または Tx フレーム・ステータス条件。
- ・ PHY 割込み条件。
- ・ ウェイクアップ・ピンの機能
- ・ ハーフ・フルで、選択した任意の MAC マネジメント・カウンタ
- ・ DMA ディスクリプタ・エラー。
- ・ 選択可能なクリア・オン・リード動作を行い、最大値の 1/2 でプログラマブルな割込みを行う 47 個の MAC マネジメント統計カウンタ。
- ・ マルチキャスト・フレームおよび/またはユニキャスト・フレームの 64 ビット・アドレス・ハッシュ・テーブルを含み、ブロードキャスト、マルチキャスト、ユニキャスト、コントロール、ダメージの各フレームに対するフィルタ・モードを設定可能な、プログラマブルな Rx アドレス・フィルタ。

- ・低消費電力スリープ・モードで DMA を使用した外部メモリとの間の Rx フレーム、Tx フレーム、ステータスの介入不要な転送をサポートする高度なパワー・マネジメント。
- ・マジック・パケットまたは 4 種類のユーザ定義ウェイクアップ・フレーム・フィルタによるスリープ動作モードからのシステム・ウェイクアップ。
- ・802.3Q タグ付き VLAN フレームのサポート。
- ・プログラマブルな MDC クロック・レートとプリアンプル抑圧。
- ・RMI 動作で、7 本の未使用ピンを他の用途の GPIO ピンとして設定可能。

## ポート

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサでは、多くのペリフェラル信号を 4 ポート(ポート F、ポート G、ポート H、ポート J)にグループ化しています。対応するピンの大部分は複数の信号間で共用されています。ポートは、マルチプレクサ制御として機能します。8 本のピン(ポート F7~0)は、高ソース/高シンク電流能力を提供します。

## 汎用 I/O (GPIO)

このプロセッサには、48 本の双方向汎用 I/O (GPIO)ピンがあり、3 個の GPIO モジュールに割り当てられています (PORTFIO、PORTGIO、PORTHIO に、それぞれポート F、ポート G、ポート H が対応)。ポート J には GPIO 機能がありません。各 GPIO ピンは、他のプロセッサ・ペリフェラルと機能を共有していますが、GPIO 機能がデバイス・パワーアップ時のデフォルト状態になります。GPIO の出力ドライバも入力ドライバもデフォルトではアクティブになりません。各汎用ポート・ピンは、次のようにポートのコントロール・レジスタ、ステータス・レジスタ、割込みレジスタを操作することにより、個別に制御することができます。

- ・GPIO ディレクション・コントロール・レジスタ—各 GPIO ピンの方向(入力または出力)を指定します。
- ・GPIO コントロール・レジスタおよびステータス・レジスタ—プロセッサでは、"write one to modify"方式を採用しています。この方式では、GPIO ピンの任意の組み合わせを 1 回の命令で変更し、かつ変更しない GPIO ピンのレベルに影響を与えないようにすることができます。4 個のコントロール・レジスタが用意されています。ピンの値をセットするときに書き込むレジスタ、ピンの値をクリアするときに書き込むレジスタ、ピンの値をトグルするときに書き込むレジスタ、ピンの値を指定するときに書き込むレジスタがあります。GPIO ステータス・レジスタを読み出すと、ソフトウェアからピンの状態を調べることができます。
- ・GPIO 割込みマスク・レジスタ—2 個の GPIO 割込みマスク・レジスタにより、各 GPIO ピンがプロセッサへの割込みとして機能するように設定することができます。各 GPIO ピン値のセットおよびクリアに使う 2 個の GPIO コントロール・レジスタと同様に、一方の GPIO 割込みマスク・レジスタはビットをセットして割込み機能をイネーブルし、他方の割込みマスク・レジスタはビットをクリアして割込み機能をディスエーブルします。入力として定義された GPIO ピンはハードウェア割込みを発生するように設定することができます。出力ピンはソフトウェア割込みによりトリガーすることができます。
- ・GPIO 割込み検出レジスタ—2 個の GPIO 割込み検出レジスタは、各ピンをレベル検出にするかまたはエッジ検出にするかを指定します。さらに、立ち下がり検出を指定した場合、信号の単に立ち上がりエッジだけを検出するか、あるいは立ち上がり立ち下がり両エッジを検出するかも指定します。一方のレジスタは検出タイプを指定し、他方のレジスタはエッジ検出で有効とするエッジを指定します。

## パラレル・ペリフェラル・インターフェース(PPI)

このプロセッサは、パラレル ADC および DAC、ビデオ・エンコーダおよびデコーダ、その他の汎用ペリフェラルに直接接続できるようにするパラレル・ペリフェラル・インターフェース(PPI)を内蔵しています。この PPI は、専用の入力クロック・ピン、最大 3 本までのフレーム同期ピン、最大 16 本までのデータ・ピンから構成されます。入力クロックではシステム・クロックの最大 1/2 までのパラレル・データ・レートをサポートし、同期信号は入力または出力に設定することができます。

PPI はさまざまな汎用動作モードと ITU-R 656 動作モードをサポートしています。汎用モードでは、PPI は最大 16 ビットのデータに対する半二重双方向データ転送を提供します。最大 3 フレームの同期信号もサポートします。ITU-R 656 モードでは、PPI は 8 ビットまたは 10 ビットのビデオ・データに対する半二重双方向転送を提供します。さらに、組み込まれた start-of-line (SOL)および start-of-field (SOF)プリアンプル・パケットのオンチップ・デコードもサポートしています。

## 汎用モードの説明

PPI の汎用モードは、多様なデータ・キャプチャ・アプリケーションとデータ転送アプリケーション向けに用意されています。次の 3 種類のサブモードがサポートされています。

- 1.入力モード—フレーム同期とデータは PPI に対する入力になります。
- 2.フレーム・キャプチャ・モード—フレーム同期は PPI からの出力に、データは入力に、それぞれになります。
- 3.出力モード—フレーム同期とデータは PPI からの出力になります。

## 入力モード

入力モードは、ADC アプリケーションやハードウェア・シグナリングを持つビデオ通信向けに用意されています。最もシンプルな形式では、PPI\_FS1 はデータを読み込むタイミングを制御する外部フレーム同期入力になります。PPI\_DELAY\_MMR を使うと、このフレーム同期の受信とデータ読み込み開始との間の遅延(PPI\_CLK サイクル数)が可能になります。入力データ・サンプル数はユーザ設定可能で、PPI\_COUNT レジスタの値により決定されます。8、10~16 ビットのデータ幅がサポートされており、PPI\_CONTROL レジスタにより設定します。

## フレーム・キャプチャ・モード

このモードを使うと、ビデオ・ソースがスレーブ(たとえば、フレーム・キャプチャの場合)として機能できるようになります。ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサは、ビデオ・ソースから読み出すタイミングを制御します。PPI\_FS1 は H 同期出力に、PPI\_FS2 は V 同期出力に、それぞれなります。

## 出力モード

このモードは、最大 3 個の出力フレーム同期を持つビデオまたはその他のデータの送信に使用されます。一般に、データ・コンバータ・アプリケーションに対しては 1 フレーム同期が適していますが、ハードウェア・シグナリングを持つビデオの送信を行うときは 2 または 3 フレーム同期を使います。

## ITU-R 656 モードの説明

PPI の ITU-R 656 モードは、さまざまなビデオのキャプチャ、処理、転送アプリケーション向けに用意されています。次の 3 種類のサブモードがサポートされています。

1. アクティブ・ビデオ専用モード
2. 垂直ブランキング専用モード
3. 全体フィールド・モード

## アクティブ・ビデオ・モード

このモードは、フィールドのアクティブ・ビデオ部分のみを対象とし、かつブランキング区間は対象にしないときに使います。PPI は、アクティブ・ビデオ終了(EAV)プリアンブル・シンボルとアクティブ・ビデオ開始(SAV)プリアンブル・シンボルとの間のデータ、または垂直ブランキング区間のデータを読み込みません。このモードでは、コントロール・バイト・シーケンスはメモリに保存されず、PPI によりフィルタされます。フィールド 1 の開始に同期した後、PPI は SAV コードまでの受信サンプルを無視します。1 フレーム当たりのアクティブ・ビデオ・ライン数は、ユーザが指定します(PPI\_COUNT レジスタ)。

## 垂直ブランキング区間モード

このモードでは、PPI は垂直ブランキング区間(VBI)データのみを転送します。

## 全体フィールド・モード

このモードでは、受信ビット・ストリーム全体が PPI から読み込まれます。これには、アクティブ・ビデオ、コントロール・プリアンブル・シーケンス、水平ブランキング区間および垂直ブランキング区間に組込まれている補助データが含まれます。データ転送はフィールド 1 に対する同期後、直ちに開始されます。プロセッサ・コアから自立して動作する 8 個の DMA エンジンを使って、データが同期チャンネルとの間で転送されます。

## ダイナミック・パワー・マネジメント

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサには 5 種類の動作モードがあり、各々は異なる性能と消費電力特性を持っています。その他に、ダイナミック・パワー・マネジメントはプロセッサ・コア電源電圧をダイナミックに変更する制御機能を提供して、さらに消費電力を減らすことができます。各ペリフェラルに対するクロックの制御によっても、消

費電力を減らすことができます。各モードに対する消費電力の設定を表 4 にまとめます。表 16、表 15、表 17 を参照してください。

## Full-On動作モード—最大性能

Full-On モードでは PLL がイネーブルされ、かつバイパスされないで、最大動作周波数で動作することができます。これはパワーアップ時のデフォルト実行状態であり、最大性能が得られます。プロセッサ・コアとイネーブルされた全ペリフェラルが最大速度で動作します。

## アクティブ動作モード—中程度のダイナミック省電力

アクティブ・モードでは、PLL はイネーブルされていますが、バイパスされます。PLL がバイパスされているため、プロセッサ・コア・クロック(CCLK)とシステム・クロック(SCLK)は入力クロック(CLKIN)周波数で動作します。このモードでは、CLKIN 対 CCLK 乗算器の比率を変更することができます。ただし、変更は Full-On モードになるまで有効になりません。適切に設定された L1 メモリに対して、DMA アクセスを使用することができます。

アクティブ・モードでは、PLL コントロール・レジスタ(PLL\_CTL)を使って、PLL をディスエーブルすることができます。PLL をディスエーブルした場合、Full-On モードまたはスリープ・モードに入る前に PLL を再イネーブルする必要があります。

## スリープ動作モード—高い省電力

スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)をディスエーブルしてダイナミック消費電力を削減します。ただし、PLL とシステム・クロック(SCLK)は動作を維持します。一般に、外部イベントまたは RTC の動作により、プロセッサがウェイクアップします。スリープ・モードでは、ウェイクアップ信号がアサートされると、プロセッサは PLL コントロール・レジスタ(PLL\_CTL)内の BYPASS ビットを調べます。BYPASS がディスエーブルされている場合、プロセッサは Full-On モードになります。BYPASS がイネーブルされている場合には、プロセッサはアクティブ・モードになります。

スリープ・モード内では、L1 メモリに対するシステム DMA アクセスはサポートされていません。

表4 電源設定

Mode	PLL	PLL Bypassed	Core Clock (CCLK)	System Clock (SCLK)	Internal Power (VDDINT)
Full On	Enabled	No	Enabled	Enabled	On
Active	Enabled/Disabled	Yes	Enabled	Enabled	On
Sleep	Enabled	—	Disabled	Enabled	On
Deep Sleep	Disabled	—	Disabled	Disabled	On
Hibernate	Disabled	—	Disabled	Disabled	Off

## ディープ・スリープ動作モード—最高の省電力

ディープ・スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)と全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高のダイナミッ

消費電力削減が得られます。RTCのような非同期システムは動作を続けませんが、内部リソースまたは外部メモリをアクセスすることはできません。このパワーダウン・モードは、リセット割込み(RESET)または RTC から発生される同期割込みによってのみ開始することができます。ディープ・スリープ・モード内で、RTC 非同期割込みがアサートされると、プロセッサはアクティブ・モードになります。ディープ・スリープ・モード内で、RESETがアサートされると、プロセッサは Full-On モードになります。

## ハイバネート状態—最大静的消費電力削減

ハイバネート状態では、プロセッサ・コアに対する電圧とクロック(CCLK)、さらに全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高の消費電力削減が得られます。VR\_CTL レジスタの FREQ ビットに b#00 を書き込むことにより、プロセッサの内部電圧レギュレータをシャットオフすることができます。これにより、CCLK と SCLK がディスエーブルされます。さらにこの設定では、内部電源電圧(V<sub>DDINT</sub>)を 0 V に設定して、最小の消費電力にします。内部で保存されるクリティカルな情報(メモリ内容、レジスタ値など)は、プロセッサ状態を保持する場合には電源を切る前に不揮発性ストレージ・デバイスに書き込む必要があります。

この状態では V<sub>DDEXT</sub> が供給されているため、他に注記がない限り、すべての外部ピンはスリー・ステートになります。この機能を使うと、プロセッサに接続できる他のデバイスの電源を不要な電流なしで接続したままにすることができます。

イーサネット・モジュールまたは CAN モジュールは、内蔵電源レギュレータをウェイクアップさせることができます。PH6 ピンをPHYINT信号として外部 PHY デバイスに接続しない場合は、このピンを他のデバイスからロー・レベルに駆動してプロセッサをウェイクアップさせることができます。レギュレータは、リアルタイム・クロック・ウェイクアップ・イベントまたはRESETピンのアサートによって、ウェイクアップさせることができます。すべてのハイバネート・ウェイクアップ・イベントにより、ハードウェア・リセット・シーケンスが起動されます。各々の割込みソースは、VR\_CTL レジスタを使ってイネーブルされます。

VR\_CTL レジスタと RTC レジスタ以外のすべての内部レジスタとメモリは、ハイバネート状態で値が失われます。状態変数は、外部 SRAM または SDRAM に保持することができます。VR\_CTL レジスタの SCKELOW ビットは、SDRAM がセルフ・リフレッシュ・モードで動作するか否かを制御します。このモードにより、プロセッサのリセット時に値を保持することが可能になります。

## 省電力

表5 に示す3種類の電源ドメインをサポートしているため、業界標準や規則に準拠したまま、最大の柔軟性が得られます。プロセッサの内部ロジックを1つの電源ドメインにまとめて、RTCを他のI/Oから分離すると、RTCまたは他のI/Oデバイスに影響を与えることなく、プロセッサはダイナミック・パワー・マネジメントを利用できるようになります。種々の電力ドメインに対するシーケンシング条件はありません。

表5 電源ドメイン

Power Domain	V <sub>DD</sub> Range
All internal logic, except RTC	V <sub>DDINT</sub>
RTC internal logic and crystal I/O	V <sub>DDRTC</sub>
All other I/O	V <sub>DDEXT</sub>

プロセッサのダイナミック・パワー・マネジメント機能を使うと、プロセッサの入力電圧(V<sub>DDINT</sub>)とクロック周波数(f<sub>CCLK</sub>)の両方をダイナミックに制御することができます。

プロセッサの消費電力は、プロセッサのクロック周波数と動作電圧の二乗の関数になります。たとえば、クロック周波数を 25%低下させると、消費電力は 25%削減され、電圧を 25%低下させると、消費電力は 40%以上削減されます。さらに次式に示すように、これらの消費電力削減は加算的であり、クロック周波数と電源電圧の両方を低下させると、消費電力の削減は非常に大きくなります。

消費電力削減ファクタ(PSF)は次のように計算されます。

$$PSF = \frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left( \frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left( \frac{t_{RED}}{t_{NOM}} \right)$$

ここで、

f<sub>CCLKNOM</sub>は公称コア・クロック周波数

f<sub>CCLKRED</sub>は削減されたコア・クロック周波数

V<sub>DDINTNOM</sub>は公称内部電源電圧

V<sub>DDINTRED</sub>は削減された内部電源電圧

t<sub>NOM</sub>はf<sub>CCLKNOM</sub>で動作する時間

t<sub>RED</sub>はf<sub>CCLKRED</sub>で動作する時間

パーセント消費電力削減は次のように計算されます。

$$\% \text{ power savings} = (1 - PSF) \times 100\%$$

## 電圧レギュレーション

ADSP-BF534/ADSP-BF536/ADSP-BF537プロセッサは、V<sub>DDEXT</sub> 電源から内部電圧レベルV<sub>DDINT</sub>を発生する電圧レギュレータを内蔵しています。特定のモデルのレギュレータ偏差と許容V<sub>DDEXT</sub>範囲については、動作条件を参照してください。

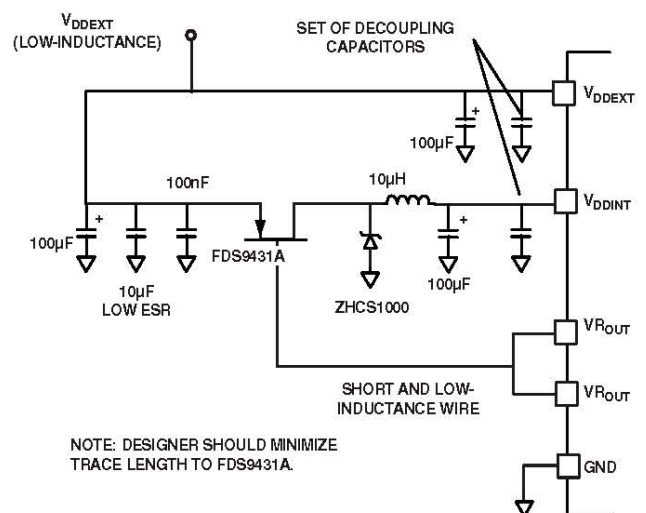


図5 電圧レギュレータ回路

図5 に、パワー・マネジメント・システムに必要な代表的な外付け部品を示します。このレギュレータは内部ロジック電

圧レベルを制御し、電圧レギュレータ・コントロール・レジスタ (VR\_CTL) を使って 50 mV 単位で設定することができます。スタンバイ消費電力を削減するため、I/O 電源を維持したままプロセッサ・コアの電源を切るように内部電圧レギュレータを設定することができます。休眠状態では、 $V_{DDEXT}$  が維持されたままなので、外部バッファが不要になります。RESET のアサートにより、電圧レギュレータをこのパワーダウン状態から起動することができ、ブート・シーケンスが開始されます。このレギュレータはユーザ指定により、ディスエーブルしてバイパスすることもできます。電圧レギュレーションについては、[Switching Regulator Design Considerations for the ADSP-BF533 Blackfin Processors (EE-228)] を参照してください。

## クロック信号

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサのクロックは、外部クリスタル・オシレータ、正弦波入力、または外部クロック発振器から出力される、バッファされ整形されたクロックにより駆動することができます。

外部クロックを使用する場合には TTL 互換信号を使い、通常動作時には仕様周波数未満で、停止、変更、動作させないでください。この信号はプロセッサの CLKIN ピンに接続されます。外付け水晶を使う場合は、XTAL ピンは解放のままにしてください。

あるいは、プロセッサは発振器回路を内蔵しているため、外部水晶を使うことができます。基本波周波数動作の場合、図 6 の回路を使用してください。並列共振で基本周波数のマイクロプロセッサ・グレードの水晶を CLKIN ピンと XTAL ピンの間に接続します。CLKIN ピンと XTAL ピンとの間の内蔵抵抗は、500 k $\Omega$  範囲です。さらに並列抵抗を追加することは推奨されません。図 6 に示す 2 個のコンデンサと直列抵抗は、正弦波周波数の位相と振幅を微調整します。

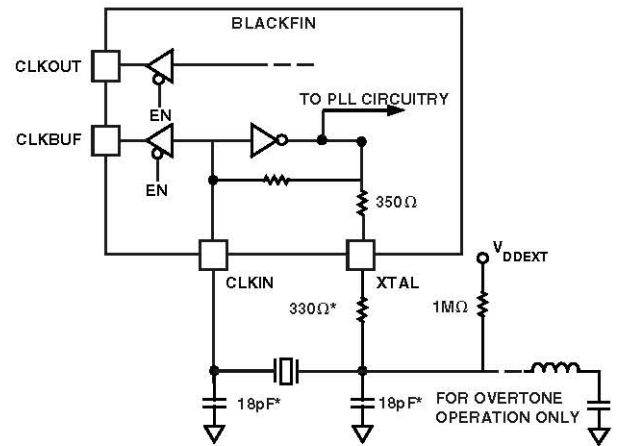
図 6 に示すコンデンサと抵抗の値は typ 値です。コンデンサ値は、水晶メーカーの推奨負荷容量と PCB レイアウトに依存します。抵抗値は、水晶メーカーが規定する駆動レベルに依存します。許容温度範囲での複数デバイスについての慎重な調査に基づいて、カスタム化した値を確認する必要があります。

3 次高調波水晶は、25 MHz を超える周波数で使用することができます。図 6 に示すようにチューニングしたインダクタ回路を追加して、回路を 3 次高調波水晶動作に変更します。3 次高調波動作のデザイン手順は、アプリケーション・ノート [Using Third Overtone Crystals with the ADSP-218x DSP (EE-168)] に記載してあります。

CLKBUF ピンに出力されるクロックは、内部クロックをバッファしたものです。このピンは、システム内で必要とされるクロック・ソース数を制限する際にイーサネット・アプリケーションで特に便利です。このタイプのアプリケーションでは、1 個の 25 MHz または 50 MHz 水晶を直接プロセッサに接続することができます。CLKBUF の 25 MHz または 50 MHz 出力は、外部イーサネット MII または RMII PHY デバイスへ接続することができます。

デフォルトの通倍比は 10 倍であるため、50 MHz の CLKIN を入力すると、低速グレードの推奨動作条件を超えます。この制限のため、50 MHz のクロック入力を必要とする RMII PHY は、低速グレードで CLKBUF ピンから直接駆動することはできません。この場合は、別の 50 MHz クロック・ソースを使うか、あるいは 25 MHz クロック入力オプションを持つ RMII PHY を使います。CLKBUF 出力はデフォルトでアク

ティブになっていますが、省電力のために VR\_CTL レジスタを使ってディスエーブルすることができます。



NOTE: VALUES MARKED WITH \* MUST BE CUSTOMIZED DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY

図6 外部水晶接続

Blackfin コアは、内蔵ペリフェラルと異なるクロック・レートで動作します。図 7 に示すように、コア・クロック (CCLK) とシステム・ペリフェラル・クロック (SCLK) は入力クロック (CLKIN) 信号から発生されます。オンチップ PLL はプログラマブルな 0.5 倍~64 倍の倍率で CLKIN 信号を通倍することができます (VCO 周波数の最小および最大規定値で制限されます)。デフォルトの倍率は 10 倍ですが、PLL\_CTL レジスタを使いソフトウェア命令シーケンスにより変更することができます。

PLL\_DIV レジスタに書き込みを行うだけで、CCLK と SCLK の周波数を即座に変更することができます。CCLK と SCLK の最大許容レートは  $V_{DDINT}$  と  $V_{DDEXT}$  に入力される電圧に依存しますが、VCO は常にデバイスのスピード・グレードで規定された周波数まで動作します。CLKOUT ピンは、チップ外部への SCLK 周波数を反映しています。このピンは SDRAM インターフェースに属しますが、他のタイミング仕様でも基準信号として機能します。デフォルトでアクティブですが、EBIU\_SDGCTL レジスタと EBIU\_AMGCTL レジスタを使ってディスエーブルすることができます。

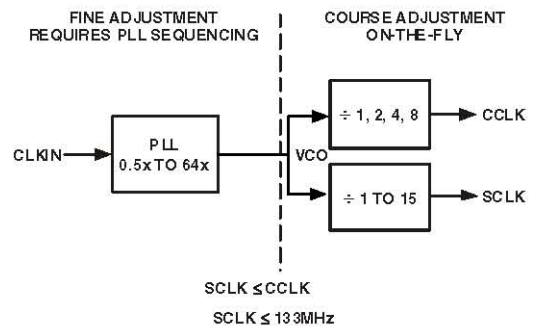


図7 周波数変更方法

すべての内蔵ペリフェラルは、システム・クロック(SCLK)によりクロック駆動されます。システム・クロック周波数は、PLL\_DIVレジスタのSSEL3~0 ビットを使って設定することができます。SSELフィールドに設定された値が、PLL出力(VCO)とシステム・クロックとの間の分周比を決定します。SCLK分周比の値は1~15です。表6に、代表的なシステム・クロック分周比を示します。

分周比は、システム・クロック周波数が最大値  $f_{SCLK}$  を超えないように選択する必要があることに注意してください。SSELの値は、PLL 分周比レジスタ(PLL\_DIV)に該当する値を書き込むことにより、PLL ロック・レイテンシなしでダイナミックに変更することができます。

表6 システム・クロック比の例

Signal Name SSEL3-0	Divider Ratio VCO:SCLK	Example Frequency Ratios (MHz)	
		VCO	SCLK
0001	1:1	100	100
0110	6:1	300	50
1010	10:1	500	50

コア・クロック(CCLK)周波数も、PLL\_DIVレジスタのCSEL1~0 ビットを使ってダイナミックに変更することができます。サポートしているCCLK分周比は、1、2、4、8です(表7)。このプログラマブルなコア・クロック機能は、素早くコア周波数を変更するときに役立ちます。

表7 コア・クロック比

Signal Name CSEL1-0	Divider Ratio VCO:CCLK	Example Frequency Ratios (MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	500	125
11	8:1	200	25

最大CCLK周波数はデバイスのスピード・グレードだけでなく(オーダー・ガイドを参照)、入力されるV<sub>DDINT</sub>電圧にも依存します(表10、表11、表12参照)。最大システム・クロック・レート(SCLK)は、on theチップ・パッケージと入力されるV<sub>DDEXT</sub>電圧に依存します(表14参照)。

## ブーティング・モード

ADSP-BF534/ADSP-BF536/ADSP-BF537プロセッサは、リセット後に内部メモリおよび外部メモリを自動的にローディングする6種類のメカニズムを持っています(表8)。7種類目のモードはブート・シーケンスをバイパスして、外部メモリから実行するために用意されています。

表8 ブーティング・モード

BMODE2 - 0	Description
000	Execute from 16bit external memory (bypass boot ROM)
001	Boot from 8bit or 16-bit memory (EPROM/flash)
010	Reserved
011	Boot from serial SPI memory (EEPROM/flash)
100	Boot from SPI host (slave mode)
101	Boot from serial TWI memory (EEPROM/flash)
110	Boot from TWI host (slave mode)
111	Boot from UART host (slave mode)

リセット設定レジスタのBMODEピンがパワーオン・リセット時とソフトウェア起動のリセット時にサンプルされて、次のモードが実行されます。

- 16ビットの外部メモリからの実行—16ビット・パッキングのアドレス 0x2000 0000 から実行が開始されます。このモードでは、ブート ROM がバイパスされます。すべての構成の設定値は最低速デバイスに合わせて設定されます(3 サイクル・ホールド・タイム; 15 サイクル R/W アクセス・タイム; 4 サイクル・セットアップ)。
- 8ビットと16ビット外部フラッシュ・メモリからのブート—ブート ROM メモリ空間に配置されている8ビットまたは16ビット・フラッシュ・ブート・ルーチンが非同期メモリ・バンク0を使って設定されます。すべての設定は、最低デバイス速度(3サイクルのホールド・タイム、15サイクルのR/Wアクセス・タイム、4サイクルのセットアップ)に設定されます。ブートROMは、アドレス0x2000 0000のブート・ストリームの先頭バイトを調べます。値が0x40の場合、8ビット・ブートを実行します。0x60バイトでは、16ビット・メモリ・デバイスと見なし8ビットDMAを実行します。0x20バイトでも、16ビット・メモリと見なしますが、16ビットDMAを実行します。
- シリアルSPIメモリ(EEPROMまたはフラッシュ)すなわち8、16、または24ビット・アドレスのデバイスからのブートをサポートしています。また、Atmel社のAT45DB041、AT45DB081、AT45DB161、AT45DB321、AT45DB642、AT45DB1282の各DataFlash<sup>®</sup>デバイスからのブートもサポートしています。SPIはPF10/SPI SSEL1出力ピンを使って1個のSPI EEPROM/フラッシュ・デバイスを選択して、読み出しコマンドと連続アドレス・バイト(0x00)を発行し、有効な8、16、または24ビット、またはAtmel社のアドレスラブル・デバイスが検出されると、プロセッサへのデータのクロック駆動を開始します。
- SPIホスト・デバイスからのブート—BlackfinプロセッサはSPIスレーブ・モードで動作し、SPIホスト(マスター)エージェントからLDRファイルのバイトを受信するように設定されます。ブートROMがビジーのときホスト・デバイスからの送信を停止させるため、Blackfinプロセッサはホスト・ウェイト(HWAIT)と呼ばれるGPIOピンをアサートして、フラグのアサートが解除されるまでバイトをさらに送信しないようにホスト・デバイスに通知します。フラグはユーザが選択し、この情報がFLAGヘッダーのビット[10:5]を介してBlackfinプロセッサへ転送されます。
- UARTからのブート—自動ポー・ハンドシェイク・シーケンスを使用して、ブート・ストリーム・フォーマットのプログラムがホストによりダウンロードされます。ホスト・



エージェントは、UART のクロック能力内でボーレートを選択します。自動ボーの実行時には、UART はビット・レートを決めるために、RXD ピンで“@” (boot stream)文字(8 ビット・データ、1 スタート・ビット、1 ストップ・ビット、パリティなしビット)の受信を期待します。これに対してアクトリッジで応答します。このアクトリッジは、0xBF、UART\_DLL 値、UART\_DLH 値、0x00 の 4 バイトで構成されています。ホストはこれでブート・ストリームをダウンロードできるようになります。プロセッサがホストを待たせる必要があるとき、CTS のアサートを解除します。このため、ホストはこの信号を監視している必要があります。

- シリアル TWI メモリ (EEPROM/フラッシュ)からのブート—Blackfin プロセッサはマスター・モードで動作し、独自 ID 0xA0 を持つ TWI スレーブを選択します。2 バイトの内部アドレス 0x0000 から開始されるメモリ・デバイスに対して連続読み出しコマンドを発行し、プロセッサへのデータ入力を開始します。TWI メモリ・デバイスは Philips 社の I<sup>2</sup>C バス仕様バージョン 2.1 に準拠し、かつメモリ・デバイスの値をシークンシャルに読み出せるように、内部アドレス・カウンタの自動インクリメント機能を持つ必要があります。
- TWI ホストからのブート—TWI ホスト・エージェントは、独自 ID 0x5F を持つスレーブを選択します。プロセッサはアクトリッジで応答すると、ホストはブート・ストリームをダウンロードできるようになります。TWI ホスト・エージェントは Philips 社の I<sup>2</sup>C バス仕様バージョン 2.1 に準拠する必要があります。1 個の TWI から複数のプロセッサをブートさせるときは、I<sup>2</sup>C マルチプレクサを使用して、プロセッサを 1 個ずつ選択することができます。

各ブート・モードで、外部メモリ・デバイスから 10 バイトのヘッダーが最初に読み込まれます。このヘッダーは、転送バイト数とメモリ・ディスティネーション・アドレスを指定します。どのブート・シーケンスでも、複数のメモリ・ブロックにロードすることができます。すべてのブロックをロードした後、L1 命令 SRAM の先頭からプログラムの実行が開始されます。

さらに、リセット設定レジスタのビット 4 をアプリケーション・コードから設定して、ソフトウェア・リセット時に通常のブート・シーケンスをバイパスすることもできます。このケースの場合、プロセッサは L1 命令メモリの先頭に直接ジャンプします。

ブート・モードを強化するため、その他のブーティング・メカニズムを提供する 2 つ目のソフトウェア・ローダを追加することができます。この 2 つ目のローダは、フラッシュ、可変ボーレート、その他のソースからのブートを可能にする機能を提供します。バイパス以外のすべてのブート・モードで、プログラムの実行は内蔵 L1 メモリ・アドレス 0xFFA0 0000 から開始されます。

## 命令セットの説明

Blackfin プロセッサ・ファミリのアセンブリ言語命令セットでは、代数的構文を採用しているためコードの読み書きが容易です。命令は、柔軟かつ高密度でエンコードされた命令セットを提供し、コンパイル後に最小のメモリ・サイズになるように特別に最適化されています。また、この命令セットは、1 つの命令で多くのプロセッサ・コア・リソースを使用可能にするフル機能のマルチファンクション命令を提供します。この命令セットはマイクロコントローラで使用されている多くの機能との組み合わせにより、C および C++ソース・コードをコンパイルする際に非常に効率の良いものになります。さらに、このアーキテクチャでは、ユーザ動作モード(アルゴ

リズム/アプリケーション・コード)とスーパーバイザ動作モード(O/S カーネル、デバイス・ドライバ、デバッグ、ISR)を提供するため、コア・プロセッサ・リソースに対する複数レベルのアクセスが可能です。

プロセッサの独自のアーキテクチャを利用するアセンブリ言語は次の利点を持っています。

- シームレスに統合された DSP/MCU 機能は、8 ビット動作と 16 ビット動作に対して最適化されています。
- 1 サイクルあたり、2 個の 16 ビット MAC または 4 個の 8 ビット ALU + 2 個のロード/ストア + 2 個のポインタ更新をサポートする並列発行ロード/ストア修正型ハーバード・アーキテクチャ
- 全レジスタ、I/O、メモリが連続な 4G バイト・メモリ空間にマップされているため、プログラミング・モデルが簡素
- 任意のビットおよびビット・フィールドの操作、挿入、取り出しなどのようなマイクロコントローラ機能; 8 ビット、16 ビット、32 ビットのデータ型に対する整数演算; ユーザ・スタック・ポインタとスーパーバイザ・スタック・ポインタの分離
- 16 ビットと 32 ビットの命令の混在(モード切り替えなし、コード分離なし)などのコード密度の強化、使用頻度の高い命令を 16 ビットにエンコード

## 開発ツール

Blackfin プロセッサは、アナログ・デバイセズのエミュレータと VisualDSP++<sup>®1</sup>開発環境を含む CROSSCORE<sup>®2</sup>ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。他のアナログ・デバイセズ・プロセッサをサポートしている同じエミュレータ・ハードウェアも Blackfin プロセッサ・ファミリをエミュレートします。

VisualDSP++プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクルに対して正確な命令レベルのシミュレータ、C/C++コンパイラ、DSP 関数と数学関数を含む C/C++ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントは C/C++コードの効率です。コンパイラは、C/C++コードを Blackfin アセンブリに効率良く変換するように開発されています。Blackfin プロセッサには、コンパイルされた C/C++コードの効率を改善するアーキテクチャ上の機能があります。

VisualDSP++デバッグは多くの重要な機能を持っています。データ表示は、柔軟性を提供するプロットング・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールに大きな効果を持つことができます。生産性を向上させます。データ・アキュイジション機能は、プログラム実行中のプロセッサの使用を最小限にします。VisualDSP++独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

<sup>1</sup>VisualDSP++は Analog Devices, Inc. の登録商標です。

<sup>2</sup>CROSSCORE は Analog Devices, Inc. の登録商標です。

VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・ C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ ブレークポイントの挿入
- ・ レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- ・ 命令実行のトレース
- ・ プログラム実行の連続的または統計的な分析
- ・ メモリ内容のフィル、ダンプ、図形的表示
- ・ ソース・レベル・デバッグの実行
- ・ カスタム・デバッガ・ウインドウの作成

VisualDSP++ IDE を使うと、ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスと属性ページを使うと、VisualDSP++エディタ内での色による強調表示などのすべての開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・ 開発ツールによる入力の処理方法と出力の発生方法の制御
- ・ ツールのコマンドライン・スイッチとの1対1対応の維持

VisualDSP++カーネル(VDK)は、組込み型リアルタイム・プログラミングのメモリ制約とタイミング制約を解決するように特別に作成されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、最初からスタートする必要がなくなります。VDK の機能には、スレッド領域、クリティカル領域、未スケジュール領域、セマフォ、イベント、デバイス・フラグが含まれています。また、VDK は優先順位ベースの、プリエンティブで協調動作的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDK はスケラブルにデザインされています。アプリケーションである特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDK はライブラリであるため、開発者が使用するかどうかを決めることができます。VDK は VisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDK を使うと、この開発環境は、多くのエラーを起しやすいたスクについて開発者を支援し、システム・リソースの管理を支援し、種々の VDK ベースのオブジェクト生成を自動化し、VDK を使用するアプリケーションのデバッグではシステム状態を表示します。

エキスパート・リンクラを使って、組込み型システムのコードとデータの配置を視覚的に操作します。メモリ使用状況は、カラー・グラフィックで表示することができます。コードとデータは、マウスのドラッグにより、プロセッサまたは外部メモリのさまざまな領域へ容易に移動することができます。ランタイム時のスタックとヒープの使用率を調べることができます。エキスパート・リンクラは既存のリンク定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズのエミュレータでは、Blackfin の IEEE 1149.1 JTAG テスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニターと制御を行っています。このエミュレータではフル速度のエミュレーションが可能のため、メモリ・スタック、レジスタ・スタック、プロセッサ・スタックの検証と変更が可能です。プロセッサの JTAG インターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミ

ングに影響を与えないインサーキット・エミュレーションが可能になります。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、サード・パーティが Blackfin プロセッサ・ファミリをサポートする広範囲なツールを提供しています。サード・パーティのソフトウェア・ツールには、DSP ライブラリ、リアルタイム・オペレーティング・システム、ブロック図デザイン・ツールなどがあります。

### EZ-KIT Lite®評価ボード

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサを評価する場合は、アナログ・デバイセズから提供する ADSP-BF537 EZ-KIT Lite ボードを使用してください。オーダー製品番号は ADZS-BF537-EZLITE です。ボードにはエミュレーション機能が付いており、ソフトウェア開発機能が備わっています。複数のドータ・カードも提供しています。

### エミュレータ互換プロセッサ・ボードのデザイン

アナログ・デバイセズのエミュレータ・ファミリは、すべてのシステム開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各 JTAG プロセッサ上で IEEE 1149.1 JTAG テスト・アクセス・ポート(TAP)を提供しています。エミュレータはこのタップを使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するようにプロセッサ・システムを設定することができます。

これらのエミュレータを使うときは、ターゲット・ボードにプロセッサの JTAG ポートをエミュレータへ接続するヘッダーが含まれている必要があります。

機械的レイアウト、シングル・プロセッサ接続、マルチプロセッサ・スキューン・チェーン、信号バッファリング、信号終端、エミュレータ・ボード・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト([www.analog.com/ee-notes](http://www.analog.com/ee-notes))にある「Analog Devices JTAG Emulation Technical Reference (EE-68)」を参照してください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

### 関連ドキュメント

ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサ(および関連プロセッサ)について説明する次の出版物は、アナログ・デバイセズの営業または当社ウェブ・サイトに注文することができます。

- ・ Getting Started with Blackfin Processors
- ・ ADSP-BF537 Blackfin Processor Hardware Reference
- ・ ADSP-BF53x/ADSP-BF56x Blackfin Processor Programming Reference
- ・ ADSP-BF534/ADSP-BF536/ADSP-BF537 Blackfin Processor Anomaly List

## ピン説明

表 9 に、ADSP-BF534/ADSP-BF536/ADSP-BF537 プロセッサのピン定義を示します。機能の最大化およびパッケージ・サイズとピン数を削減するため、複数の機能をマルチプレクスした共用ピンもあります。ピン機能が設定可能な場合には、デフォルト状態をテキストで示し、代替機能を斜字体で表してあります。名前の後に(\*)を付けたピンは、高ソース/高シンク電流能力を提供します。

すべてのピンはリセット時とその直後にスリー・ステートになります。ただし、メモリ・インターフェース・ピン、非同期メモリ・コントロール・ピン、同期メモリ・コントロール・ピン、バッファ付き XTAL 出力ピン(CLKBUF)は除きます。

表9 ピン説明

外部メモリ・インターフェースのこれらのピンはすべてハイ・レベルに駆動されますが、CLKOUT は例外でシステム・クロック・レートでトグルします。 $\overline{\text{BR}}$ ピンがアサートされた場合は、メモリ・ピンもスリー・ステートになります。

すべての I/O ピンの入力バッファはディスエーブルされますが、データシートでプルアップまたはプルダウンが必要と指定されたピンは例外です。

SDA (シリアル・データ)ピンと SCL (シリアル・クロック)ピンはオープン・ドレインであるため、プルアップ抵抗が必要です。正しい抵抗値については、I<sup>2</sup>C 仕様バージョン 2.1 を参照してください。

Pin Name	Type	Function	Driver Type <sup>1</sup>
<i>Memory Interface</i>			
ADDR19-1	O	Address Bus for Async Access	A
DATA15-0	I/O	Data Bus for Async/Sync Access	A
$\overline{\text{ABE1-0/SDQM1-0}}$	O	Byte Enables/Data Masks for Async/Sync Access	A
$\overline{\text{BR}}$	I	Bus Request (This pin should be pulled high when not used.)	
$\overline{\text{BG}}$	O	Bus Grant	A
$\overline{\text{BGH}}$	O	Bus Grant Hang	A
<i>Asynchronous Memory Control</i>			
$\overline{\text{AMS3-0}}$	O	Bank Select	A
ARDY	I	Hardware Ready Control	
$\overline{\text{AOE}}$	O	Output Enable	A
$\overline{\text{ARE}}$	O	Read Enable	A
$\overline{\text{AWE}}$	O	Write Enable	A
<i>Synchronous Memory Control</i>			
$\overline{\text{SRAS}}$	O	Row Address Strobe	A
$\overline{\text{SCAS}}$	O	Column Address Strobe	A
$\overline{\text{SWE}}$	O	Write Enable	A
SCKE	O	Clock Enable (This pin is three-stated during hibernate.)	A
CLKOUT	O	Clock Output	B
SA10	O	A10 Pin	A
$\overline{\text{SMS}}$	O	Bank Select	A

表 9. ピン説明(続き)

Pin Name	Type	Function	Driver Type <sup>1</sup>
<i>Port F: GPIO/UART1-0/Timer7-0/SPI/External DMA Request/PPI (* = High Source/High Sink Pin)</i>			
PF0* – GPIO/UART0 TX/DMAR0	I/O	GPIO/UART0 Transmit/DMA Request 0	C
PF1* – GPIO/UART0 RX/DMAR1/TAC11	I/O	GPIO/UART0 Receive/DMA Request 1/Timer1 Alternate Input Capture	C
PF2* – GPIO/UART1 TX/TMR7	I/O	GPIO/UART1 Transmit/Timer7	C
PF3* – GPIO/UART1 RX/TMR6/TAC16	I/O	GPIO/UART1 Receive/Timer6/Timer6 Alternate Input Capture	C
PF4* – GPIO/TMR5/SPI SSEL6	I/O	GPIO/Timer5/SPI Slave Select Enable 6	C
PF5* – GPIO/TMR4/SPI SSEL5	I/O	GPIO/Timer4/SPI Slave Select Enable 5	C
PF6* – GPIO/TMR3/SPI SSEL4	I/O	GPIO/Timer3/SPI Slave Select Enable 4	C
PF7* – GPIO/TMR2/PPI FS3	I/O	GPIO/Timer2/PPI Frame Sync 3	C
PF8 – GPIO/TMR1/PPI FS2	I/O	GPIO/Timer1/PPI Frame Sync 2	C
PF9 – GPIO/TMR0/PPI FS1	I/O	GPIO/Timer0/PPI Frame Sync 1	C
PF10 – GPIO/SPI SSEL1	I/O	GPIO/SPI Slave Select Enable 1	C
PF11 – GPIO/SPI MOSI	I/O	GPIO/SPI Master Out Slave In	C
PF12 – GPIO/SPI MISO	I/O	GPIO/SPI Master In Slave Out (This pin should be pulled high through a 4.7 kΩ resistor if booting via the SPI port.)	C
PF13 – GPIO/SPI SCK	I/O	GPIO/SPI Clock	D
PF14 – GPIO/SPI SS/TACLK0	I/O	GPIO/SPI Slave Select/Alternate Timer0 Clock Input	C
PF15 – GPIO/PPI CLK/TMRCLK	I/O	GPIO/PPI Clock/External Timer Reference	C
<i>Port G: GPIO/PPI/SPORT1</i>			
PG0 – GPIO/PPI D0	I/O	GPIO/PPI Data 0	C
PG1 – GPIO/PPI D1	I/O	GPIO/PPI Data 1	C
PG2 – GPIO/PPI D2	I/O	GPIO/PPI Data 2	C
PG3 – GPIO/PPI D3	I/O	GPIO/PPI Data 3	C
PG4 – GPIO/PPI D4	I/O	GPIO/PPI Data 4	C
PG5 – GPIO/PPI D5	I/O	GPIO/PPI Data 5	C
PG6 – GPIO/PPI D6	I/O	GPIO/PPI Data 6	C
PG7 – GPIO/PPI D7	I/O	GPIO/PPI Data 7	C
PG8 – GPIO/PPI D8/DR1SEC	I/O	GPIO/PPI Data 8/SPORT1 Receive Data Secondary	C
PG9 – GPIO/PPI D9/DT1SEC	I/O	GPIO/PPI Data 9/SPORT1 Transmit Data Secondary	C
PG10 – GPIO/PPI D10/RSCLK1	I/O	GPIO/PPI Data 10/SPORT1 Receive Serial Clock	D
PG11 – GPIO/PPI D11/RFS1	I/O	GPIO/PPI Data 11/SPORT1 Receive Frame Sync	C
PG12 – GPIO/PPI D12/DR1PRI	I/O	GPIO/PPI Data 12/SPORT1 Receive Data Primary	C
PG13 – GPIO/PPI D13/TSCLK1	I/O	GPIO/PPI Data 13/SPORT1 Transmit Serial Clock	D
PG14 – GPIO/PPI D14/TFS1	I/O	GPIO/PPI Data 14/SPORT1 Transmit Frame Sync	C
PG15 – GPIO/PPI D15/DT1PRI	I/O	GPIO/PPI Data 15/SPORT1 Transmit Data Primary	C

# ADSP-BF534/ADSP-BF536/ADSP-BF537

表 9. ピン説明(続き)

Pin Name	Type	Function	Driver Type <sup>1</sup>
<i>Port H: GPIO/10/100 Ethernet MAC (On ADSP-BF534, these pins are GPIO only)</i>			
PH0 – GPIO/ETxD0	I/O	GPIO/Ethernet MII or RMII Transmit D0	E
PH1 – GPIO/ETxD1	I/O	GPIO/Ethernet MII or RMII Transmit D1	E
PH2 – GPIO/ETxD2	I/O	GPIO/Ethernet MII Transmit D2	E
PH3 – GPIO/ETxD3	I/O	GPIO/Ethernet MII Transmit D3	E
PH4 – GPIO/ETxEN	I/O	GPIO/Ethernet MII or RMII Transmit Enable	E
PH5 – GPIO/MII TxCLK/RMII REF_CLK	I/O	GPIO/Ethernet MII Transmit Clock/RMII Reference Clock	E
PH6 – GPIO/MII $\overline{\text{PHYINT}}$ /RMII $\overline{\text{MDINT}}$	I/O	GPIO/Ethernet MII PHY Interrupt/RMII Management Data Interrupt (This pin should be pulled high when used as a hibernate wake-up.)	E
PH7 – GPIO/COL	I/O	GPIO/Ethernet Collision	E
PH8 – GPIO/ERxD0	I/O	GPIO/Ethernet MII or RMII Receive D0	E
PH9 – GPIO/ERxD1	I/O	GPIO/Ethernet MII or RMII Receive D1	E
PH10 – GPIO/ERxD2	I/O	GPIO/Ethernet MII Receive D2	E
PH11 – GPIO/ERxD3	I/O	GPIO/Ethernet MII Receive D3	E
PH12 – GPIO/ERxDV/TACLK5	I/O	GPIO/Ethernet MII Receive Data Valid/Alternate Timer5 Input Clock	E
PH13 – GPIO/ERxCLK/TACLK6	I/O	GPIO/Ethernet MII Receive Clock/Alternate Timer6 Input Clock	E
PH14 – GPIO/ERxER/TACLK7	I/O	GPIO/Ethernet MII or RMII Receive Error/Alternate Timer7 Input Clock	E
PH15 – GPIO/MII CRS/RMII CRS_DV	I/O	GPIO/Ethernet MII Carrier Sense/Ethernet RMII Carrier Sense and Receive Data Valid	E
<i>Port J: SPORT0/TWI/SPI Select/CAN</i>			
PJ0 – MDC	O	Ethernet Management Channel Clock (On ADSP-BF534 processors, do not connect this pin.)	E
PJ1 – MDIO	I/O	Ethernet Management Channel Serial Data (On ADSP-BF534 processors, tie this pin to ground.)	E
PJ2 – SCL	I/O	TWI Serial Clock (This pin is an open-drain output and requires a pull-up resistor.)	F
PJ3 – SDA	I/O	TWI Serial Data (This pin is an open-drain output and requires a pull-up resistor.)	F
PJ4 – DR0SEC/CANRX/TACIO	I	SPORT0 Receive Data Secondary/CAN Receive/Timer0 Alternate Input Capture	
PJ5 – DT0SEC/CANTX/SPI SSEL7	O	SPORT0 Transmit Data Secondary/CAN Transmit/SPI Slave Select Enable 7	C
PJ6 – RSCLK0/TACLK2	I/O	SPORT0 Receive Serial Clock/Alternate Timer2 Clock Input	D
PJ7 – RFS0/TACLK3	I/O	SPORT0 Receive Frame Sync/Alternate Timer3 Clock Input	C
PJ8 – DR0PRI/TACLK4	I	SPORT0 Receive Data Primary/Alternate Timer4 Clock Input	
PJ9 – TSCLK0/TACLK1	I/O	SPORT0 Transmit Serial Clock/Alternate Timer1 Clock Input	D
PJ10 – TFS0/SPI SSEL3	I/O	SPORT0 Transmit Frame Sync/SPI Slave Select Enable 3	C
PJ11 – DT0PRI/SPI SSEL2	O	SPORT0 Transmit Data Primary/SPI Slave Select Enable 2	C
<i>Real-Time Clock</i>			
RTXI	I	RTC Crystal Input (This pin should be pulled low when not used.)	
RTXO	O	RTC Crystal Output	

# ADSP-BF534/ADSP-BF536/ADSP-BF537

表 9. ピン説明(続き)

Pin Name	Type	Function	Driver Type <sup>1</sup>
<i>JTAG Port</i>			
TCK	I	JTAG Clock	C
TDO	O	JTAG Serial Data Out	
TDI	I	JTAG Serial Data In	
TMS	I	JTAG Mode Select	
$\overline{\text{TRST}}$	I	JTAG Reset (This pin should be pulled low if the JTAG port is not used.)	
$\overline{\text{EMU}}$	O	Emulation Output	C
<i>Clock</i>			
CLKIN	I	Clock/Crystal Input	E
XTAL	O	Crystal Output	
CLKBUF	O	Buffered XTAL Output	
<i>Mode Controls</i>			
$\overline{\text{RESET}}$	I	Reset	
$\overline{\text{NMI}}$	I	Nonmaskable Interrupt (This pin should be pulled high when not used.)	
BMODE2-0	I	Boot Mode Strap 2-0	
<i>Voltage Regulator</i>			
VROUT0	O	External FET Drive	
VROUT1	O	External FET Drive	
<i>Supplies</i>			
V <sub>DDEXT</sub>	P	I/O Power Supply	
V <sub>DDINT</sub>	P	Internal Power Supply	
V <sub>DDRTC</sub>	P	Real-Time Clock Power Supply	
GND	G	External Ground	

<sup>1</sup>各ドライバ・タイプについては [出力駆動電流](#)を参照してください。

## 仕様

部品仕様は予告なく変更されることがあります。

### 動作条件

Parameter	Conditions	Min	Nominal	Max	Unit	
V <sub>DDINT</sub>	Internal Supply Voltage <sup>1</sup>	Non automotive 300 MHz, 400 MHz, and 500 MHz speed grade models <sup>2</sup>	0.8	1.2	1.32	V
V <sub>DDINT</sub>	Internal Supply Voltage <sup>1</sup>	Non automotive 533 MHz speed grade models <sup>2</sup>	0.8	1.25	1.375	V
V <sub>DDINT</sub>	Internal Supply Voltage <sup>1</sup>	Non automotive 600 MHz speed grade models <sup>2</sup>	0.8	1.3	1.43	V
V <sub>DDINT</sub>	Internal Supply Voltage <sup>1</sup>	Automotive grade models and +105°C non automotive grade models <sup>2</sup>	0.95	1.2	1.32	V
V <sub>DDEXT</sub>	External Supply Voltage	Non automotive grade models <sup>2</sup>	2.25	2.5 or 3.3	3.6	V
V <sub>DDEXT</sub>	External Supply Voltage	Automotive grade models and +105°C non automotive grade models <sup>2</sup>	2.7	3.0 or 3.3	3.6	V
V <sub>DDRTC</sub>	Real-Time Clock Power Supply Voltage		2.25		3.6	V
V <sub>IH</sub>	High Level Input Voltage <sup>3, 4</sup>	V <sub>DDEXT</sub> = Maximum	2.0		3.6	V
V <sub>IHCLKIN</sub>	High Level Input Voltage <sup>5</sup>	V <sub>DDEXT</sub> = Maximum	2.2		3.6	V
V <sub>IH5V</sub>	5.0 V Tolerant Pins, High Level Input Voltage <sup>6</sup>		0.7 × V <sub>DDEXT</sub>		5.5	V
V <sub>IH5V</sub>	5.0 V Tolerant Pins, High Level Input Voltage <sup>7</sup>	V <sub>DDEXT</sub> = Maximum	2.0		5.5	V
V <sub>IL</sub>	Low Level Input Voltage <sup>3, 8</sup>	V <sub>DDEXT</sub> = Minimum	-0.3		+0.6	V
V <sub>IL5V</sub>	5.0 V Tolerant Pins, Low Level Input Voltage <sup>6</sup>		-0.3		0.3 × V <sub>DDEXT</sub>	V
V <sub>IL5V</sub>	5.0 V Tolerant Pins, Low Level Input Voltage <sup>7</sup>	V <sub>DDEXT</sub> = Minimum	-0.3		+0.8	V
T <sub>J</sub>	Junction Temperature	208-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T <sub>AMBIENT</sub> = -40°C to + 105°C	-40		+120	°C
T <sub>J</sub>	Junction Temperature	208-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T <sub>AMBIENT</sub> = -40°C to + 85°C	-40		+105	°C
T <sub>J</sub>	Junction Temperature	208-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T <sub>AMBIENT</sub> = 0°C to + 70°C	0		+95	°C
T <sub>J</sub>	Junction Temperature	182-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T <sub>AMBIENT</sub> = -40°C to + 85°C	-40		+105	°C
T <sub>J</sub>	Junction Temperature	182-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T <sub>AMBIENT</sub> = 0°C to +70°C	0		+100	°C

<sup>1</sup>レギュレータは-5%~+10%の偏差で0.85 V~1.2 VのレベルでV<sub>DDINT</sub>を生成することができます。また、-4%~+10%の偏差ではV<sub>DDINT</sub> = 1.25 Vに、-0%~+10%の偏差ではV<sub>DDINT</sub> = 1.3 Vに、それぞれなります。必要とされるV<sub>DDINT</sub>は、スピード・グレードと動作周波数の関数になります。表 10、表 11、表 12 を参照してください。

<sup>2</sup>オーダー・ガイドを参照してください。

<sup>3</sup>ADSP-BF534/ADSP-BF536/ADSP-BF537の双方向ピン (DATA15~0、PF15~0、PG15~0、PH15~0、TFS0、TSCLK0、RSCLK0、RFS0、MDIO)と入力ピン (BR、ARDY、DROPRI、DR0SEC、RTXI、TCK、TDI、TMS、TRST、CLKIN、RESET、NMI、BMODE2~0)は、3.3 V 対応です(常に3.6 V maximum V<sub>IH</sub>まで許容します)。電圧コンプライアンス (出力のV<sub>OH</sub>)は、電源電圧 V<sub>DDEXT</sub>により制限されます。

<sup>4</sup>パラメータ値はCLKIN、SDA、SCL以外の全入力ピンと全双方向ピンに適用します。

<sup>5</sup>パラメータ値はCLKIN ピンのみに適用。

<sup>6</sup>5.0 V 対応 (最大5.5 V maximum V<sub>IH</sub>まで許容)のPJ2/SCLピンとPJ3/SDAピンに適用します。電圧コンプライアンス (出力のV<sub>OH</sub>)は、電源電圧 V<sub>DDEXT</sub>により制限されます。

<sup>7</sup>5.0 V 対応 (最大5.5 V maximum V<sub>IH</sub>まで許容)のPJ4/DR0SEC/CANRX/TACIOピンに適用します。電圧コンプライアンス (出力のV<sub>OH</sub>)は、電源電圧 V<sub>DDEXT</sub>により制限されます。

<sup>8</sup>パラメータ値はSDA、SCL以外の全入力ピンと全双方向ピンに適用します。

# ADSP-BF534/ADSP-BF536/ADSP-BF537

表10～表12に、ADSP-BF534/ADSP-BF536/ADSP-BF537プロセッサ・クロックの電圧/周波数条件を示します。MSEL比、SSEL比、CSEL比の選択では、最大コア・クロック周波数と

システム・クロック動作周波数を超えないように注意してください。表13にPLL動作条件を示します。

表10 コアクロック条件- 500 MHz、533 MHz、600 MHzの各スピード・グレード<sup>1</sup>

Parameter	Internal Regulator Setting	Max	Unit
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.30 V Minimum) <sup>2</sup>	1.30 V	600	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.20 V Minimum) <sup>3</sup>	1.25 V	533	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.14 V Minimum)	1.20 V	500	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.045 V Minimum)	1.10 V	444	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.95 V Minimum)	1.00 V	400	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.85 V Minimum)	0.90 V	333	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.8 V Minimum)	0.85 V	250	MHz

<sup>1</sup> オーダー・ガイドを参照してください。

<sup>2</sup> 600 MHz モデルのみに適用。オーダー・ガイドを参照してください。

<sup>3</sup> 533 MHz モデルと 600 MHz モデルのみに適用。オーダー・ガイドを参照してください。

表11 コア・クロック条件- 400 MHzスピード・グレード<sup>1</sup>

Parameter	Internal Regulator Setting	120°C ≥ T <sub>J</sub> > 105°C	All <sup>2</sup> Other T <sub>J</sub>	Unit
		Max	Max	
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.14 V Minimum)	1.20 V	400	400	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.045 V Minimum)	1.10 V	333	363	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.95 V Minimum)	1.00 V	295	333	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.85 V Minimum)	0.90 V		280	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.8 V Minimum)	0.85 V		250	MHz

<sup>1</sup> オーダー・ガイドを参照してください。

<sup>2</sup> 動作条件を参照してください。

表12 コア・クロック条件- 300 MHzスピード・グレード<sup>1</sup>

Parameter	Internal Regulator Setting	Max	Unit
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.14 V Minimum)	1.20 V	300	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 1.045 V Minimum)	1.10 V	255	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.95 V Minimum)	1.00 V	210	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.85 V Minimum)	0.90 V	180	MHz
f <sub>CCLK</sub> Core Clock Frequency (V <sub>DDINT</sub> = 0.8 V Minimum)	0.85 V	160	MHz

<sup>1</sup> オーダー・ガイドを参照してください。

表13 位相ロック・ループの動作条件<sup>1</sup>

Parameter	Min	Max	Unit
f <sub>VCO</sub> Voltage Controlled Oscillator (VCO) Frequency	50	Speed Grade <sup>1</sup>	MHz

<sup>1</sup> オーダー・ガイドを参照してください。

表14 システム・クロック条件

Parameter	Condition	Max	Unit
f <sub>SCLK</sub> <sup>1</sup>	V <sub>DDEXT</sub> = 3.3 V or 2.5 V, V <sub>DDINT</sub> ≥ 1.14 V	133 <sup>2</sup>	MHz
f <sub>SCLK</sub> <sup>1</sup>	V <sub>DDEXT</sub> = 3.3 V or 2.5 V, V <sub>DDINT</sub> < 1.14 V	100	MHz

<sup>1</sup> f<sub>SCLK</sub> ≤ f<sub>CCLK</sub> であり、さらに SDRAM インターフェース動作からも制約を受けます。表26を参照してください。

<sup>2</sup> 丸め処理した値。実際のテスト仕様は、7.5 ns の SCLK 周期です。表26を参照してください。



電気的特性

Parameter	Test Conditions	300 MHz/400 MHz <sup>1</sup>			500 MHz/533 MHz/600 MHz <sup>2</sup>			Unit
		Min	Typ	Max	Min	Typ	Max	
V <sub>OH</sub> <sup>3</sup>	High Level Output Voltage	V <sub>DDEXT</sub> = 2.5 V/3.0 V/ 3.3 V ± 10%, I <sub>OH</sub> = -0.5 mA			V <sub>DDEXT</sub> - 0.5			V
V <sub>OH</sub> <sup>4</sup>		V <sub>DDEXT</sub> = 3.3 V ± 10%, I <sub>OH</sub> = -8 mA			V <sub>DDEXT</sub> - 0.5			V
		V <sub>DDEXT</sub> = 2.5 V/3.0 V ± 10%, I <sub>OH</sub> = -6 mA			V <sub>DDEXT</sub> - 0.5			V
V <sub>OH</sub> <sup>5</sup>		V <sub>DDEXT</sub> = 2.5 V/3.0 V/ 3.3 V ± 10%, I <sub>OH</sub> = -2.0 mA			V <sub>DDEXT</sub> - 0.5			V
I <sub>OH</sub> <sup>6</sup>	High Level Output Current	V <sub>OH</sub> = V <sub>DDEXT</sub> - 0.5 V Min			-64			mA
I <sub>OH</sub> <sup>7</sup>		V <sub>OH</sub> = V <sub>DDEXT</sub> - 0.5 V Min			-144			mA
V <sub>OL</sub> <sup>3</sup>	Low Level Output Voltage	V <sub>DDEXT</sub> = 2.5 V/3.0 V/ 3.3 V ± 10%, I <sub>OL</sub> = 2.0 mA			0.4			V
V <sub>OL</sub> <sup>4</sup>		V <sub>DDEXT</sub> = 3.3 V ± 10%, I <sub>OL</sub> = 8 mA			0.5			V
		V <sub>DDEXT</sub> = 2.5 V/3.0 V ± 10%, I <sub>OL</sub> = 6 mA			0.5			V
V <sub>OL</sub> <sup>5</sup>		V <sub>DDEXT</sub> = 2.5 V/3.0 V/ 3.3 V ± 10%, I <sub>OL</sub> = 2.0 mA			0.5			V
I <sub>OL</sub> <sup>6</sup>	Low Level Output Current	V <sub>OL</sub> = 0.5 V Max			64			mA
I <sub>OL</sub> <sup>7</sup>		V <sub>OL</sub> = 0.5 V Max			144			mA
I <sub>IH</sub>	High Level Input Current <sup>8</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 3.6 V			10			μA
I <sub>IHSV</sub>	High Level Input Current <sup>9</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 5.5 V			10			μA
I <sub>IL</sub>	Low Level Input Current <sup>2</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 0 V			10			μA
I <sub>IHP</sub>	High Level Input Current JTAG <sup>10</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 3.6 V			50			μA
I <sub>OZH</sub>	Three-State Leakage Current <sup>11</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 3.6 V			10			μA
I <sub>OZHSV</sub>	Three-State Leakage Current <sup>12</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 5.5 V			10			μA
I <sub>OZL</sub>	Three-State Leakage Current <sup>5</sup>	V <sub>DDEXT</sub> = 3.6 V, V <sub>IN</sub> = 0 V			10			μA
C <sub>IN</sub>	Input Capacitance <sup>13 14</sup>	f <sub>IN</sub> = 1 MHz, T <sub>AMBIENT</sub> = 25°C, V <sub>IN</sub> = 2.5 V			8			pF

## 電気的特性(続き)

Parameter	Test Conditions	300 MHz/400 MHz <sup>1</sup>			500 MHz/533 MHz/600 MHz <sup>2</sup>			Unit
		Min	Typ	Max	Min	Typ	Max	
$I_{DDDEEPSLEEP}^{15}$ $V_{DDINT}$ Current in Deep Sleep Mode	$V_{DDINT} = 1.0\text{ V}$ , $f_{CCLK} = 0\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 0.00$		6			16		mA
$I_{DDSLLEEP}$ $V_{DDINT}$ Current in Sleep Mode	$V_{DDINT} = 1.0\text{ V}$ , $f_{SCLK} = 25\text{ MHz}$ , $T_J = 25^\circ\text{C}$		9.5			19.5		mA
$I_{DD-IDLE}$ $V_{DDINT}$ Current in Idle	$V_{DDINT} = 1.0\text{ V}$ , $f_{CCLK} = 50\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 0.43$		14			24		mA
$I_{DD-TYP}$ $V_{DDINT}$ Current	$V_{DDINT} = 1.14\text{ V}$ , $f_{CCLK} = 300\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 1.00$		100			113		mA
$I_{DD-TYP}$ $V_{DDINT}$ Current	$V_{DDINT} = 1.14\text{ V}$ , $f_{CCLK} = 400\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 1.00$		125			138		mA
$I_{DD-TYP}$ $V_{DDINT}$ Current	$V_{DDINT} = 1.20\text{ V}$ , $f_{CCLK} = 533\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 1.00$					185		mA
$I_{DD-TYP}$ $V_{DDINT}$ Current	$V_{DDINT} = 1.30\text{ V}$ , $f_{CCLK} = 600\text{ MHz}$ , $T_J = 25^\circ\text{C}$ , $ASF = 1.00$					227		mA
$I_{DDHIBERNATE}^{15, 16}$ $V_{DDEXT}$ Current in Hibernate State	$V_{DDEXT} = 3.60\text{ V}$ , $CLKIN = 0\text{ MHz}$ , $T_J = \text{maximum}$ , with voltage regulator off ( $V_{DDINT} = 0\text{ V}$ )		50	100		50	100	$\mu\text{A}$
$I_{DDRTC}$ $V_{DDRTC}$ Current	$V_{DDRTC} = 3.3\text{ V}$ , $T_J = 25^\circ\text{C}$		20			20		$\mu\text{A}$
$I_{DDDEEPSLEEP}^{15}$ $V_{DDINT}$ Current in Deep Sleep Mode	$f_{CCLK} = 0\text{ MHz}$ , $f_{SCLK} = 0\text{ MHz}$				Table 16		Table 15	mA
$I_{DDSLLEEP}^{15, 17}$ $V_{DDINT}$ Current in Sleep Mode	$f_{CCLK} = 0\text{ MHz}$ , $f_{SCLK} > 0\text{ MHz}$				$I_{DDDEEPSLEEP} + (0.14 \times V_{DDINT} \times f_{SCLK})$		$I_{DDDEEPSLEEP} + (0.14 \times V_{DDINT} \times f_{SCLK})$	mA
$I_{DDINT}^{18}$ $V_{DDINT}$ Current	$f_{CCLK} > 0\text{ MHz}$ , $f_{SCLK} > 0\text{ MHz}$				$I_{DDSLLEEP} + (\text{Table 18} \times ASF)$		$I_{DDSLLEEP} + (\text{Table 18} \times ASF)$	mA

<sup>1</sup>すべての 300 MHz と 400 MHz スピード・グレード・モデルに適用。 オーダー・ガイドを参照してください。

<sup>2</sup>すべての 500 MHz、533 MHz、600 MHz スピード・グレード・モデルに適用。 オーダー・ガイドを参照してください。

<sup>3</sup>ポート F ピン、ポート G ピン、ポート H ピン以外のすべての出力ピンと双方向ピンに適用。

<sup>4</sup>ポート F の PF7~0 ピンに適用。

<sup>5</sup>ポート F の PF15~8 ピン、全ポート G ピン、全ポート H ピンに適用。

<sup>6</sup>ポート F7~0 の最大合計電流。

<sup>7</sup>全ポート F ピン、全ポート G ピン、全ポート H ピンの最大合計電流。

<sup>8</sup>PJ4 以外の全入力ピンに適用。

<sup>9</sup>入力 PJ4 ピンのみに適用。

<sup>10</sup>JTAG 入力ピン (TCK、TDI、TMS、 $\overline{\text{TRST}}$ )に適用。

<sup>11</sup>スリー・ステート・ピンに適用。

<sup>12</sup>双方向ピン PJ2 と PJ3 に適用。

<sup>13</sup>全信号ピンに適用。

<sup>14</sup>保証しますが、テストしません。

<sup>15</sup>スリープ、ディープ・スリープ、ハイバネート動作モードの定義については、「ADSP-BF537 Blackfin Processor Hardware Reference Manual for definitions」を参照してください。

<sup>16</sup>ハイバネート中は CLKIN を  $V_{DDEXT}$  または GND に接続する必要があります。

<sup>17</sup>式では、 $f_{SCLK}$  パラメータはシステム・クロック (MHz) です。

<sup>18</sup>カバーされる  $I_{DDINT}$  パワー・ベクタの一覧については 表 17 を参照してください。

# ADSP-BF534/ADSP-BF536/ADSP-BF537

デザインを低消費電力用に最適化する詳細情報については、「*Estimating Power for the ADSP-BF534/BF536/BF537 Blackfin Processors (EE-297)*」を参照してください。このセクションで説明する内容は、EE-297 に詳しく説明しています。総合消費電力には次の2つの成分があります。

1. リーク電流を含むスタティック
2. トランジスタ・スイッチング特性に起因するダイナミック

温度、電圧、動作周波数、プロセッサ動作状態などの多くの動作条件も消費電力に影響を与えます。電气的特性に、内部回路の消費電流( $I_{DDINT}$ )を示します。 $I_{DDDEEPSLEEP}$ は、電圧( $V_{DDINT}$ )と温度の関数としてスタティック消費電力を規定し(表 16 または表 15 参照)、 $I_{DDINT}$ は記載したテスト条件に対して、総合消費電力を規定します(ダイナミック成分は電圧( $V_{DDINT}$ )と周波数(表 18)の関数として含みます)。

ダイナミック成分も、プロセッサ上でのアプリケーション・コードの実行を表す(表 17)アクティビティ・スケーリング・ファクタ(ASF)の影響を受けます。

表15 スタティック電流—500 MHz、533 MHz、600 MHzスピード・グレード・デバイス(mA)<sup>1</sup>

$T_J$ (°C)	Voltage ( $V_{DDINT}$ )													
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V	1.375 V	1.43 V
-40	3.9	4.7	6.8	8.2	9.9	12.0	14.6	17.3	20.3	24.1	27.1	28.6	36.3	44.4
0	17.0	19.2	21.9	25.0	28.2	32.1	36.9	41.8	47.7	53.8	61.0	63.8	73.2	84.1
25	35.0	39.2	44.3	50.8	56.1	63.3	69.1	76.4	84.7	93.5	104.5	109.1	123.4	138.8
40	53.0	59.2	65.3	71.9	79.1	88.0	96.6	108.0	120.0	130.7	142.6	148.5	166.5	185.6
55	76.7	84.6	93.6	103.1	113.7	123.9	136.3	148.3	162.8	178.4	194.4	201.4	223.7	247.5
70	110.1	120.0	130.9	142.2	156.5	171.3	185.2	201.7	220.6	239.7	259.8	268.8	295.9	325.2
85	150.1	164.5	178.7	193.2	210.4	228.9	247.7	268.8	291.4	314.1	341.1	351.2	384.6	420.3
100	202.3	219.2	236.5	255.8	277.8	299.8	323.8	351.2	378.8	407.5	440.4	453.4	494.3	538.2
105	223.8	241.4	260.4	282.0	303.4	328.7	354.5	381.7	410.8	443.6	477.8	492.2	535.1	581.5

<sup>1</sup>値は保証される最大  $I_{DDDEEPSLEEP}$  仕様です。

表16 スタティック電流—300 MHzおよび400 MHzスピード・グレード・デバイス(mA)<sup>1</sup>

$T_J$ (°C)	Voltage ( $V_{DDINT}$ )											
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V
-40	2.6	3.2	3.7	4.5	5.5	6.6	7.9	9.3	10.5	12.5	13.9	14.8
0	6.6	7.8	8.4	9.9	10.9	12.3	13.8	15.5	17.5	19.6	21.7	23.1
25	12.2	13.5	14.8	16.4	18.2	19.9	22.7	25.6	28.4	31.8	35.7	37.2
40	17.2	19.0	20.6	22.9	25.9	28.2	31.6	34.9	38.9	42.9	47.6	49.5
55	25.7	27.8	30.9	33.7	37.3	41.4	44.8	50.0	54.8	59.4	66.1	68.4
70	37.6	41.3	44.8	48.9	53.9	58.6	63.9	69.7	76.9	84.0	92.2	94.9
85	53.7	58.3	63.7	69.0	75.9	82.9	90.5	98.4	106.4	115.3	124.6	128.1
100	75.1	82.3	88.5	95.8	104.0	112.5	121.8	130.6	141.3	153.2	164.8	169.7
105	84.5	91.2	98.2	106.0	114.2	123.0	132.4	143.3	155.0	167.4	179.8	185.4
115 <sup>2</sup>	103.8	111.8	120.3	127.6	138.0	148.5	159.6	171.4	184.6	198.8	213.4	219.6
120 <sup>2</sup>	115.5	123.6	132.2	141.9	152.3	163.7	175.6	189.3	202.8	217.7	232.3	238.6

<sup>1</sup>値は保証される最大  $I_{DDDEEPSLEEP}$  仕様です。

<sup>2</sup>車載グレード・モデルのみに適用。

表17 アクティビティ・スケーリング・ファクタ

<b>I<sub>DDINT</sub> Power Vector<sup>1</sup></b>	<b>Activity Scaling Factor (ASF)<sup>2</sup></b>
I <sub>DD-PEAK</sub>	1.33
I <sub>DD-HIGH</sub>	1.29
I <sub>DD-TYP</sub>	1.00
I <sub>DD-APP</sub>	0.88
I <sub>DD-NOP</sub>	0.72
I <sub>DD-IDLE</sub>	0.43

<sup>1</sup>パワー・ベクタ定義については EE-297 を参照してください。

<sup>2</sup>すべて ASF 値は、10:1 CCLK:SCLK 比を使って決定。

表18 ダイナミック電流(mA、ASF = 1.0) <sup>1</sup>

<b>Frequency (MHz)</b>	<b>Voltage (V<sub>DDINT</sub>)</b>													
	<b>0.80 V</b>	<b>0.85 V</b>	<b>0.90 V</b>	<b>0.95 V</b>	<b>1.00 V</b>	<b>1.05 V</b>	<b>1.10 V</b>	<b>1.15 V</b>	<b>1.20 V</b>	<b>1.25 V</b>	<b>1.30 V</b>	<b>1.32 V</b>	<b>1.375 V</b>	<b>1.43 V</b>
50	11.0	13.7	19.13	18.2	18.67	19.13	19.6	21.2	24.1	25.5	28.5	28.6	28.85	29.2
100	27.9	22.7	30.8	28.4	29.3	30.8	32.9	35.3	37.8	40.6	43.5	43.7	44.1	45.8
200	36.9	42.6	55.0	49.2	51.5	55.0	58.3	62.9	67.0	69.7	73.0	74.0	75.7	80.7
300	N/A	61.5	79.2	70.4	74.6	79.2	84.4	90.7	94.3	99.1	103.9	105.5	108.0	113.4
400	N/A	N/A	N/A	92.4	97.2	104.3	109.8	116.5	121.9	128.0	134.6	136.6	139.8	145.1
500	N/A	N/A	N/A	N/A	N/A	N/A	N/A	142.3	149.3	157.5	164.7	166.7	169.8	176.9
533	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	158.6	167.0	174.3	176.6	180.1	187.9
600	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	193.7	196.5	200.7	210.0

<sup>1</sup> 値は単独の最大値として保証されません。電気的特性に示す式による静止電流と組み合わせる必要があります。

## 絶対最大定格

表19 に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを規定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表19 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage ( $V_{DDINT}$ )	- 0.3 V to + 1.43 V
External (I/O) Supply Voltage ( $V_{DDEXT}$ )	- 0.3 V to + 3.8 V
Input Voltage <sup>1</sup>	- 0.5 V to +3.6 V
Input Voltage <sup>1,2</sup>	- 0.5 V to +5.5 V
Output Voltage Swing	- 0.5 V to $V_{DDEXT} + 0.5$ V
Load Capacitance <sup>3</sup>	200 pF
Storage Temperature Range	- 65°C to + 150°C
Junction Temperature Underbias	+125°C

<sup>1</sup> $V_{DDEXT}$  が仕様範囲内の場合に適用。 $V_{DDEXT}$  が仕様の外側の場合は、範囲は  $V_{DDEXT} \pm 0.2$  V になります。

<sup>2</sup>5 V対応ピンSCL、SDA、PJ4に適用。デューティ・サイクルについては表20を参照してください。

<sup>3</sup>正常なSDRAMコントローラ動作のためには、最大負荷容量はADDR19~1、DATA15~0、ABE1~0/SDQM1~0、CLKOUT、SCKE、SA10、SRAS、SCAS、SWE、SMSに対して50 pF(3.3 V) または30 pF(2.5 V)。

表20 入力過渡電圧の最大デューティ・サイクル

$V_{in}$ Min (V)	$V_{in}$ Max (V) <sup>2</sup>	Maximum Duty Cycle
-0.50	+3.80	100%
-0.70	+4.00	40%
-0.80	+4.10	25%
-0.90	+4.20	15%
-1.00	+4.30	10%

<sup>1</sup>CLKIN、XTAL、VROUT1~0以外のすべて信号ピンに適用。

<sup>2</sup>特定のデザインには、記載するオプションの1つのみを適用することができます。

## ESD感受性



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## パッケージ情報

図8と表21に、Blackfinプロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。



図8 パッケージの製品情報

表21 パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Designation
ccc	See Ordering Guide
vvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
yyww	Date Code

## タイミング仕様

### クロックとリセットのタイミング

表22 クロックとリセットのタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{CKIN}$	CLKIN Period <sup>1, 2, 3, 4</sup>	20.0	100.0	ns
$t_{CKINL}$	CLKIN Low Pulse	8.0		ns
$t_{CKINH}$	CLKIN High Pulse	8.0		ns
$t_{BUFDLAY}$	CLKIN to CLKBUF Delay		10	ns
$t_{WRST}$	$\overline{RESET}$ Asserted Pulse Width Low <sup>5</sup>	11 $t_{CKIN}$		ns
$t_{NOBOOT}$	$\overline{RESET}$ Deassertion to First External Access Delay <sup>6</sup>	3 $t_{CKIN}$	5 $t_{CKIN}$	ns

<sup>1</sup>CLKIN 周波数と PLL クロック 増倍率の組み合わせは、表 10 ～表 14 に示す  $f_{VCO}$ 、 $f_{CCLK}$ 、 $f_{SCLK}$  の許容設定値を超えることはできません。PLL のデフォルト動作は CLKIN 周波数を 10 倍に設定するため、300 MHz と 400 MHz のスピード・グレード製品はフル CLKIN 周期を使うことができません。

<sup>2</sup>PLL バイパス・モードと PLL 非バイパス・モードに適用。

<sup>3</sup>CLKIN 周波数を即座に変えることはできません。

<sup>4</sup>PLL\_CTL レジスタの DF ビットがセットされている場合、最大  $t_{CKIN}$  周期は 50 ns です。

<sup>5</sup>パワーアップ・シーケンス完了後に適用。 $\overline{RESET}$  がアサートされ、かつ電源と CLKIN が安定している場合、パワーアップ時にプロセッサの内部位相ロック・ループは CLKIN で 2000 サイクル以上を必要としません(外部クロック・オシレータのセットアップ・タイムは除きます)。

<sup>6</sup>プロセッサがブート・モード (BMODE2~0 = b#000) に設定されたときに適用。

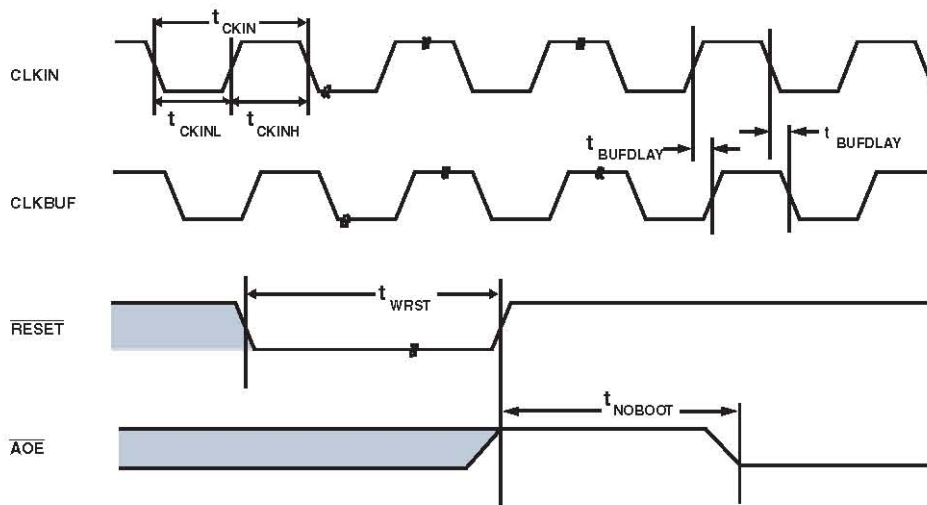


図9 クロックとリセットのタイミング

## 非同期メモリ読み出しサイクルのタイミング

表23 非同期メモリ読み出しサイクルのタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SDAT}$	DATA15 – 0 Setup Before CLKOUT	2.1		ns
$t_{HDAT}$	DATA15 – 0 Hold After CLKOUT	0.8		ns
$t_{SARDY}$	ARDY Setup Before CLKOUT	4.0		ns
$t_{HARDY}$	ARDY Hold After CLKOUT	0.0		ns
<i>Switching Characteristics</i>				
$t_{DO}$	Output Delay After CLKOUT <sup>1</sup>		6.0	ns
$t_{HO}$	Output Hold After CLKOUT <sup>1</sup>	0.8		ns

<sup>1</sup>出力ピンには $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $\overline{ADDR19\sim1}$ 、 $\overline{AOE}$ 、 $\overline{ARE}$ が含まれます。

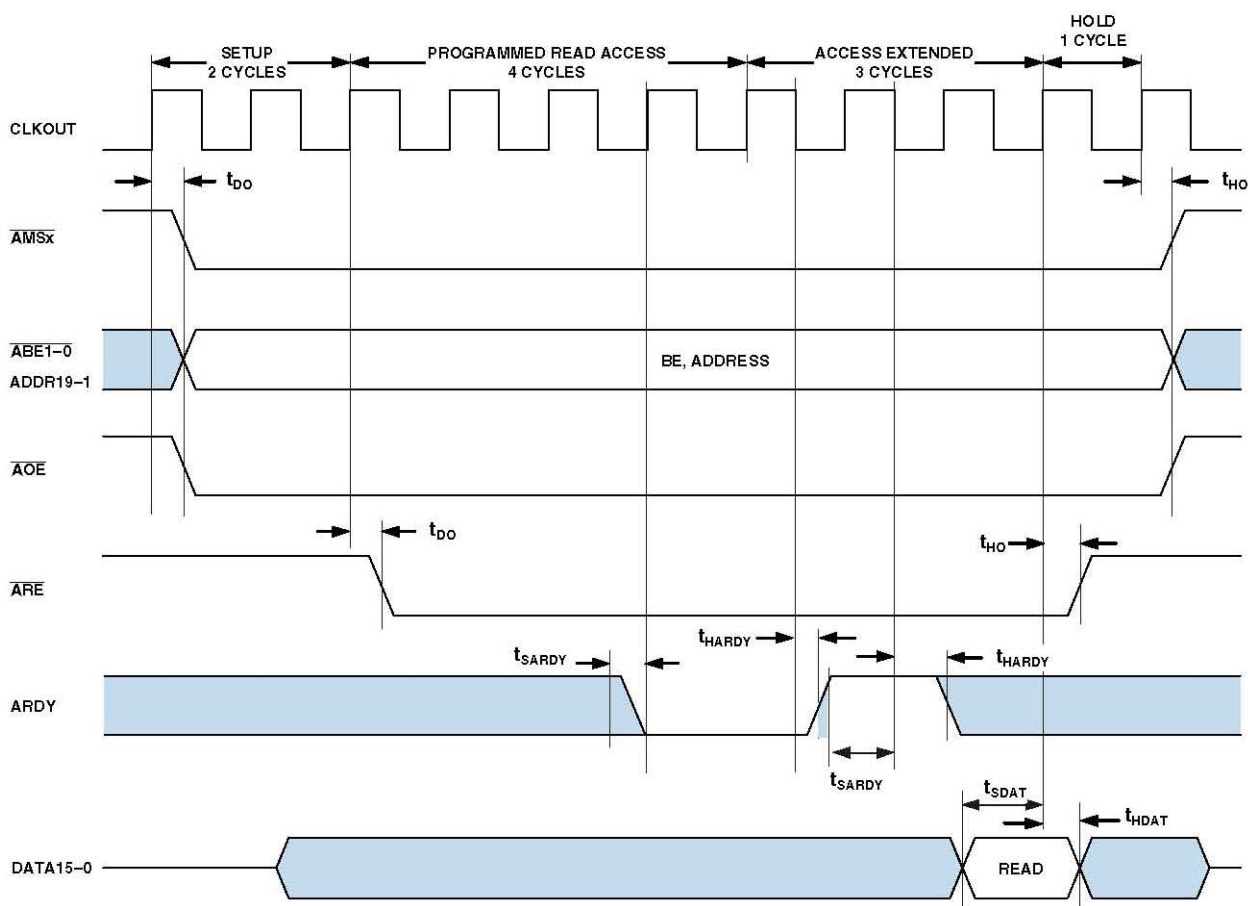


図10 非同期メモリ読み出しサイクルのタイミング

## 非同期メモリ書き込みサイクルのタイミング

表24 非同期メモリ書き込みサイクルのタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SARDY}$	ARDY Setup Before CLKOUT	4.0		ns
$t_{HARDY}$	ARDY Hold After CLKOUT	0.0		ns
<i>Switching Characteristics</i>				
$t_{DDAT}$	DATA15 – 0 Disable After CLKOUT		6.0	ns
$t_{ENDAT}$	DATA15 – 0 Enable After CLKOUT	1.0		ns
$t_{DO}$	Output Delay After CLKOUT <sup>1</sup>		6.0	ns
$t_{HO}$	Output Hold After CLKOUT <sup>1</sup>	0.8		ns

<sup>1</sup>出力ピンには  $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $\overline{ADDR19\sim1}$ 、 $\overline{AOE}$ 、 $\overline{AWE}$ が含まれます。

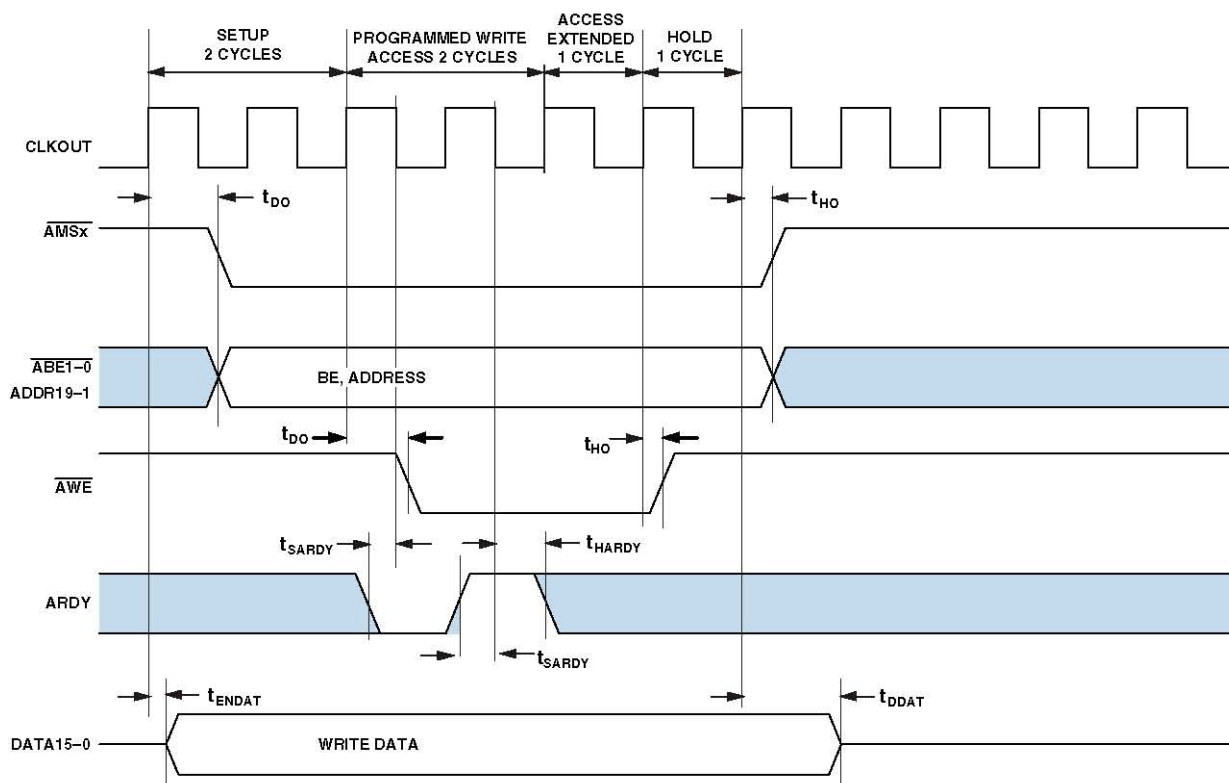


図11 非同期メモリ書き込みサイクルのタイミング



## 外部ポート・バス要求および許可サイクルのタイミング

表25 と図12 に、外部ポート・バス要求およびバス許可の動作を示します。

表25 外部ポート・バス要求および許可サイクルのタイミング

Parameter <sup>1, 2</sup>		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{BS}$	$\overline{BR}$ Asserted to CLKOUT Low Setup	4.6		ns
$t_{BH}$	CLKOUT Low to $\overline{BR}$ Deasserted Hold Time	0.0		ns
<i>Switching Characteristics</i>				
$t_{SD}$	CLKOUT Low to $\overline{AMSx}$ , Address, and $\overline{ARE/AWE}$ Disable		4.5	ns
$t_{SE}$	CLKOUT Low to $\overline{AMSx}$ , Address, and $\overline{ARE/AWE}$ Enable		4.5	ns
$t_{DBG}$	CLKOUT High to $\overline{BG}$ Asserted Setup		3.6	ns
$t_{EBG}$	CLKOUT High to $\overline{BG}$ Deasserted Hold Time		3.6	ns
$t_{DBH}$	CLKOUT High to $\overline{BGH}$ Asserted Setup		3.6	ns
$t_{EBH}$	CLKOUT High to $\overline{BGH}$ Deasserted Hold Time		3.6	ns

<sup>1</sup>これらは、ワーストケース動作条件に基づくタイミング・パラメータ。

<sup>2</sup>これらのタイミング・パラメータに対するパッドの負荷は 20 pF。

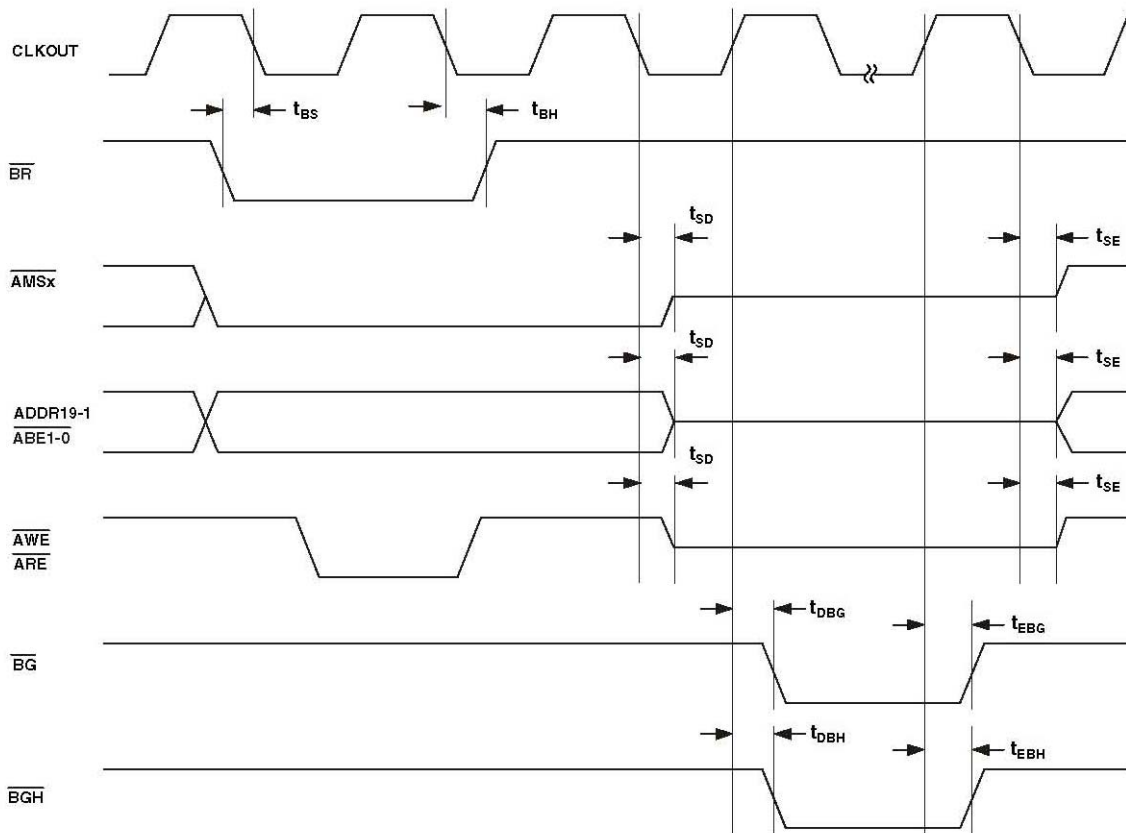


図12 外部ポート・バス要求および許可サイクルのタイミング

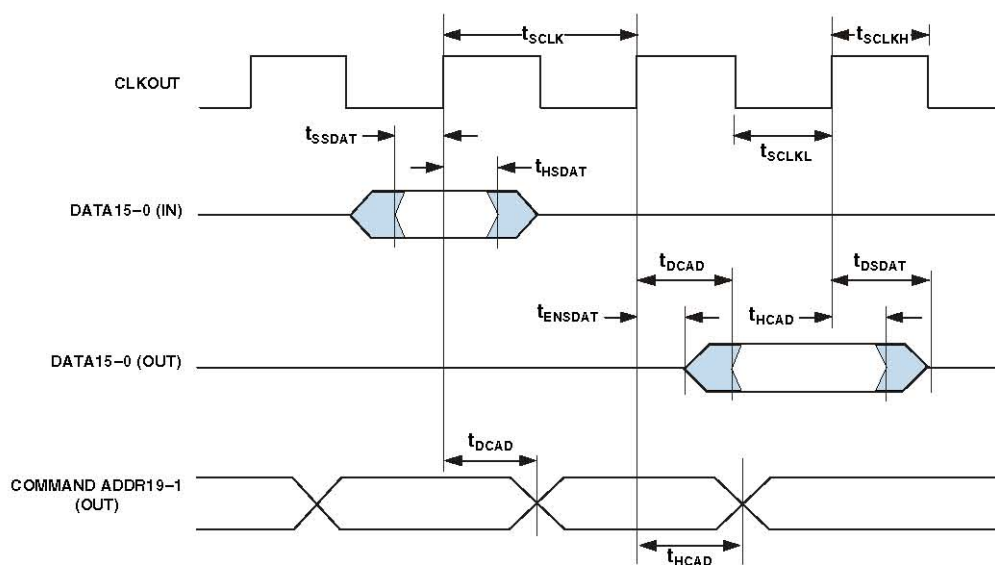
## SDRAMインターフェース・タイミング

表26 SDRAMインターフェース・タイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SSDAT}$	DATA15-0 Setup Before CLKOUT	1.5		ns
$t_{HSDAT}$	DATA15-0 Hold After CLKOUT	0.8		ns
<i>Switching Characteristics</i>				
$t_{DCAD}$	COMMAND <sup>1</sup> , ADDR19-1, DATA15-0 Delay After CLKOUT		4.0	ns
$t_{HCAD}$	COMMAND <sup>1</sup> , ADDR19-1, DATA15-0 Hold After CLKOUT	1.0		ns
$t_{DSDAT}$	DATA15-0 Disable After CLKOUT		6.0	ns
$t_{ENSDAT}$	DATA15-0 Enable After CLKOUT	0.5		ns
$t_{SCLK}^2$	CLKOUT Period when $T_j \leq +105^\circ\text{C}$	7.5		ns
$t_{SCLK}^2$	CLKOUT Period when $T_j > +105^\circ\text{C}$	10		ns
$t_{SCLKH}$	CLKOUT Width High	2.5		ns
$t_{SCLKL}$	CLKOUT Width Low	2.5		ns

<sup>1</sup>コマンド・ピンには、 $\overline{SRAS}$ 、 $\overline{SCAS}$ 、 $\overline{SWE}$ 、 $\overline{SDQM}$ 、 $\overline{SMS}$ 、SA10、SCKE が含まれます。

<sup>2</sup>これらのラインは SDRAM インターフェース専用です。さらに、CLKOUT は必ず表 14 の制約を満たす必要があります。



NOTE: COMMAND =  $\overline{SRAS}$ ,  $\overline{SCAS}$ ,  $\overline{SWE}$ ,  $\overline{SDQM}$ ,  $\overline{SMS}$ , SA10, SCKE.

図13 SDRAMインターフェース・タイミング

## 外部DMA要求のタイミング

表27 と図14 に、外部DMA要求の動作を示します。

表27 外部DMA要求のタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{DR}$	DMARx Asserted to CLKOUT High Setup	6.0		ns
$t_{DH}$	CLKOUT High to DMARx Deasserted Hold Time	0.0		ns
$t_{DMARACT}$	DMARx Active Pulse Width	$1.0 \times t_{SCLK}$		ns
$t_{DMARINACT}$	DMARx Inactive Pulse Width	$1.75 \times t_{SCLK}$		ns

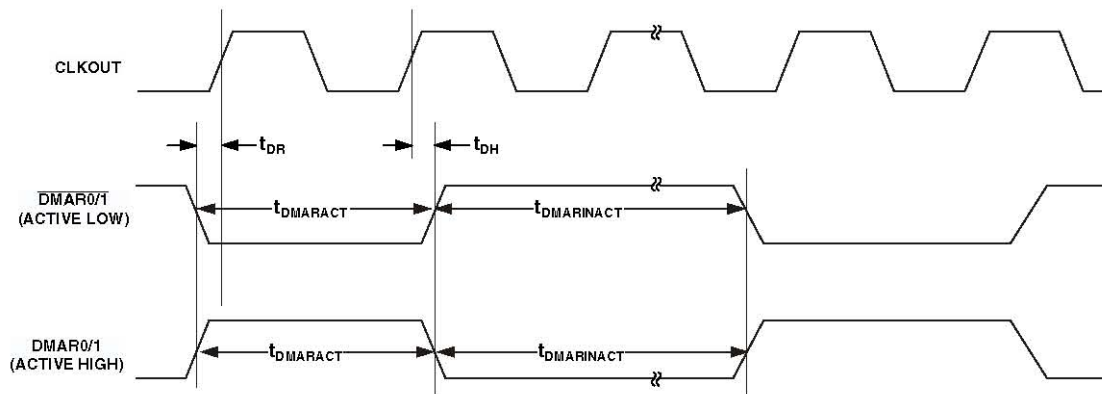


図14 外部DMA要求のタイミング

## パラレル・ペリフェラル・インターフェースのタイミング

表28、図15、図19、図20に、パラレル・ペリフェラル・インターフェースの動作を示します。

表28 パラレル・ペリフェラル・インターフェースのタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{PCLKW}$	PPI_CLK Width <sup>1</sup>	6.0		ns
$t_{PCLK}$	PPI_CLK Period <sup>1</sup>	15.0		ns
<i>Timing Requirements—GP Input and Frame Capture Modes</i>				
$t_{SFSP}$	External Frame Sync Setup Before PPI_CLK (Nonsampling Edge for Rx, Sampling Edge for Tx)	6.7		ns
$t_{HFSP}$	External Frame Sync Hold After PPI_CLK	1.0		ns
$t_{SDRPE}$	Receive Data Setup Before PPI_CLK	3.5		ns
$t_{HDRPE}$	Receive Data Hold After PPI_CLK	1.5		ns
<i>Switching Characteristics—GP Output and Frame Capture Modes</i>				
$t_{DFSP}$	Internal Frame Sync Delay After PPI_CLK		8.0	ns
$t_{HOFSP}$	Internal Frame Sync Hold After PPI_CLK	1.7		ns
$t_{DDTP}$	Transmit Data Delay After PPI_CLK		8.0	ns
$t_{HDTPE}$	Transmit Data Hold After PPI_CLK	1.8		ns

<sup>1</sup>PPI\_CLK 周波数は  $f_{clk}/2$  を超えることはできません。

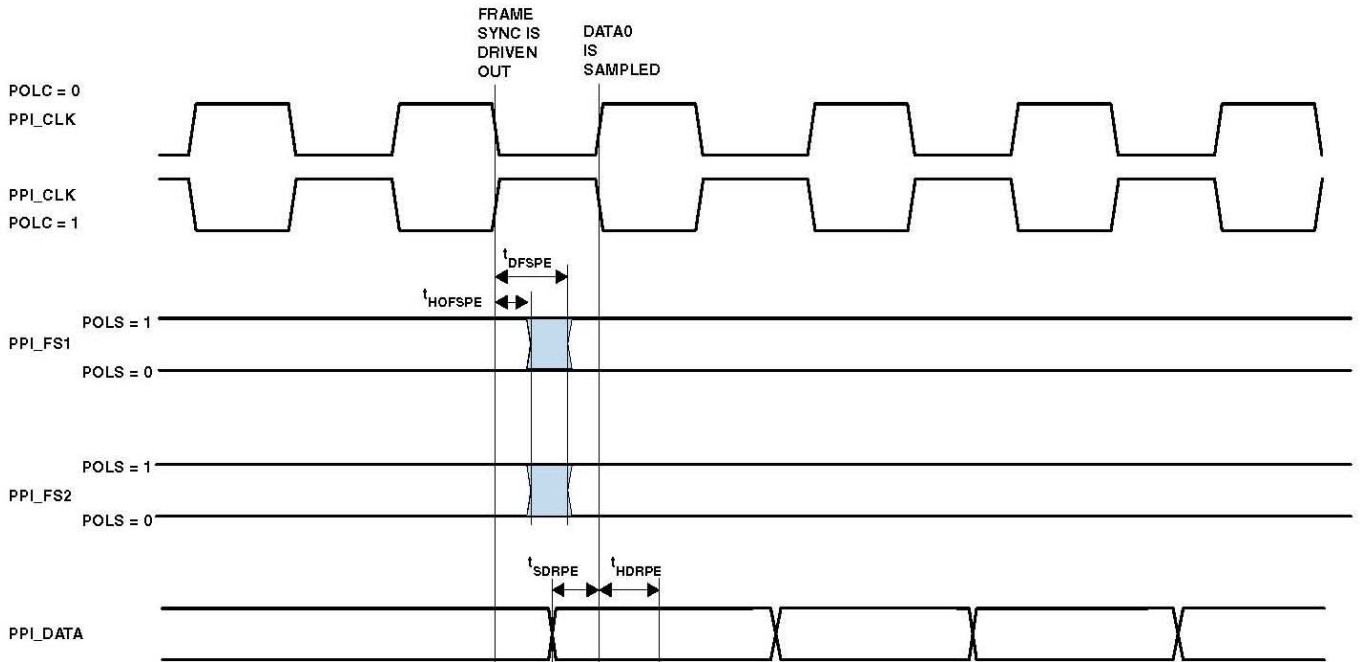


図15 PPI GP Txモード、内部フレーム同期タイミング

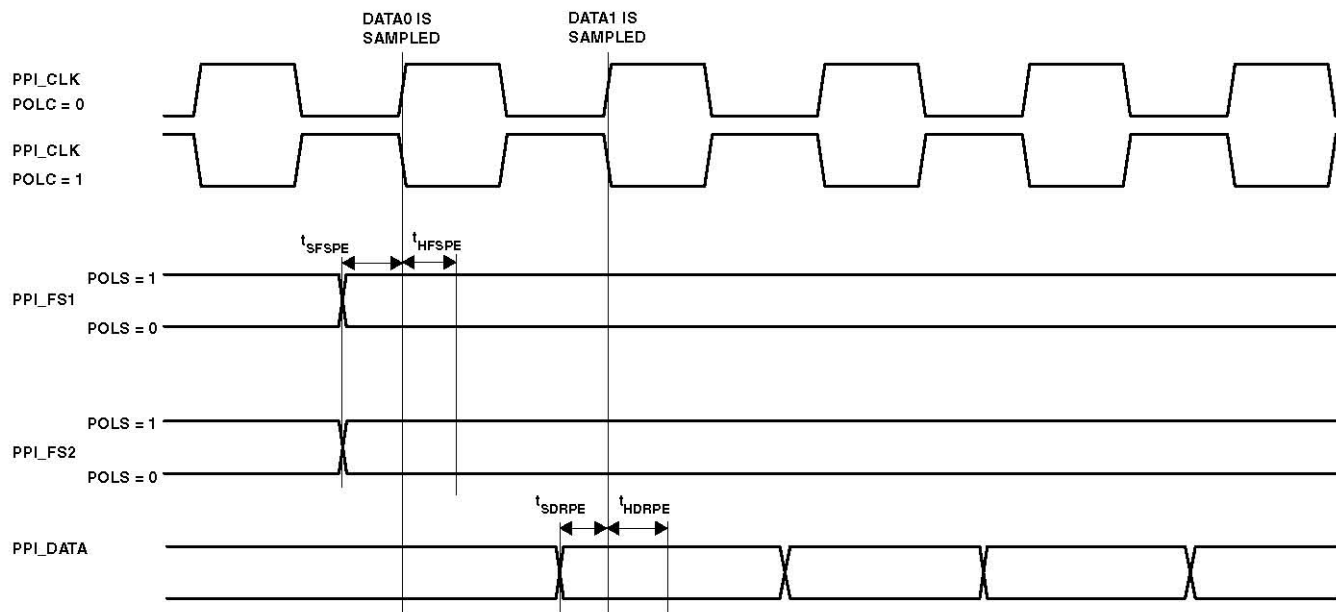


図16 PPI GP Rxモード、外部フレーム同期タイミング

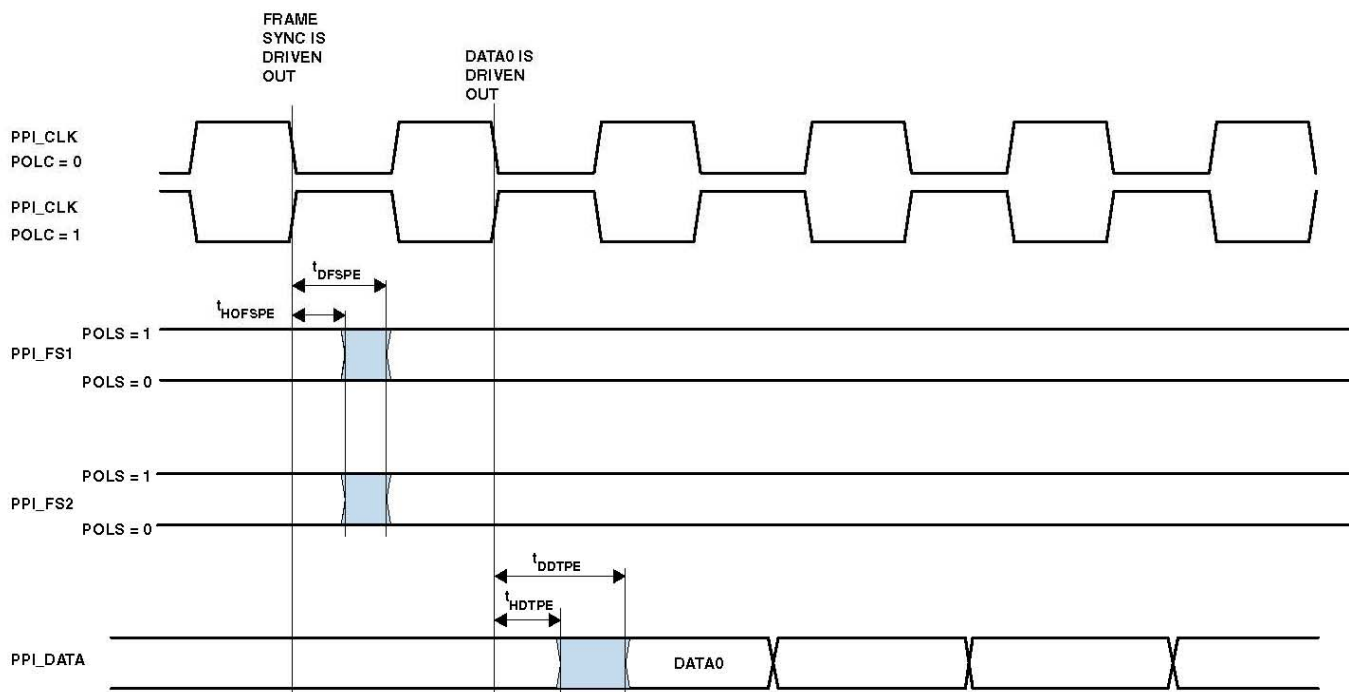


図17 PPI GP Txモード、内部フレーム同期タイミング

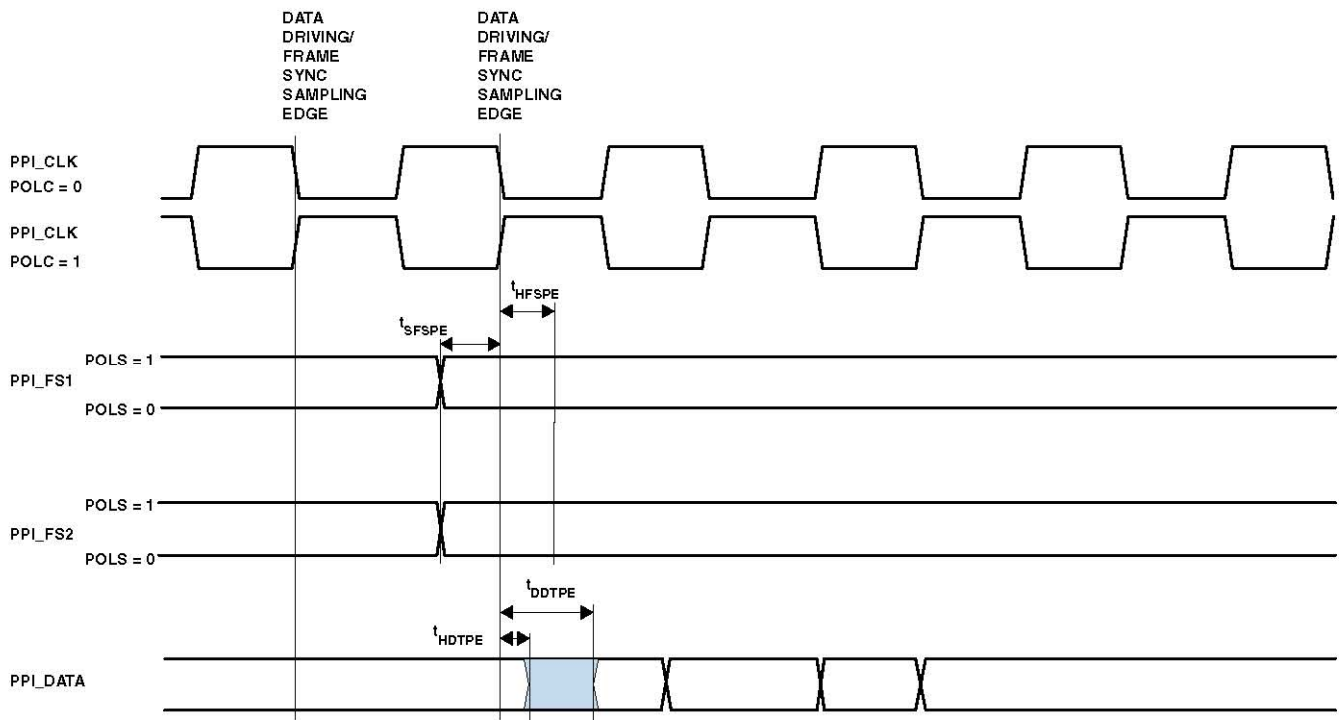


図18 PPI GP Txモード、外部フレーム同期タイミング

## シリアル・ポート

表29 ~表32 と図19 ~図20 に、シリアル・ポート動作を示します。

表29 シリアル・ポート- 外部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t <sub>SFSE</sub> TFSx/RFSx Setup Before TSCLKx/RSCLKx <sup>1</sup>	3.0		ns
t <sub>HFSE</sub> TFSx/RFSx Hold After TSCLKx/RSCLKx <sup>1</sup>	3.0		ns
t <sub>SDRE</sub> Receive Data Setup Before RSCLKx <sup>1</sup>	3.0		ns
t <sub>SCLKEW</sub> TSCLKx/RSCLKx Width	4.5		4.5
t <sub>SCLKE</sub> TSCLKx/RSCLKx Period	15.0		15.0
<i>Switching Characteristics</i>			
t <sub>DFSE</sub> TFSx/RFSx Delay After TSCLKx/RSCLK (Internally Generated TFSx/RFSx) <sup>2</sup>		10.0	ns
t <sub>HOFSE</sub> TFSx/RFSx Hold After TSCLKx/RSCLK (Internally Generated TFSx/RFSx) <sup>2</sup>	0		ns
t <sub>DDTE</sub> Transmit Data Delay After TSCLKx <sup>2</sup>		10.0	ns
t <sub>HDTTE</sub> Transmit Data Hold After TSCLKx <sup>2</sup>	0		ns

<sup>1</sup>サンプル・エッジを基準とします。

<sup>2</sup>駆動エッジを基準とします。

表30 シリアル・ポート- 内部クロック

Parameter	2.25 V ≤ V <sub>DDEXT</sub> < 2.70 V or 0.80 V ≤ V <sub>DDINT</sub> < 0.95 V <sup>1</sup>		2.70 V ≤ V <sub>DDEXT</sub> ≤ 3.60 V and 0.95 V ≤ V <sub>DDINT</sub> ≤ 1.43 V <sup>2, 3</sup>		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t <sub>SFSI</sub> TFSx/RFSx Setup Before TSCLKx/RSCLKx <sup>4</sup>	8.5		8.0		ns
t <sub>HFSI</sub> TFSx/RFSx Hold After TSCLKx/RSCLKx <sup>4</sup>	-1.5		-1.5		ns
t <sub>SDRI</sub> Receive Data Setup Before RSCLKx <sup>4</sup>	8.5		8.0		ns
t <sub>HDRI</sub> Receive Data Hold After RSCLKx <sup>4</sup>	-1.5		-1.5		ns
<i>Switching Characteristics</i>					
t <sub>DFSI</sub> TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) <sup>5</sup>		3.0		3.0	ns
t <sub>HOFSI</sub> TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) <sup>5</sup>	-1.0		-1.0		ns
t <sub>DDTI</sub> Transmit Data Delay After TSCLKx <sup>5</sup>		3.0		3.0	ns
t <sub>HDTI</sub> Transmit Data Hold After TSCLKx <sup>5</sup>	-1.0		-1.0		ns
t <sub>SCLKIW</sub> TSCLKx/RSCLKx Width	4.5		4.5		ns

<sup>1</sup>これらのいずれかの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>2</sup>これらの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>3</sup>すべての車載グレード・デバイスはこれらの仕様を満たします。

<sup>4</sup>サンプル・エッジを基準とします。

<sup>5</sup>駆動エッジを基準とします。

表31 シリアル・ポート— イネーブルとスリーステート

Parameter		Min	Max	Unit
<i>Switching Characteristics</i>				
$t_{DTENE}$	Data Enable Delay from External TSCLKx <sup>1</sup>	0		ns
$t_{DDTE}$	Data Disable Delay from External TSCLKx <sup>1</sup>		10.0	ns
$t_{DTENI}$	Data Enable Delay from Internal TSCLKx <sup>1</sup>	-2.0		ns
$t_{DDTI}$	Data Disable Delay from Internal TSCLKx <sup>1</sup>		3.0	ns

<sup>1</sup>駆動エッジを基準とします。

表32 外部レイト・フレーム同期

Parameter		Min	Max	Unit
<i>Switching Characteristics</i>				
$t_{DDTLFSE}$	Data Delay from Late External TFSx or External RFSx with MCE = 1, MFD = 0 <sup>1,2</sup>		10.0	ns
$t_{DTENLFS}$	Data Enable from Late FS or MCE = 1, MFD = 0 <sup>1,2</sup>	0		ns

<sup>1</sup>MCE = 1、TFSx イネーブル、TFSx 有効は  $t_{DDTENFS}$  と  $t_{DDTLFS}$  の後です。

<sup>2</sup>RSCLKx/TSCLK x までの外部 RFSx/TFSx のセットアップ >  $t_{SCLKE}/2$  の場合、 $t_{DDTEI}$  と  $t_{DTENI}$  を適用。その他の場合は  $t_{DDTLFSE}$  と  $t_{DTENLFS}$  を適用。

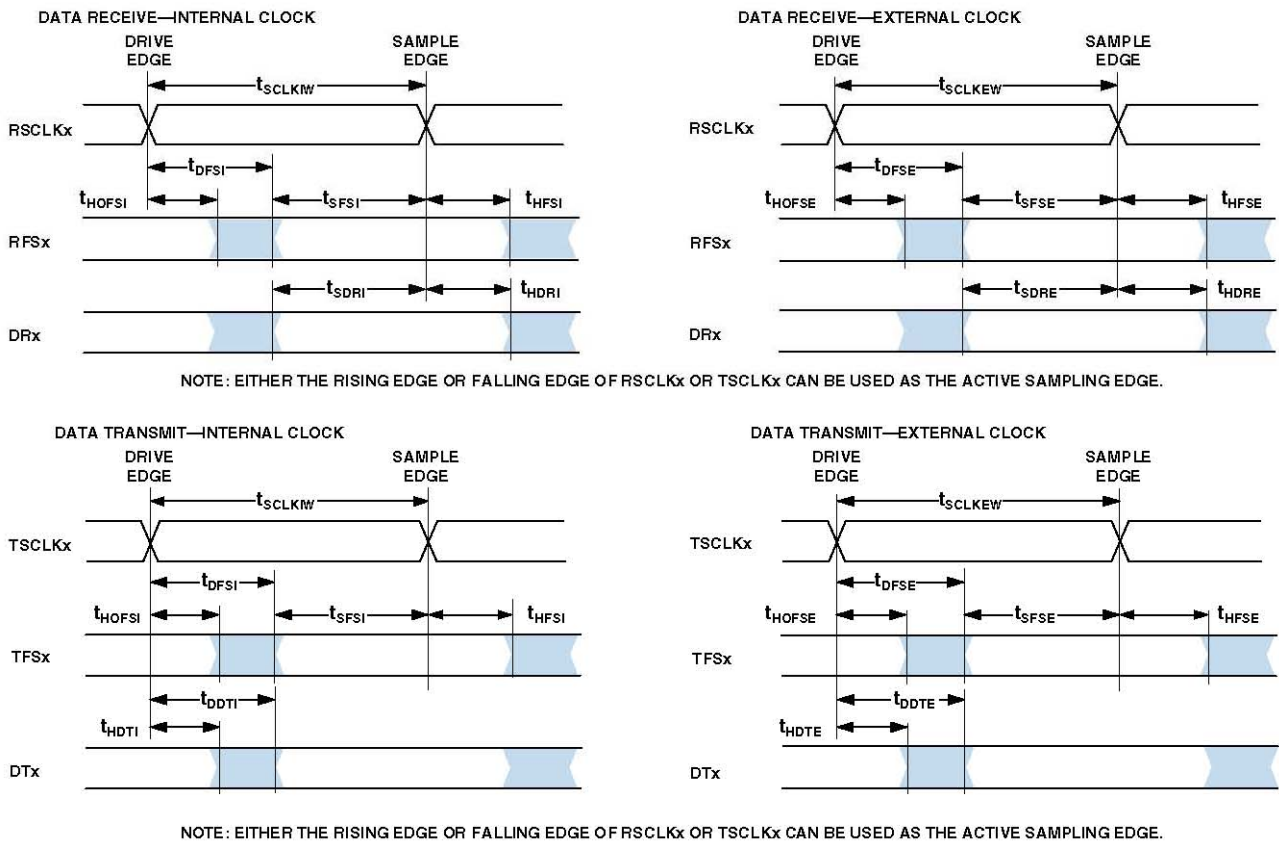
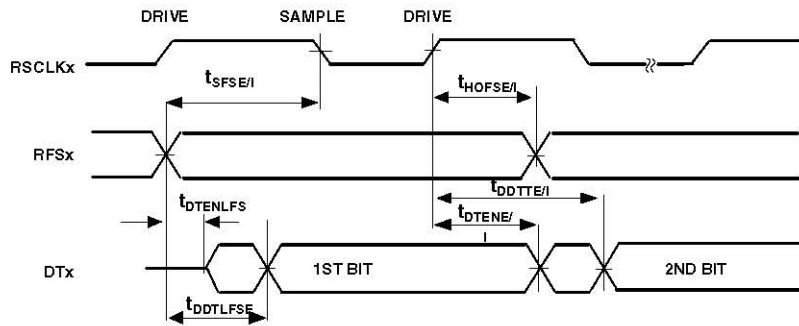


図19 シリアル・ポート



EXTERNAL RFS WITH MCE = 1, MFD = 0



LATE EXTERNAL TFS

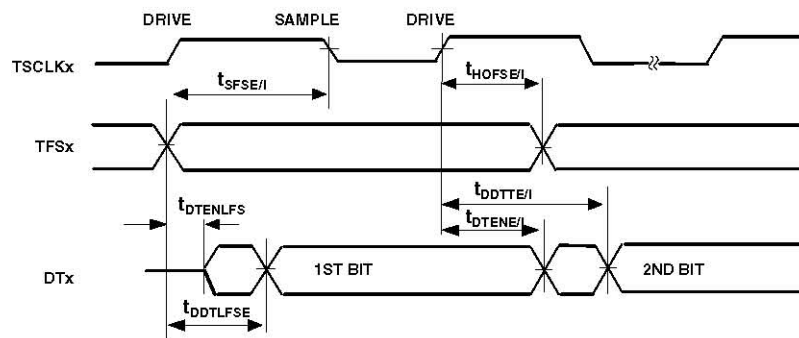


図20 外部レイト・フレーム同期

## シリアル・ペリフェラル・インターフェース・ポートマスター・タイミング

表33 と図21 に、SPIポートのマスター動作を示します。

表33 シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

Parameter	2.25 V ≤ V <sub>DDEXT</sub> < 2.70 V or 0.80 V ≤ V <sub>DDINT</sub> < 0.95 V <sup>1</sup>		2.70 V ≤ V <sub>DDEXT</sub> ≤ 3.60 V and 0.95 V ≤ V <sub>DDINT</sub> ≤ 1.43 V <sup>2, 3</sup>		Unit
	Min	Max	Min	Max	
<b>Timing Requirements</b>					
t <sub>SSPIDM</sub>	Data Input Valid to SCK Edge (Data Input Setup)		8.7	7.5	ns
t <sub>HSPIDM</sub>	SCK Sampling Edge to Data Input Invalid		-1.5	-1.5	ns
<b>Switching Characteristics</b>					
t <sub>SDSCIM</sub>	$\overline{\text{SPiSELx}}$ Low to First SCK Edge		2 × t <sub>SCLK</sub> - 1.5		ns
t <sub>SPICHM</sub>	Serial Clock High Period		2 × t <sub>SCLK</sub> - 1.5		ns
t <sub>SPICLM</sub>	Serial Clock Low Period		2 × t <sub>SCLK</sub> - 1.5		ns
t <sub>SPICLK</sub>	Serial Clock Period		4 × t <sub>SCLK</sub> - 1.5		ns
t <sub>HDSM</sub>	Last SCK Edge to $\overline{\text{SPiSELx}}$ High		2 × t <sub>SCLK</sub> - 1.5		ns
t <sub>SPITDM</sub>	Sequential Transfer Delay		2 × t <sub>SCLK</sub> - 1.5		ns
t <sub>DDSPIDM</sub>	SCK Edge to Data Out Valid (Data Out Delay)		6		ns
t <sub>HDSPIDM</sub>	SCK Edge to Data Out Invalid (Data Out Hold)		-1.0		ns

<sup>1</sup>これらのいずれかの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>2</sup>これらの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>3</sup>すべての車載グレード・デバイスはこれらの仕様を満たします。

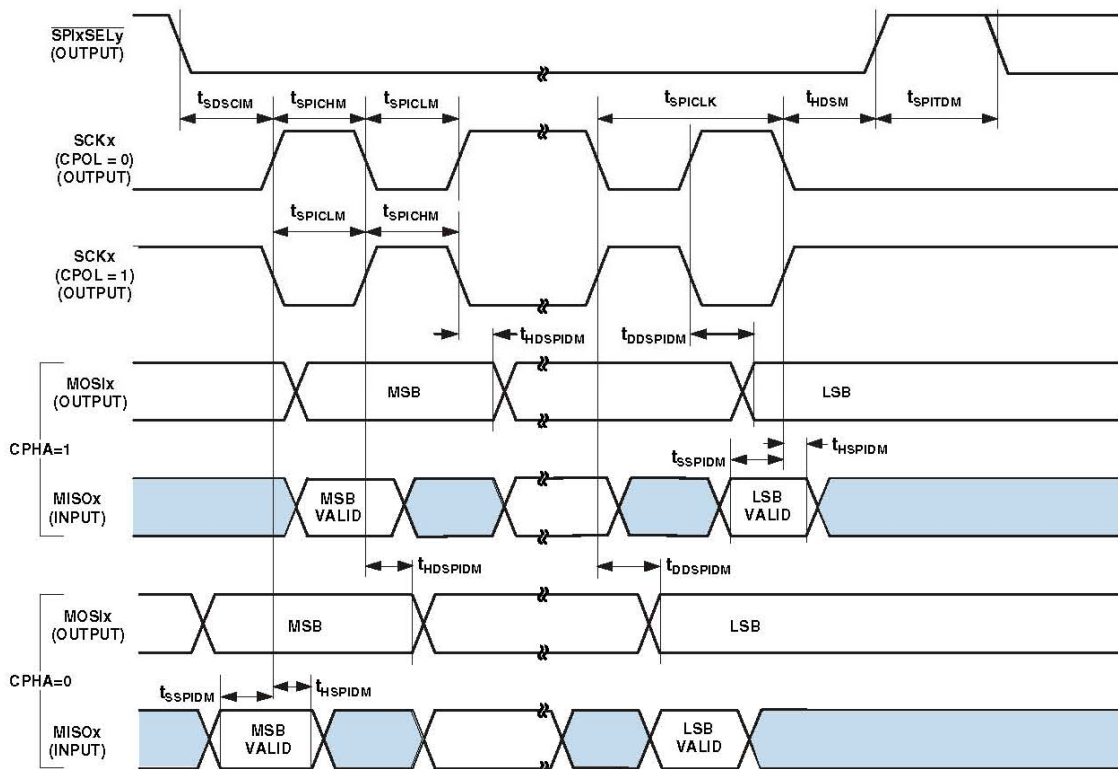


図21 シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

## シリアル・ペリフェラル・インターフェース・ポートスレーブ・タイミング

表34 と図22 に、SPIポートのスレーブ動作を示します。

表34 シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SPICHHS}$	Serial Clock High Period	$2 \times t_{SCLK} - 1.5$		ns
$t_{SPICLS}$	Serial Clock Low Period	$2 \times t_{SCLK} - 1.5$		ns
$t_{SPICLK}$	Serial Clock Period	$4 \times t_{SCLK}$		ns
$t_{HDS}$	Last SCK Edge to $\overline{SPISS}$ Not Asserted	$2 \times t_{SCLK} - 1.5$		ns
$t_{SPITDS}$	Sequential Transfer Delay	$2 \times t_{SCLK} - 1.5$		ns
$t_{SDSCI}$	$\overline{SPISS}$ Assertion to First SCK Edge	$2 \times t_{SCLK} - 1.5$		ns
$t_{SSPID}$	Data Input Valid to SCK Edge (Data Input Setup)	1.6		ns
$t_{HSPID}$	SCK Sampling Edge to Data Input Invalid	1.6		ns
<i>Switching Characteristics</i>				
$t_{DSOE}$	$\overline{SPISS}$ Assertion to Data Out Active	0	8	ns
$t_{DSDHI}$	$\overline{SPISS}$ Deassertion to Data High Impedance	0	8	ns
$t_{DDSPID}$	SCK Edge to Data Out Valid (Data Out Delay)		10	ns
$t_{HDSPID}$	SCK Edge to Data Out Invalid (Data Out Hold)	0		ns

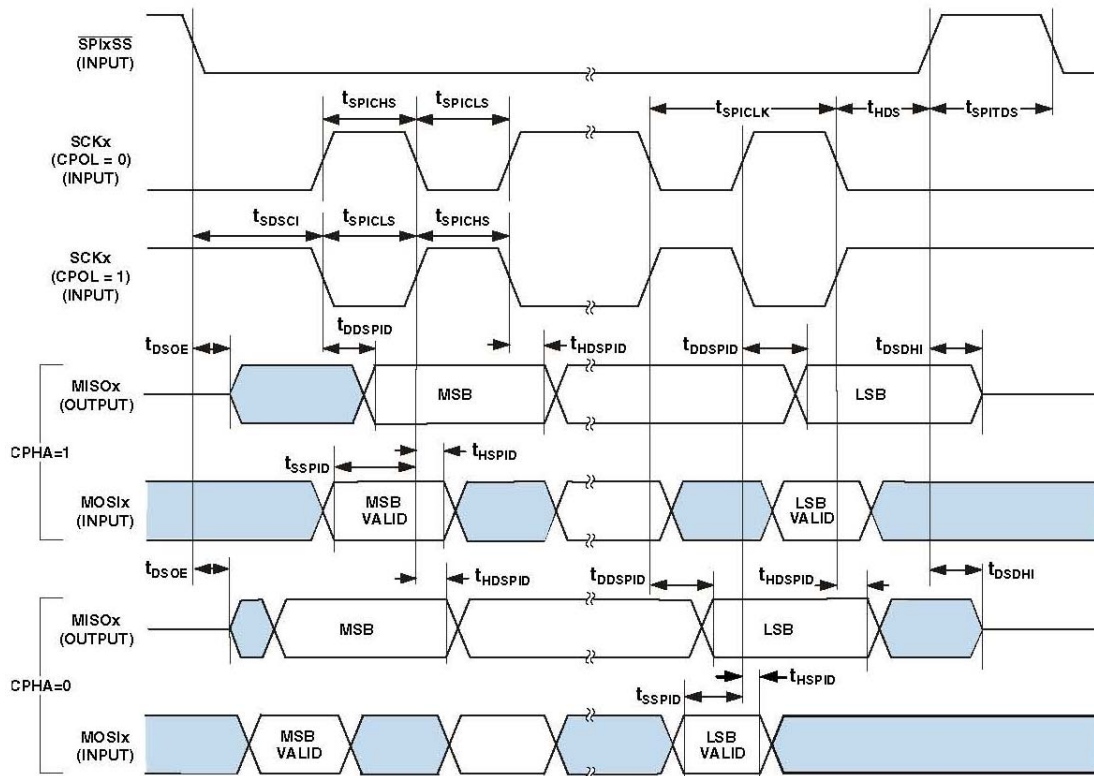


図22 シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

## ユニバーサル非同期レシーバ・トランスミッタ (UART)ポート—受信タイミングと送信タイミング

図 23 に、UARTポートの受信と送信の動作を示します。最大ボーレートはSCLK/16です。図 23 に示すように、内部UART割込みの発生と外部データ動作との間にはレイテンシが存在

します。これらの遅延は、UARTのデータ・レートに対して無視することができます。

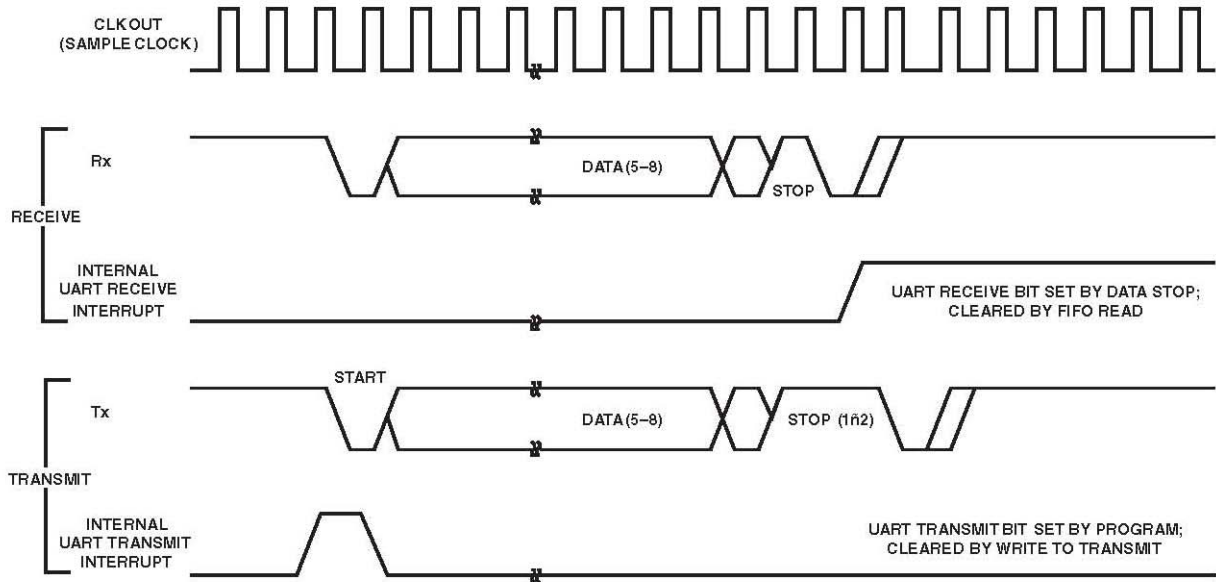


図23 UARTポート—受信タイミングと送信タイミング

## 汎用ポートのタイミング

表35 と図24 に、汎用ポートの動作を示します。

表35 汎用ポートのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{WFI}$ General-Purpose Port Pin Input Pulse Width	$t_{SCLK} + 1$		ns
<i>Switching Characteristic</i>			
$t_{GPOD}$ General-Purpose Port Pin Output Delay from CLKOUT Low	0	6	ns

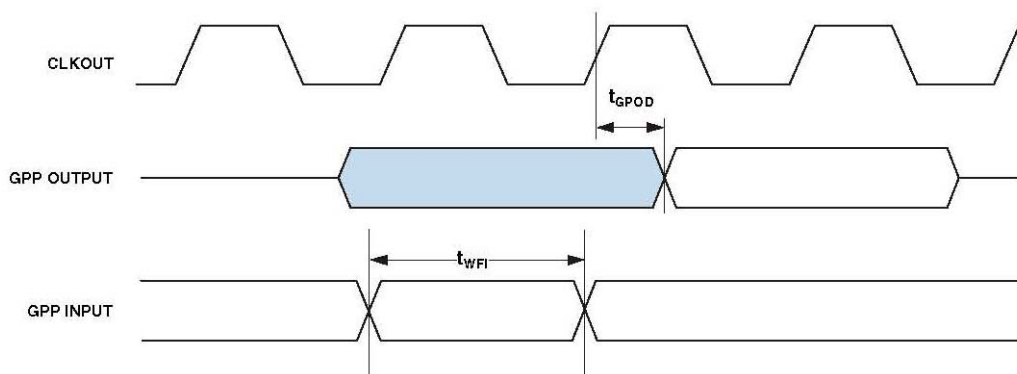


図24 汎用ポートのタイミング

## タイマ・クロックのタイミング

表36 と図25 に、タイマ・クロックのタイミングを示します。

表36 タイマ・クロックのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
$t_{TODP}$ Timer Output Update Delay After PPI_CLK High		12	ns

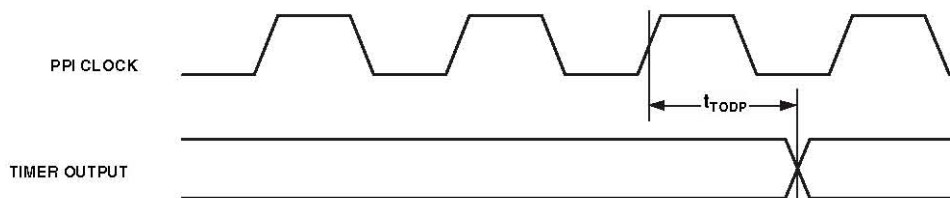


図25 タイマ・クロックのタイミング

## タイマ・サイクルのタイミング

表37 と図26 に、タイマのタイムアウト動作を示します。入力信号は、幅キャプチャ・モードと外部クロック・モードでは非同期であるため、絶対最大入力周波数 ( $f_{SCLK}/2$  MHz) が存在します。

表37 タイマ・サイクルのタイミング

Parameter	2.25 V ≤ V <sub>DDEXT</sub> < 2.70 V or 0.80 V ≤ V <sub>DDINT</sub> < 0.95 V <sup>1</sup>		2.70 V ≤ V <sub>DDEXT</sub> ≤ 3.60 V and 0.95 V ≤ V <sub>DDINT</sub> ≤ 1.43 V <sup>2, 3</sup>		Unit
	Min	Max	Min	Max	
<i>Timing Characteristics</i>					
t <sub>WL</sub>	Timer Pulse Width Input Low (Measured In SCLK Cycles) <sup>4</sup>		1 × t <sub>SCLK</sub>		ns
t <sub>WH</sub>	Timer Pulse Width Input High (Measured In SCLK Cycles) <sup>4</sup>		1 × t <sub>SCLK</sub>		ns
t <sub>TIS</sub>	Timer Input Setup Time Before CLKOUT Low <sup>5</sup>		5.5		ns
t <sub>TIH</sub>	Timer Input Hold Time After CLKOUT Low <sup>5</sup>		-2		ns
<i>Switching Characteristics</i>					
t <sub>HTO</sub>	Timer Pulse Width Output (Measured In SCLK Cycles)		1 × t <sub>SCLK</sub>	(2 <sup>32</sup> -1) × t <sub>SCLK</sub>	ns
t <sub>TOD</sub>	Timer Output Update Delay After CLKOUT High		6.5		ns

<sup>1</sup>これらのいずれかの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>2</sup>これらの電圧範囲で動作する場合、すべての非車載グレード・デバイスに適用されます。

<sup>3</sup>すべての車載グレード・デバイスはこれらの仕様を満たします。

<sup>4</sup>最小パルス幅は、幅キャプチャ・モードと外部クロック・モードで TMRx 信号ピンに適用。PWM 出力モードでは、PF15 または PPI\_CLK 信号にも適用。

<sup>5</sup>有効なセットアップおよびホールド・タイムまたは有効なパルス幅で十分です。プログラマブルなフラグ入力を再同期させる必要はありません。

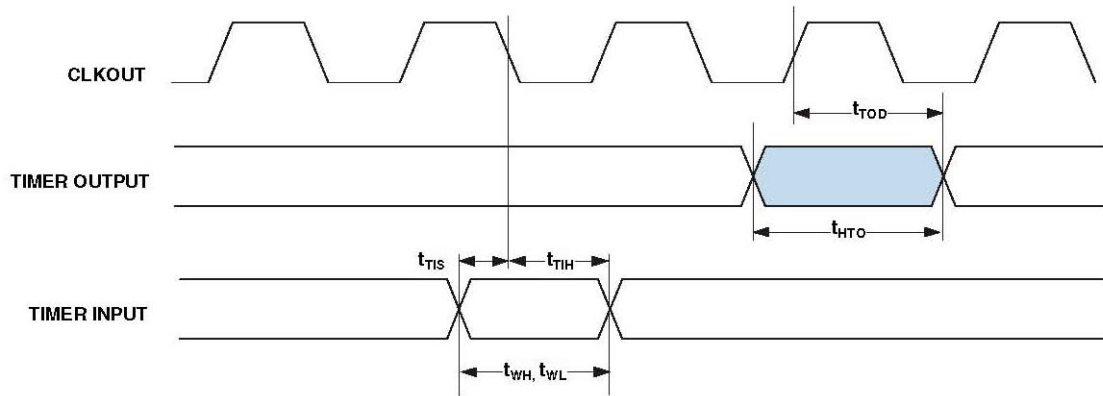


図26 タイマ・サイクルのタイミング

## JTAGテストおよびエミュレーション・ポートのタイミング

表38 と図27 に、JTAGポートの動作を示します。

表38 JTAGポートのタイミング

Parameter		Min	Max	Unit
<i>Timing Parameters</i>				
$t_{TCK}$	TCK Period	20		ns
$t_{STAP}$	TDI, TMS Setup Before TCK High	4		ns
$t_{HTAP}$	TDI, TMS Hold After TCK High	4		ns
$t_{SSYS}$	System Inputs Setup Before TCK High <sup>1</sup>	4		ns
$t_{HSYS}$	System Inputs Hold After TCK High <sup>1</sup>	5		ns
$t_{TRSTW}$	$\overline{TRST}$ Pulse Width <sup>2</sup> (Measured in TCK Cycles)	4		TCK
<i>Switching Characteristics</i>				
$t_{DTDO}$	TDO Delay From TCK Low		10	ns
$t_{DSYS}$	System Outputs Delay After TCK Low <sup>3</sup>	0	12	ns

<sup>1</sup>システム入力 = DATA15~0、 $\overline{BR}$ 、ARDY、SCL、SDA、TFS0、TSCLK0、RSCLK0、RFS0、DR0PRI、DR0SEC、PF15~0、PG15~0、PH15~0、MDIO、TCK、 $\overline{TRST}$ 、 $\overline{RESET}$ 、NMI、RTXI、BMODE2~0。

<sup>2</sup>50 MHz 最大

<sup>3</sup>システム出力 = DATA15~0、ADDR19~1、 $\overline{ABE1}$ ~0、 $\overline{BG}$ 、 $\overline{BGH}$ 、 $\overline{AOE}$ 、 $\overline{ARE}$ 、 $\overline{AWE}$ 、 $\overline{AMS3}$ ~0、 $\overline{SRAS}$ 、 $\overline{SCAS}$ 、 $\overline{SWE}$ 、 $\overline{SCKE}$ 、CLKOUT、SA10、 $\overline{SMS}$ 、SCL、SDA、MDC、MDIO、TSCLK0、TFS0、RFS0、RSCLK0、DT0PRI、DT0SEC、PF15~0、PG15~0、PH15~0、RTXO、TDO、 $\overline{EMU}$ 、XTAL、VROUT1~0。

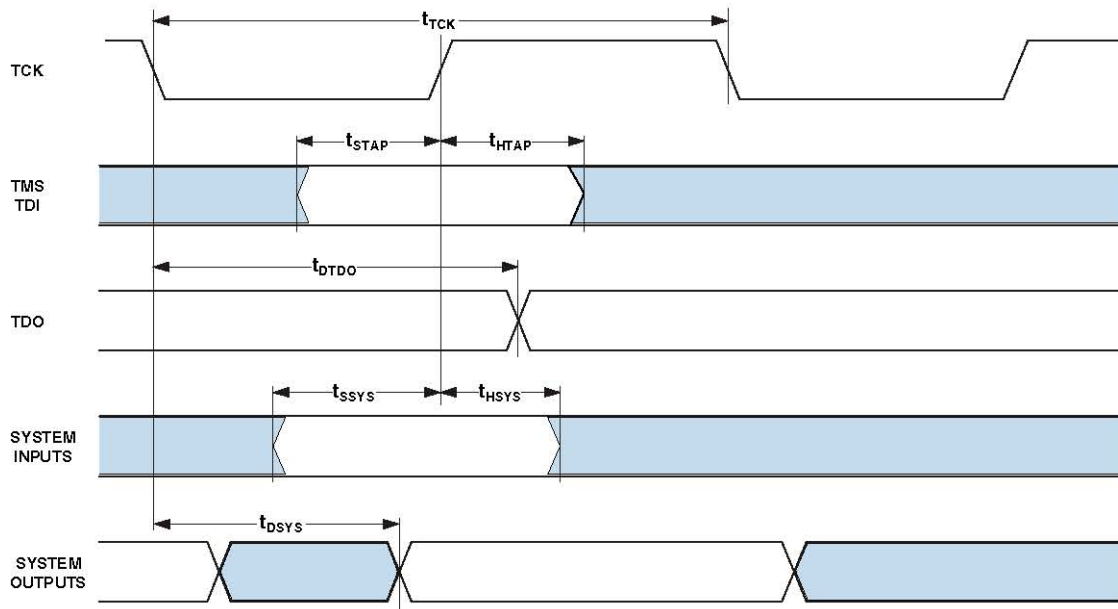


図27 JTAGポートのタイミング

## 10/100 イーサネットMACコントローラのタイミング

表39 ~表44 と図28 ~図33 に、10/100イーサネットMACコントローラの動作を示します。この機能は、ADSP-BF536とADSP-BF537プロセッサでのみサポートされています。

表39 10/100イーサネットMACコントローラのタイミング：RMII受信信号

Parameter <sup>1</sup>	Min	Max	Unit
f <sub>ERXCLK</sub> ERxCLK Frequency (f <sub>SCLK</sub> = SCLK Frequency)	None	25 + 1% f <sub>SCLK</sub> + 1%	MHz
t <sub>ERXCLKW</sub> ERxCLK Width (t <sub>ERXCLK</sub> = ERxCLK Period)	t <sub>ERXCLK</sub> × 35%	t <sub>ERXCLK</sub> × 65%	ns
t <sub>ERXCLKIS</sub> Rx Input Valid to ERxCLK Rising Edge (Data In Setup)	7.5		ns
t <sub>ERXCLKIH</sub> ERxCLK Rising Edge to Rx Input Invalid (Data In Hold)	7.5		ns

<sup>1</sup>ERxCLK に同期している MII 入力は ERxD3~0、ERxDV、ERxER です。

表40 10/100イーサネットMACコントローラのタイミング: MII送信信号

Parameter <sup>1</sup>	Min	Max	Unit
f <sub>ETXCLK</sub> ETxCLK Frequency (f <sub>SCLK</sub> = SCLK Frequency)	None	25 + 1% f <sub>SCLK</sub> + 1%	MHz
t <sub>ETXCLKW</sub> ETxCLK Width (t <sub>ETXCLK</sub> = ETxCLK Period)	t <sub>ETXCLK</sub> × 35%	t <sub>ETXCLK</sub> × 65%	ns
t <sub>ETXCLKOV</sub> ETxCLK Rising Edge to Tx Output Valid (Data Out Valid)		20	ns
t <sub>ETXCLKOH</sub> ETxCLK Rising Edge to Tx Output Invalid (Data Out Hold)	0		ns

<sup>1</sup>ETxCLK に同期している MII 出力は ETxD3~0 です。

表41 10/100イーサネットMACコントローラのタイミング: RMII受信信号

Parameter <sup>1</sup>	Min	Max	Unit
f <sub>REFCLK</sub> REF_CLK Frequency (f <sub>SCLK</sub> = SCLK Frequency)	None	50 + 1% 2 × f <sub>SCLK</sub> + 1%	MHz
t <sub>REFCLKW</sub> REF_CLK Width (t <sub>REFCLK</sub> = REFCLK Period)	t <sub>REFCLK</sub> × 35%	t <sub>REFCLK</sub> × 65%	ns
t <sub>REFCLKIS</sub> Rx Input Valid to RMII REF_CLK Rising Edge (Data In Setup)	4		ns
t <sub>REFCLKIH</sub> RMII REF_CLK Rising Edge to Rx Input Invalid (Data In Hold)	2		ns

<sup>1</sup>RMII REF\_CLK に同期している MII 入力は ERxD1~0、RMII CRS\_DV、ERxER です。

表42 10/100イーサネットMACコントローラのタイミング: RMII送信信号

Parameter <sup>1</sup>	Min	Max	Unit
t <sub>REFCLKOV</sub> RMII REF_CLK Rising Edge to Tx Output Valid (Data Out Valid)		7.5	ns
t <sub>REFCLKOH</sub> RMII REF_CLK Rising Edge to Tx Output Invalid (Data Out Hold)	2		ns

<sup>1</sup>RMII REF\_CLK に同期している RMII 出力は ETxD1~0 です。



表43 10/100イーサネットMACコントローラのタイミング: MII/RMII非同期信号

Parameter <sup>1, 2</sup>	Min	Max	Unit
$t_{\text{COLH}}$ COL Pulse Width High	$t_{\text{ETXCLK}} \times 1.5$		ns
	$t_{\text{ERXCLK}} \times 1.5$		ns
$t_{\text{COLL}}$ COL Pulse Width Low	$t_{\text{ETXCLK}} \times 1.5$		ns
	$t_{\text{ERXCLK}} \times 1.5$		ns
$t_{\text{CRSH}}$ CRS Pulse Width High	$t_{\text{ETXCLK}} \times 1.5$		ns
$t_{\text{CRSL}}$ CRS Pulse Width Low	$t_{\text{ETXCLK}} \times 1.5$		ns

<sup>1</sup>MII/RMII 非同期信号は COL、CRS です。これらの信号は、MII モードと RMII モードで適用されます。非同期 COL 入力 は ETxCLK と ERxCLK に別々に同期化され、ハイまたはローの最小パルス幅は、この 2 クロックの内の低速の方の少なくとも 1.5 倍の周期である必要があります。

<sup>2</sup>非同期 CRS 入力 は ETxCLK に同期化され、ハイまたはローの最小パルス幅は、ETxCLK の少なくとも 1.5 倍の周期である必要があります。

表44 10/100イーサネットMACコントローラのタイミング: MIIステーション・マネジメント

Parameter <sup>1</sup>	Min	Max	Unit
$t_{\text{MDIOS}}$ MDIO Input Valid to MDC Rising Edge (Setup)	10		ns
$t_{\text{MDCIH}}$ MDC Rising Edge to MDIO Input Invalid (Hold)	10		ns
$t_{\text{MDCOV}}$ MDC Falling Edge to MDIO Output Valid	25		ns
$t_{\text{MDCOH}}$ MDC Falling Edge to MDIO Output Invalid (Hold)	-1		ns

<sup>1</sup>MDC/MDIO は、1 個または複数の PHY を制御する 2 線式シリアル双方向ポートです。MDC は出力クロックであり、その最小周期はシステム・クロック SCLK の整数倍に設定することができます。MDIO は双方向データ・ラインです。

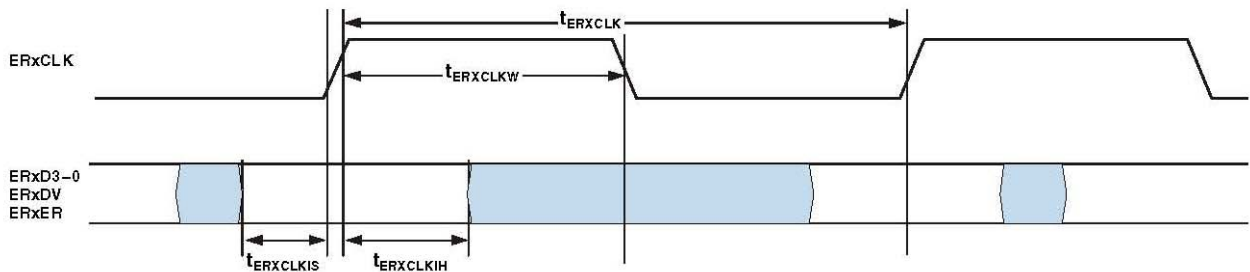


図28 10/100イーサネットMACコントローラのタイミング

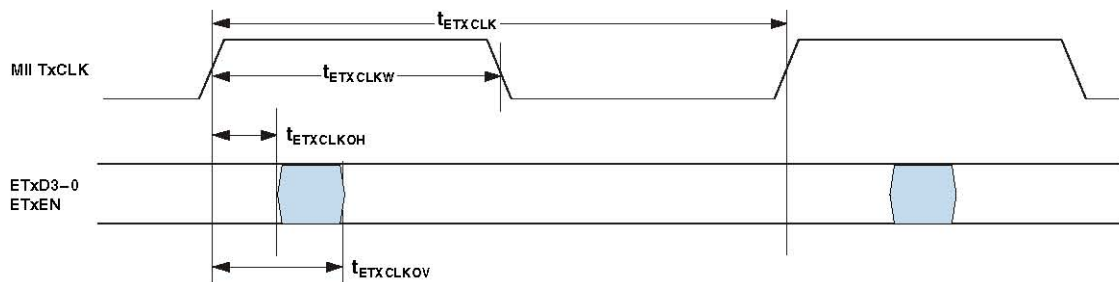


図29 10/100イーサネットMACコントローラのタイミング: MII送信信号

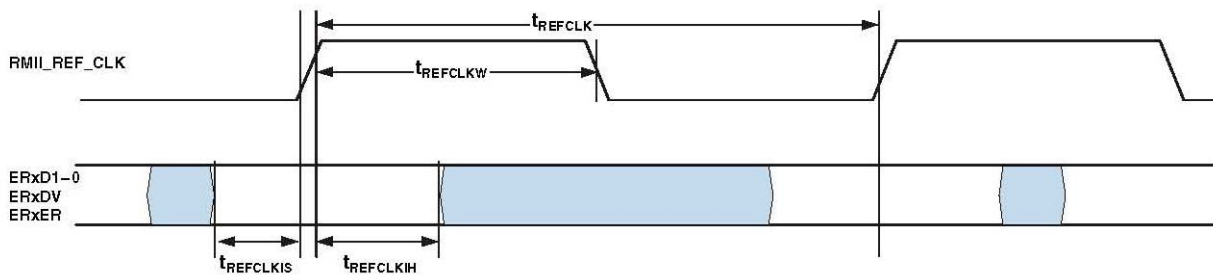


図30 10/100イーサネットMACコントローラのタイミング: RMII受信信号

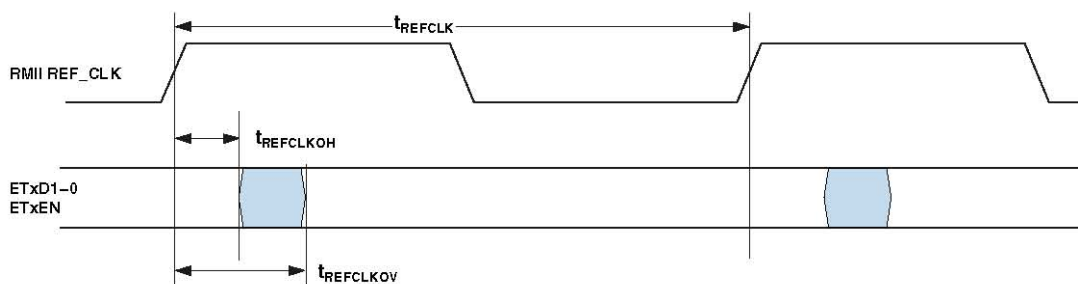


図31 10/100イーサネットMACコントローラのタイミング: RMII送信信号

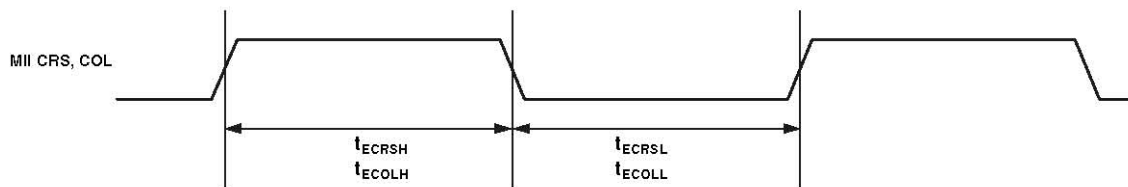


図32 10/100イーサネットMACコントローラのタイミング:非同期信号

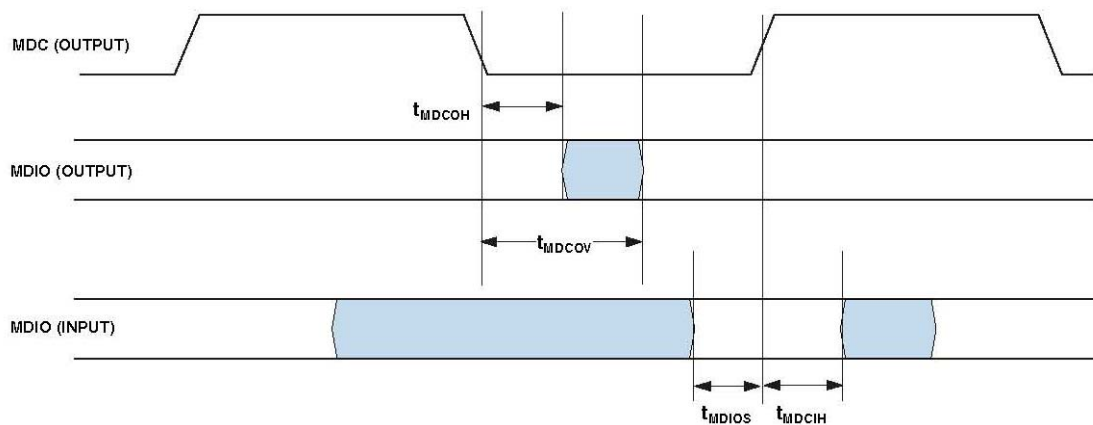


図33 10/100イーサネットMACコントローラのタイミング: MIIステーション・マネジメント

出力駆動電流

図34～図45に、プロセッサの出力ドライバの電流電圧特性 (typ)を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。特定のピンに対応するドライバ・タイプについては、表9を参照してください。

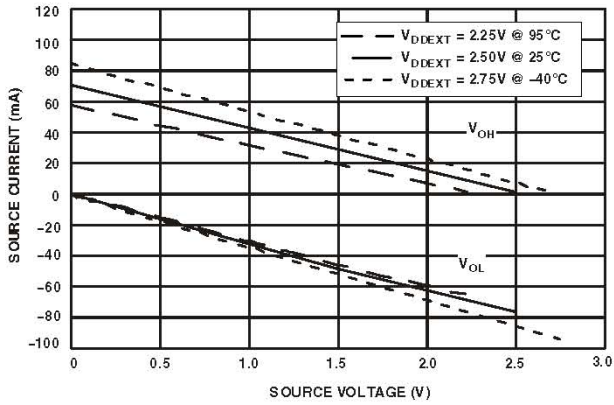


図34 駆動電流 A (低V<sub>DDEXT</sub>)

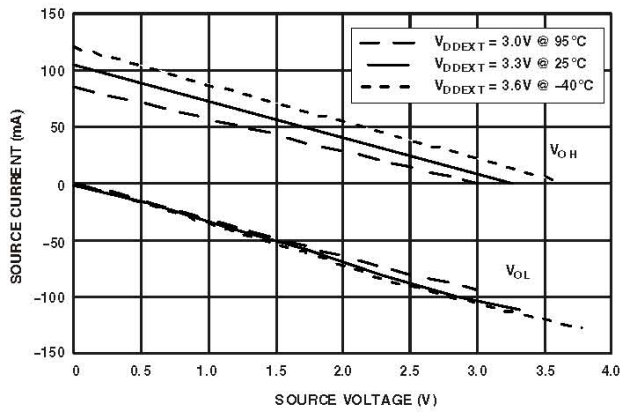


図35 駆動電流A (高V<sub>DDEXT</sub>)

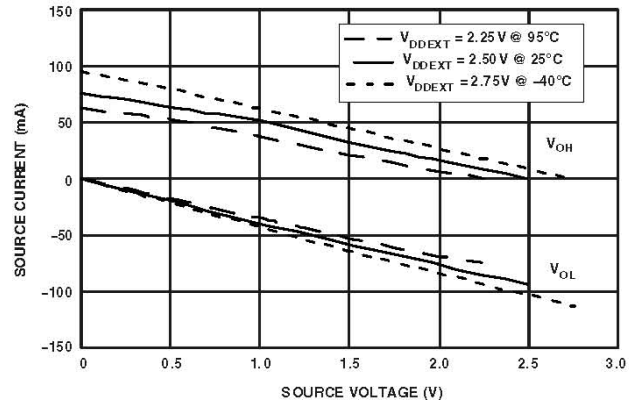


図36 駆動電流B (低V<sub>DDEXT</sub>)

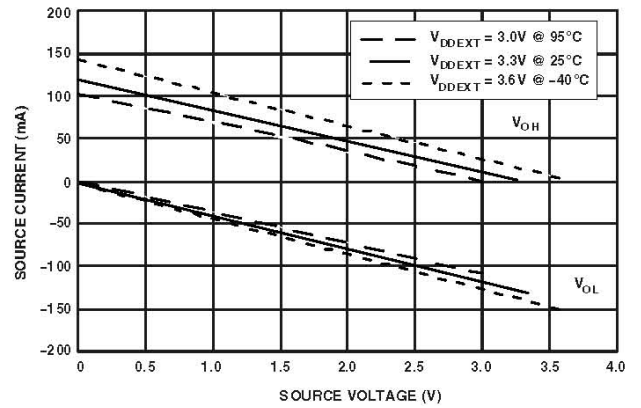


図37 駆動電流B (高V<sub>DDEXT</sub>)

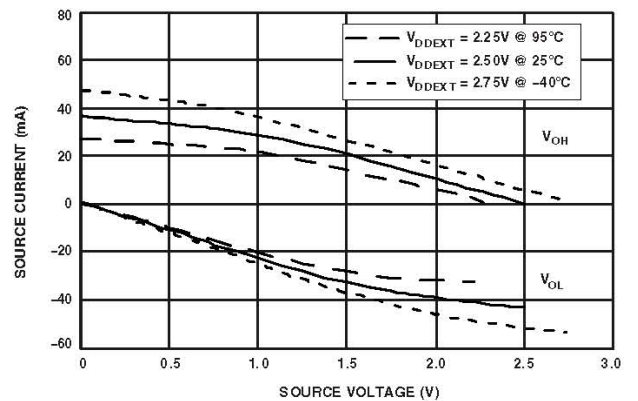


図38 駆動電流C (低V<sub>DDEXT</sub>)

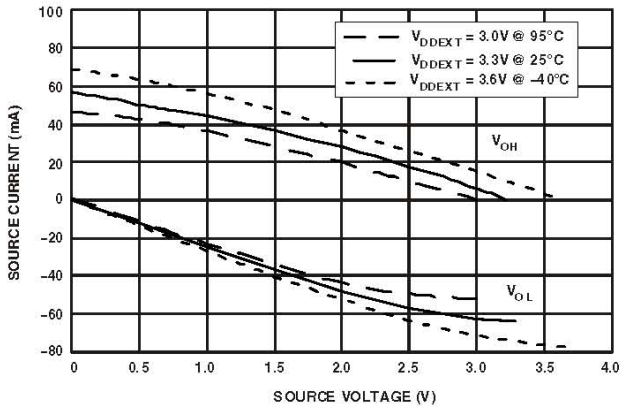


図39 駆動電流C (高 $V_{DDEXT}$ )

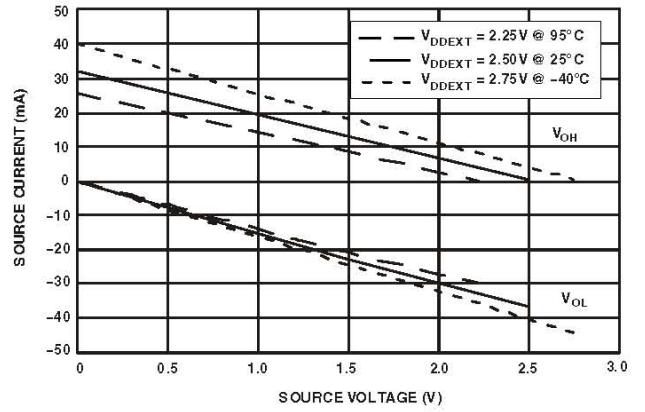


図42 駆動電流E (低 $V_{DDEXT}$ )

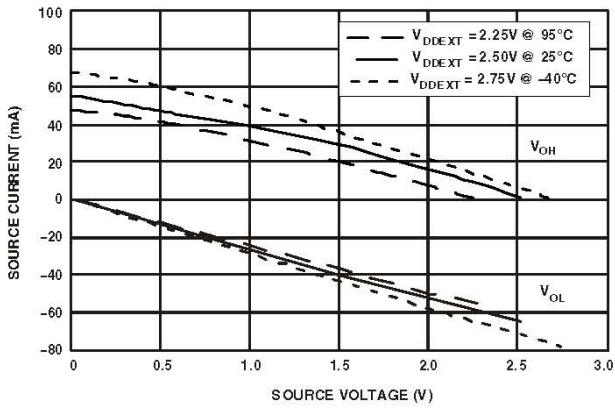


図40 駆動電流D (低 $V_{DDEXT}$ )

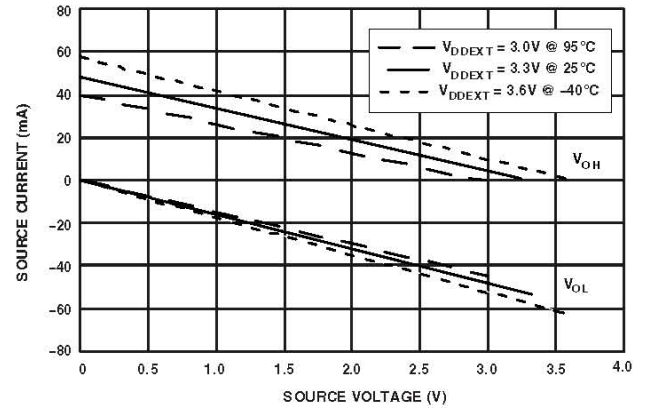


図43 駆動電流E (高 $V_{DDEXT}$ )

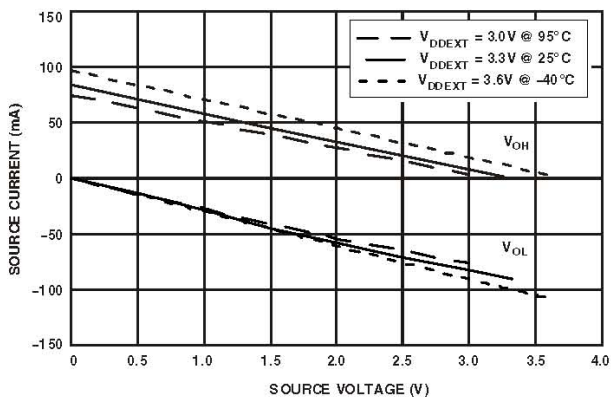


図41 駆動電流D (高 $V_{DDEXT}$ )

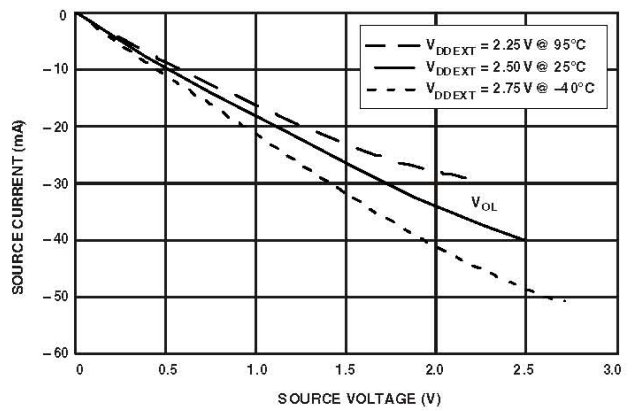


図44 駆動電流F (低 $V_{DDEXT}$ )

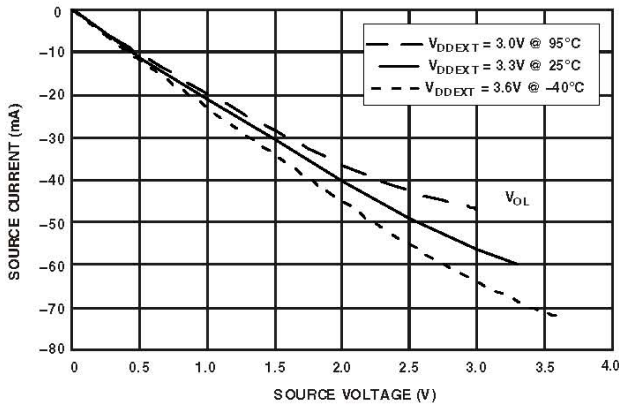


図45 駆動電流F (高V<sub>DDEXT</sub>)

## テスト条件

このデータシートに記載するすべてのタイミング・パラメータは、このセクションに記載する条件で測定しています。図46に、AC測定の測定ポイントを示します(ただし出力イネーブル/ディスエーブルを除きます)。測定ポイントは、 $V_{MEAS} = V_{DDEXT}/2$  です。



図46 AC測定のリファレンス電圧レベル(出力イネーブル/ディスエーブル以外)

## 出力イネーブル時間

高インピーダンス状態から駆動を開始する時点まで変化したとき、出力ピンがイネーブルされたと見なします。出力イネーブル時間 $t_{ENA}$ は、リファレンス信号がハイ・レベルまたはロー・レベルに到達した時点から出力が駆動を開始する時点までの間隔です(図47参照)。時間 $t_{ENA\_MEASURED}$ は、リファレンス信号がスイッチした時点から出力電圧が2.0V(出力ハイ・レベル)または1.0V(出力ロー・レベル)に到達する時点までの間隔です。時間 $t_{TRIP}$ は、出力が駆動を開始する時点から出力が1.0Vまたは2.0Vのトリップ電圧に到達する時点までの間隔です。時間 $t_{ENA}$ は次式で計算されます。

$$t_{ENA} = t_{ENA\_MEASURED} - t_{TRIP}$$

複数のピンをイネーブルする場合は(たとえばデータ・バス)、測定値は駆動を開始する最初のピンの測定値になります。

## 出力ディスエーブル時間

駆動を停止して高インピーダンス状態になり、出力ハイ・レベルまたはロー・レベルから減衰し始めたとき、出力ピンはディスエーブルされたと見なします。バス上の電圧が $\Delta V$ だ

け減衰する時間は、容量負荷 $C_L$ と負荷電流 $I_L$ に依存します。この減衰時間は次式で近似できます。

$$t_{DECAY} = (C_L \Delta V) / I_L$$

出力ディスエーブル時間 $t_{DIS}$ は、 $t_{DIS\_MEASURED}$ と $t_{DECAY}$ との差です(図47参照)。時間 $t_{DIS\_MEASURED}$ は、リファレンス信号がスイッチした時点から測定された出力ハイ・レベルまたはロー・レベルから出力電圧が $\Delta V$ だけ減衰する時点までの間隔です。時間 $t_{DECAY}$ は、テスト負荷を $C_L$ および $I_L$ とし、 $\Delta V = 0.5V$ として計算されます。

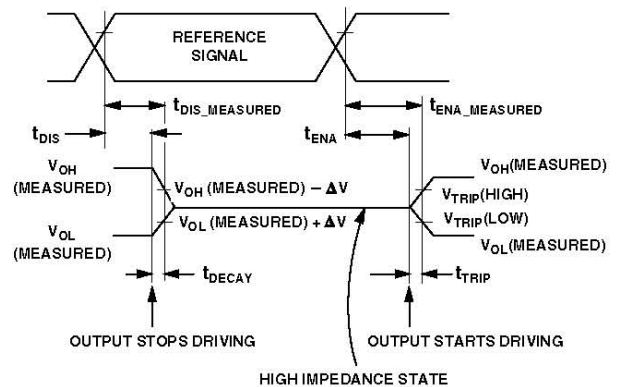


図47 出力イネーブル/ディスエーブル

## システム・ホールド時間計算の例

特定のシステムでデータ出力ホールド・タイムを求めるときは、まず上の式を使って $t_{DECAY}$ を計算します。プロセッサの出力電圧と、ホールド・タイムを必要とするデバイスの入力スレッシュホールドとの差となるように $\Delta V$ を選択します。 $\Delta V$ は0.4V (typ)です。 $C_L$ は合計バス容量(データ・ラインあたり)で、 $I_L$ は合計リーク電流またはスリーステート電流(データ・ラインあたり)です。ホールド・タイムは、 $t_{DECAY}$ と最小出力ディスエーブル時間の和です(たとえば、SDRAM書き込みサイクルの $t_{DSDAT}$ )。

## 容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷30pFを接続しています(図48参照)。図49～図58に、出力立ち上がり時間が容量により変化する様子を示します。遅延仕様とホールド仕様は、これらの図から求めたファクタでデレーティングさせる必要があります。これらの図のグラフは、表示範囲の外側では直線的でないことがあります。

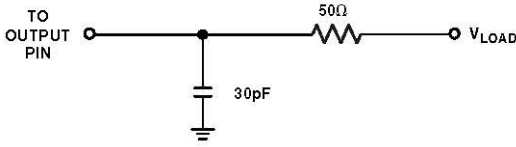


図48 AC測定の等価デバイス負荷  
(すべての治具を含む)

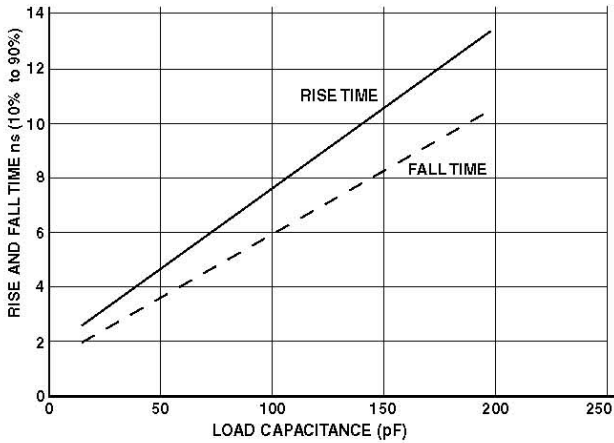


図49 V<sub>DDEXT</sub>最小でのドライバAの出力遅延(typ)または  
ホールド(typ)

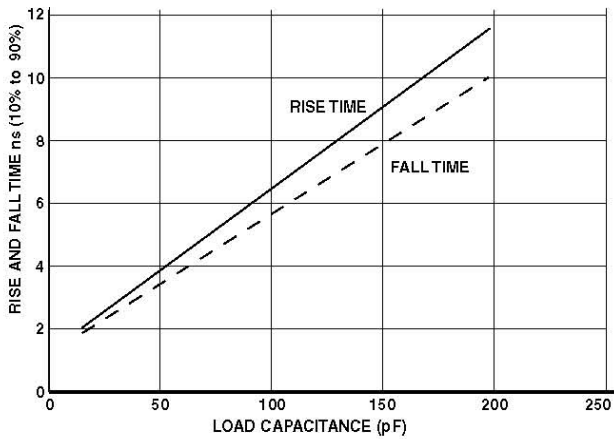


図50 V<sub>DDEXT</sub>最大でのドライバAの出力遅延(typ)または  
ホールド(typ)

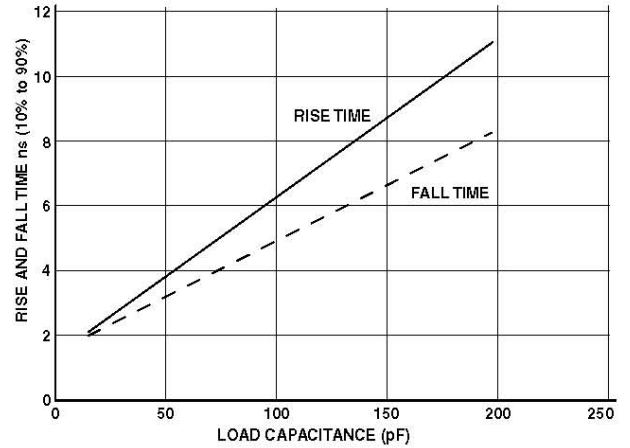


図51 V<sub>DDEXT</sub>最小でのドライバBの出力遅延(typ)または  
ホールド(typ)

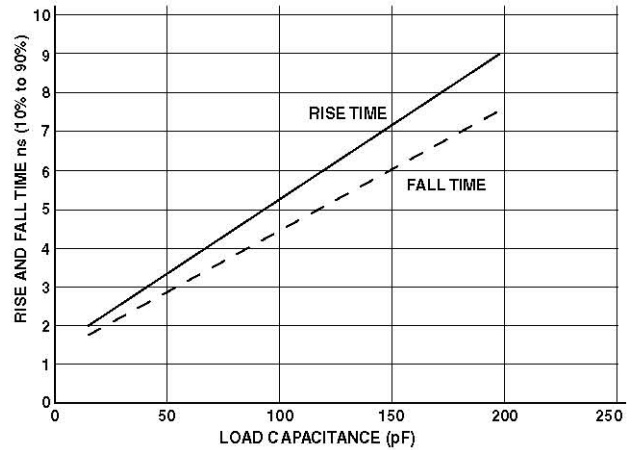


図52 V<sub>DDEXT</sub>最大でのドライバBの出力遅延(typ)または  
ホールド(typ)

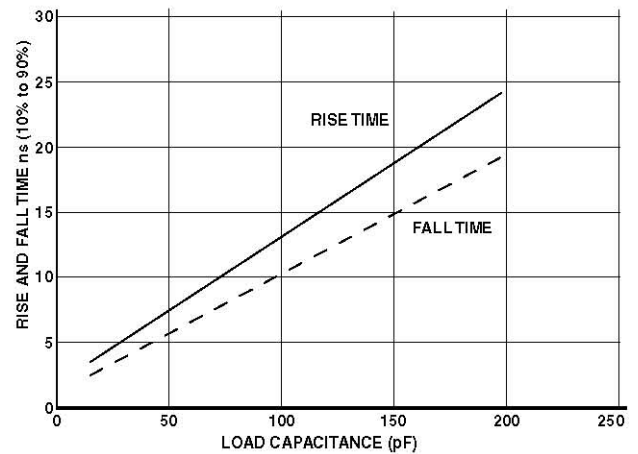


図53 V<sub>DDEXT</sub>最小でのドライバCの出力遅延(typ)または  
ホールド(typ)

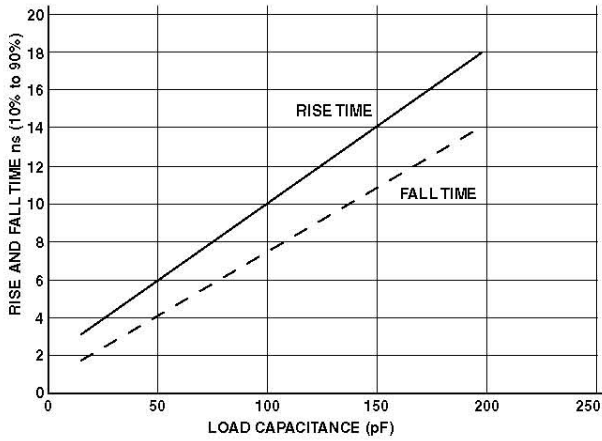


図54  $V_{DDEXT}$ 最大でのドライバCの出力遅延(typ)またはホールド(typ)

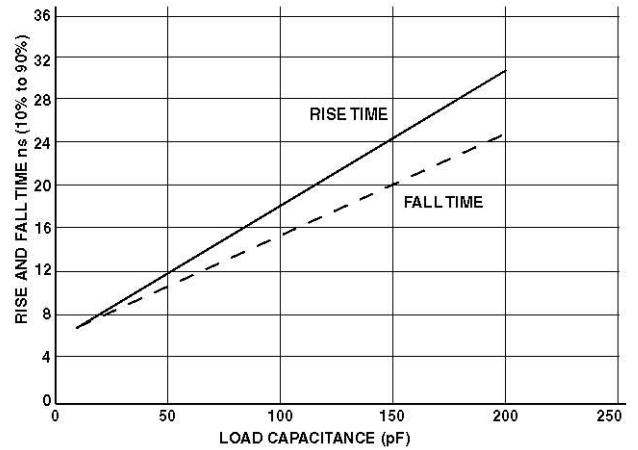


図57  $V_{DDEXT}$ 最小でのドライバEの出力遅延(typ)またはホールド(typ)

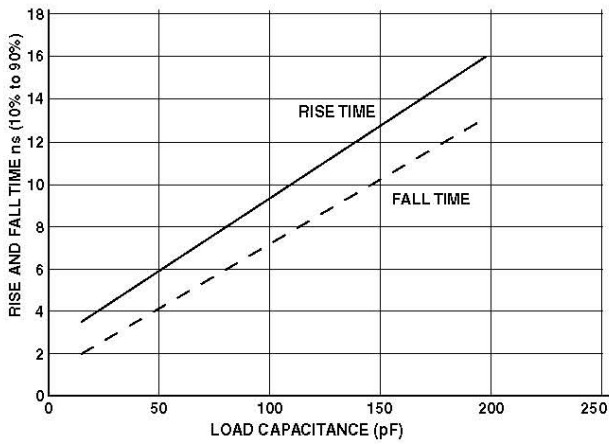


図55  $V_{DDEXT}$ 最小でのドライバDの出力遅延(typ)またはホールド(typ)

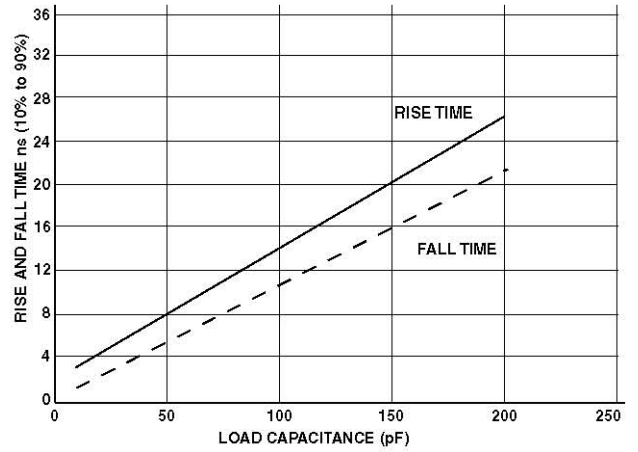


図58  $V_{DDEXT}$ 最大でのドライバEの出力遅延(typ)またはホールド(typ)

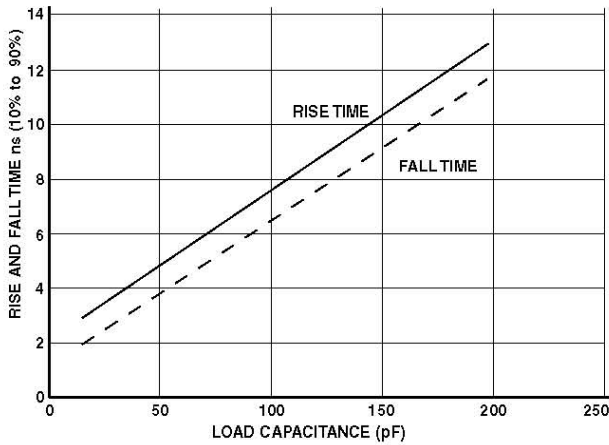


図56  $V_{DDEXT}$ 最大でのドライバDの出力遅延(typ)またはホールド(typ)

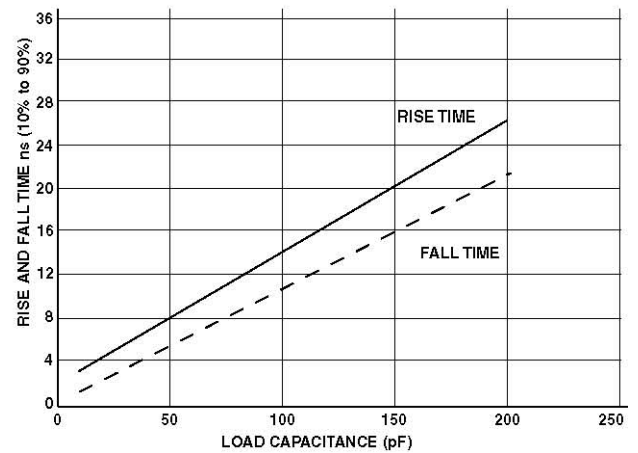


図59  $V_{DDEXT}$ 最小でのドライバFの出力遅延(typ)またはホールド(typ)

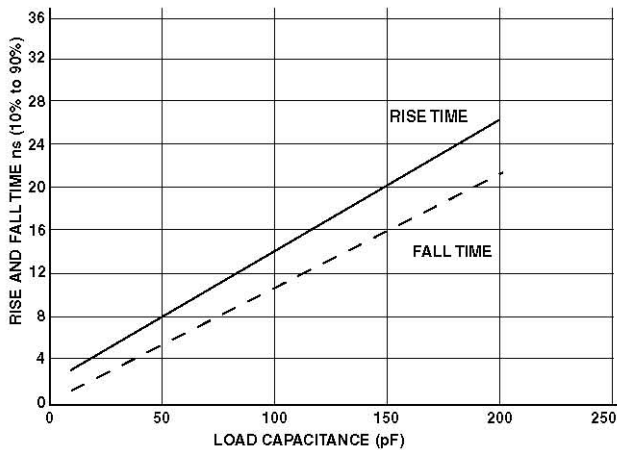


図60  $V_{DDEXT}$ 最大でのドライバFの出力遅延(typ)またはホールド(typ)

## 熱特性

アプリケーション PCB 上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

$T_J$  = ジャンクション温度 (°C)。

$T_{CASE}$  = パッケージ上面中央で測定したケース温度 (°C)。

$\Psi_{JT}$  = 表45 の値。

$P_D$  = 消費電力 ( $P_D$  の計算方法については消費電力の説明と表を参照してください)。

$\theta_{JA}$  の値は、パッケージ比較と PCB デザイン考慮のために提供。  $\theta_{JA}$  は次式による  $T_J$  の一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

$T_A$  = 周囲温度 (°C)

$\theta_{JC}$  の値は、外付けヒート・シンクが必要なときに、パッケージ比較と PCB デザイン考慮のために提供。  $\theta_{JA}$  の値は、パッケージ比較と PCB デザイン考慮のために提供。

表 45 ~ 表 47 の空気流の測定は JEDEC 規格 JESD51-2 と JESD51-6 に、ジャンクション-ボード間の測定は JESD51-8 に、それぞれ準拠しています。テスト・ボードのデザインは JEDEC 規格 JESD51-9 (BGA) に準拠しています。ジャンクション-ケース間の測定は MIL-STD-883 (Method 1012.1) に準拠します。すべての測定で、2S2P JEDEC テスト・ボードを使用しています。

208 ボール BGA パッケージを採用する工業用アプリケーションでは、PCB 内の埋め込みグラウンド・プレーンに対するサーマル・ビアが必要です。PCB のサーマル・ホール・ランドとサーマル・ビア・デザインについては、JEDEC 規格 JESD51-9 を参照してください。

表45 熱特性(182ボールBGA)

Parameter	Condition	Typical	Unit
$\theta_{JA}$	0 linear m/s air flow	32.80	°C/W
$\theta_{JMA}$	1 linear m/s air flow	29.30	°C/W
$\theta_{JMA}$	2 linear m/s air flow	28.00	°C/W
$\theta_{JB}$		20.10	°C/W
$\theta_{JC}$		7.92	°C/W
$\Psi_{JT}$	0 linear m/s air flow	0.19	°C/W
$\Psi_{JT}$	1 linear m/s air flow	0.35	°C/W
$\Psi_{JT}$	2 linear m/s air flow	0.45	°C/W

表46 熱特性(208ボールBGA、PCBにサーマル・ビアなし)

Parameter	Condition	Typical	Unit
$\theta_{JA}$	0 linear m/s air flow	23.30	°C/W
$\theta_{JMA}$	1 linear m/s air flow	20.20	°C/W
$\theta_{JMA}$	2 linear m/s air flow	19.20	°C/W
$\theta_{JB}$		13.05	°C/W
$\theta_{JC}$		6.92	°C/W
$\Psi_{JT}$	0 linear m/s air flow	0.18	°C/W
$\Psi_{JT}$	1 linear m/s air flow	0.27	°C/W
$\Psi_{JT}$	2 linear m/s air flow	0.32	°C/W

表47 熱特性(208ボールBGA、PCBにサーマル・ビアあり)

Parameter	Condition	Typical	Unit
$\theta_{JA}$	0 linear m/s air flow	22.60	°C/W
$\theta_{JMA}$	1 linear m/s air flow	19.40	°C/W
$\theta_{JMA}$	2 linear m/s air flow	18.40	°C/W
$\theta_{JB}$		13.20	°C/W
$\theta_{JC}$		6.85	°C/W
$\Psi_{JT}$	0 linear m/s air flow	0.16	°C/W
$\Psi_{JT}$	1 linear m/s air flow	0.27	°C/W
$\Psi_{JT}$	2 linear m/s air flow	0.32	°C/W



## 182ボールCSP\_BGAのボール配置

表48 にCSP\_BGAのボール配置を示します(信号名順)。表49 にCSP\_BGAのボール配置を示します(ボール番号順)。

表48 182ボールCSP\_BGAのボール配置(信号名順)

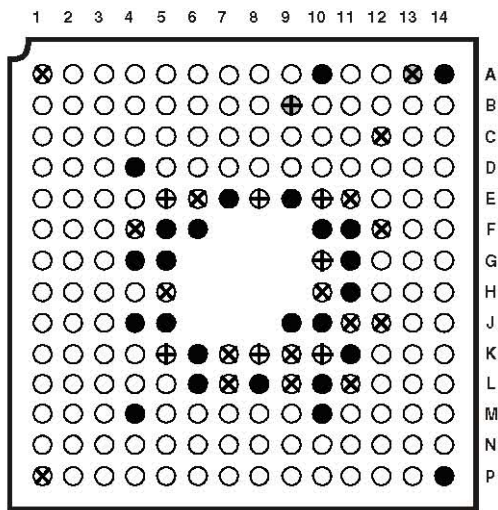
Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.
$\overline{\text{ABE0}}$	H13	CLKOUT	B14	GND	L6	PG8	E3	$\overline{\text{SRAS}}$	D13
$\overline{\text{ABE1}}$	H12	DATA0	M9	GND	L8	PG9	E4	$\overline{\text{SWE}}$	D12
ADDR1	J14	DATA1	N9	GND	L10	PH0	C2	TCK	P2
ADDR10	M13	DATA10	N6	GND	M4	PH1	C3	TDI	M3
ADDR11	M14	DATA11	P6	GND	M10	PH10	B6	TDO	N3
ADDR12	N14	DATA12	M5	$\overline{\text{GND}}$	P14	PH11	A2	TMS	N2
ADDR13	N13	DATA13	N5	$\overline{\text{NMI}}$	B10	PH12	A3	$\overline{\text{TRST}}$	N1
ADDR14	N12	DATA14	P5	PF0	M1	PH13	A4	V <sub>DDEXT</sub>	A1
ADDR15	M11	DATA15	P4	PF1	L1	PH14	A5	V <sub>DDEXT</sub>	C12
ADDR16	N11	DATA2	P9	PF10	J2	PH15	A6	V <sub>DDEXT</sub>	E6
ADDR17	P13	DATA3	M8	PF11	J3	PH2	C4	V <sub>DDEXT</sub>	E11
ADDR18	P12	DATA4	N8	PF12	H1	PH3	C5	V <sub>DDEXT</sub>	F4
ADDR19	P11	DATA5	P8	PF13	H2	PH4	C6	V <sub>DDEXT</sub>	F12
ADDR2	K14	DATA6	M7	PF14	H3	PH5	B1	V <sub>DDEXT</sub>	H5
ADDR3	L14	DATA7	N7	PF15	H4	PH6	B2	V <sub>DDEXT</sub>	H10
ADDR4	J13	DATA8	P7	PF2	L2	PH7	B3	V <sub>DDEXT</sub>	J11
ADDR5	K13	DATA9	M6	PF3	L3	PH8	B4	V <sub>DDEXT</sub>	J12
ADDR6	L13	$\overline{\text{EMU}}$	M2	PF4	L4	PH9	B5	V <sub>DDEXT</sub>	K7
ADDR7	K12	GND	A10	PF5	K1	PJ0	C7	V <sub>DDEXT</sub>	K9
ADDR8	L12	GND	A14	PF6	K2	PJ1	B7	V <sub>DDEXT</sub>	L7
ADDR9	M12	GND	D4	PF7	K3	PJ10	D10	V <sub>DDEXT</sub>	L9
$\overline{\text{AMS0}}$	E14	GND	E7	PF8	K4	PJ11	D11	V <sub>DDEXT</sub>	L11
$\overline{\text{AMS1}}$	F14	GND	E9	PF9	J1	PJ2	B11	V <sub>DDEXT</sub>	P1
$\overline{\text{AMS2}}$	F13	GND	F5	PG0	G1	PJ3	C11	V <sub>DDINT</sub>	E5
$\overline{\text{AMS3}}$	G12	GND	F6	PG1	G2	PJ4	D7	V <sub>DDINT</sub>	E8
$\overline{\text{AOE}}$	G13	GND	F10	PG10	D1	PJ5	D8	V <sub>DDINT</sub>	E10
ARDY	E13	GND	F11	PG11	D2	PJ6	C8	V <sub>DDINT</sub>	G10
$\overline{\text{ARE}}$	G14	GND	G4	PG12	D3	PJ7	B8	V <sub>DDINT</sub>	K5
$\overline{\text{AWE}}$	H14	GND	G5	PG13	D5	PJ8	D9	V <sub>DDINT</sub>	K8
$\overline{\text{BG}}$	P10	GND	G11	PG14	D6	PJ9	C9	V <sub>DDINT</sub>	K10
$\overline{\text{BGH}}$	N10	GND	H11	PG15	C1	$\overline{\text{RESET}}$	C10	V <sub>DDRTC</sub>	B9
BMODE0	N4	GND	J4	PG2	G3	RTX0	A8	VROUT0	A13
BMODE1	P3	GND	J5	PG3	F1	RTXI	A9	VROUT1	B12
BMODE2	L5	GND	J9	PG4	F2	SA10	E12	XTAL	A11
$\overline{\text{BR}}$	D14	GND	J10	PG5	F3	$\overline{\text{SCAS}}$	C14		
CLKBUF	A7	GND	K6	PG6	E1	SCKE	B13		
CLKIN	A12	GND	K11	PG7	E2	$\overline{\text{SMS}}$	C13		

# ADSP-BF534/ADSP-BF536/ADSP-BF537

表49 182ボールCSP BGAのボール配置(ボール番号順)

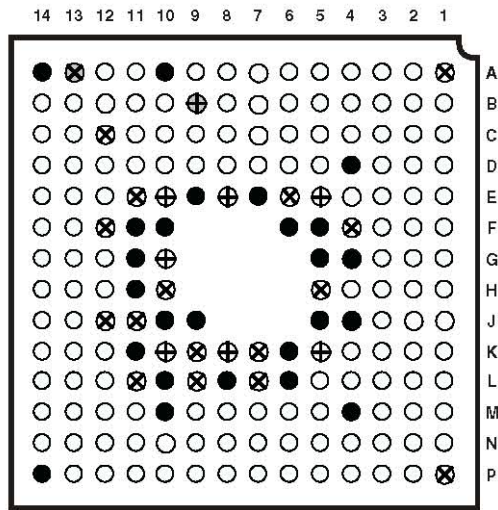
Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic
A1	V <sub>DDEXT</sub>	C10	RESET	F5	GND	J14	ADDR1	M9	DATA0
A2	PH11	C11	PJ3	F6	GND	K1	PF5	M10	GND
A3	PH12	C12	V <sub>DDEXT</sub>	F10	GND	K2	PF6	M11	ADDR15
A4	PH13	C13	SMS	F11	GND	K3	PF7	M12	ADDR9
A5	PH14	C14	SCAS	F12	V <sub>DDEXT</sub>	K4	PF8	M13	ADDR10
A6	PH15	D1	PG10	F13	AMS2	K5	V <sub>DDINT</sub>	M14	ADDR11
A7	CLKBUF	D2	PG11	F14	AMS1	K6	GND	N1	TRST
A8	RTXO	D3	PG12	G1	PG0	K7	V <sub>DDEXT</sub>	N2	TMS
A9	RTXI	D4	GND	G2	PG1	K8	V <sub>DDINT</sub>	N3	TDO
A10	GND	D5	PG13	G3	PG2	K9	V <sub>DDEXT</sub>	N4	BMODE0
A11	XTAL	D6	PG14	G4	GND	K10	V <sub>DDINT</sub>	N5	DATA13
A12	CLKIN	D7	PJ4	G5	GND	K11	GND	N6	DATA10
A13	VROUT0	D8	PJ5	G10	V <sub>DDINT</sub>	K12	ADDR7	N7	DATA7
A14	GND	D9	PJ8	G11	GND	K13	ADDR5	N8	DATA4
B1	PH5	D10	PJ10	G12	AMS3	K14	ADDR2	N9	DATA1
B2	PH6	D11	PJ11	G13	AOE	L1	PF1	N10	BGH
B3	PH7	D12	SWE	G14	ARE	L2	PF2	N11	ADDR16
B4	PH8	D13	SRAS	H1	PF12	L3	PF3	N12	ADDR14
B5	PH9	D14	BR	H2	PF13	L4	PF4	N13	ADDR13
B6	PH10	E1	PG6	H3	PF14	L5	BMODE2	N14	ADDR12
B7	PJ1	E2	PG7	H4	PF15	L6	GND	P1	V <sub>DDEXT</sub>
B8	PJ7	E3	PG8	H5	V <sub>DDEXT</sub>	L7	V <sub>DDEXT</sub>	P2	TCK
B9	V <sub>DDRTC</sub>	E4	PG9	H10	V <sub>DDEXT</sub>	L8	GND	P3	BMODE1
B10	NMI	E5	V <sub>DDINT</sub>	H11	GND	L9	V <sub>DDEXT</sub>	P4	DATA15
B11	PJ2	E6	V <sub>DDEXT</sub>	H12	ABE1	L10	GND	P5	DATA14
B12	VROUT1	E7	GND	H13	ABE0	L11	V <sub>DDEXT</sub>	P6	DATA11
B13	SCKE	E8	V <sub>DDINT</sub>	H14	AWE	L12	ADDR8	P7	DATA8
B14	CLKOUT	E9	GND	J1	PF9	L13	ADDR6	P8	DATA5
C1	PG15	E10	V <sub>DDINT</sub>	J2	PF10	L14	ADDR3	P9	DATA2
C2	PH0	E11	V <sub>DDEXT</sub>	J3	PF11	M1	PF0	P10	BG
C3	PH1	E12	SA10	J4	GND	M2	EMU	P11	ADDR19
C4	PH2	E13	ARDY	J5	GND	M3	TDI	P12	ADDR18
C5	PH3	E14	AMS0	J9	GND	M4	GND	P13	ADDR17
C6	PH4	F1	PG3	J10	GND	M5	DATA12	P14	GND
C7	PJ0	F2	PG4	J11	V <sub>DDEXT</sub>	M6	DATA9		
C8	PJ6	F3	PG5	J12	V <sub>DDEXT</sub>	M7	DATA6		
C9	PJ9	F4	V <sub>DDEXT</sub>	J13	ADDR4	M8	DATA3		

図61 に、CSP\_BGAボール配置の上面図を示します。図62 に、CSP\_BGAボール配置の裏面図を示します。



KEY:  
 ⊕ V<sub>DDINT</sub>   ● GND   ⊕ V<sub>DDRTC</sub>  
 ⊗ V<sub>DDEXT</sub>   ○ I/O   ⊗ V<sub>ROUT</sub>

図61 182ボールCSP\_BGAの構成(上面図)



KEY:  
 ⊕ V<sub>DDINT</sub>   ● GND   ⊕ V<sub>DDRTC</sub>  
 ⊗ V<sub>DDEXT</sub>   ○ I/O   ⊗ V<sub>ROUT</sub>

図62 182ボールCSP\_BGAの構成(裏面図)

## 208ボールCSP\_BGAのボール配置

表50 にCSP\_BGAのボール配置を示します(信号名順)。表51  
にCSP\_BGAのボール配置を示します(ボール番号順)。

表50 208ボールCSP\_BGAのボール配置(信号名順)

Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.
ABE0	P19	DATA12	Y4	GND	M13	PG6	E2	TDI	V1
ABE1	P20	DATA13	W4	GND	N9	PG7	D1	TDO	Y2
ADDR1	R19	DATA14	Y3	GND	N10	PG8	D2	TMS	U2
ADDR10	W18	DATA15	W3	GND	N11	PG9	C1	TRST	U1
ADDR11	Y18	DATA2	Y9	GND	N12	PH0	B4	V <sub>DDEXT</sub>	G7
ADDR12	W17	DATA3	W9	GND	N13	PH1	A5	V <sub>DDEXT</sub>	G8
ADDR13	Y17	DATA4	Y8	GND	P11	PH10	B9	V <sub>DDEXT</sub>	G9
ADDR14	W16	DATA5	W8	GND	V2	PH11	A10	V <sub>DDEXT</sub>	G10
ADDR15	Y16	DATA6	Y7	GND	W2	PH12	B10	V <sub>DDEXT</sub>	H7
ADDR16	W15	DATA7	W7	GND	W19	PH13	A11	V <sub>DDEXT</sub>	H8
ADDR17	Y15	DATA8	Y6	GND	Y1	PH14	B11	V <sub>DDEXT</sub>	J7
ADDR18	W14	DATA9	W6	GND	Y13	PH15	A12	V <sub>DDEXT</sub>	J8
ADDR19	Y14	EMU	T1	GND	Y20	PH2	B5	V <sub>DDEXT</sub>	K7
ADDR2	T20	GND	A1	NMI	C20	PH3	A6	V <sub>DDEXT</sub>	K8
ADDR3	T19	GND	A13	PF0	T2	PH4	B6	V <sub>DDEXT</sub>	L7
ADDR4	U20	GND	A20	PF1	R1	PH5	A7	V <sub>DDEXT</sub>	L8
ADDR5	U19	GND	B2	PF10	L2	PH6	B7	V <sub>DDEXT</sub>	M7
ADDR6	V20	GND	G11	PF11	K1	PH7	A8	V <sub>DDEXT</sub>	M8
ADDR7	V19	GND	H9	PF12	K2	PH8	B8	V <sub>DDEXT</sub>	N7
ADDR8	W20	GND	H10	PF13	J1	PH9	A9	V <sub>DDEXT</sub>	N8
ADDR9	Y19	GND	H11	PF14	J2	PJ0	B12	V <sub>DDEXT</sub>	P7
AMS0	M20	GND	H12	PF15	H1	PJ1	B13	V <sub>DDEXT</sub>	P8
AMS1	M19	GND	H13	PF2	R2	PJ10	B19	V <sub>DDEXT</sub>	P9
AMS2	G20	GND	J9	PF3	P1	PJ11	C19	V <sub>DDEXT</sub>	P10
AMS3	G19	GND	J10	PF4	P2	PJ2	D19	V <sub>DDINT</sub>	G12
AOE	N20	GND	J11	PF5	N1	PJ3	E19	V <sub>DDINT</sub>	G13
ARDY	J19	GND	J12	PF6	N2	PJ4	B18	V <sub>DDINT</sub>	G14
ARE	N19	GND	J13	PF7	M1	PJ5	A19	V <sub>DDINT</sub>	H14
AWE	R20	GND	K9	PF8	M2	PJ6	B15	V <sub>DDINT</sub>	J14
BG	Y11	GND	K10	PF9	L1	PJ7	B16	V <sub>DDINT</sub>	K14
BGH	Y12	GND	K11	PG0	H2	PJ8	B17	V <sub>DDINT</sub>	L14
BMODE0	W13	GND	K12	PG1	G1	PJ9	B20	V <sub>DDINT</sub>	M14
BMODE1	W12	GND	K13	PG10	C2	RESET	D20	V <sub>DDINT</sub>	N14
BMODE2	W11	GND	L9	PG11	B1	RTXO	A15	V <sub>DDINT</sub>	P12
BR	F19	GND	L10	PG12	A2	RTXI	A14	V <sub>DDINT</sub>	P13
CLKBUF	B14	GND	L11	PG13	A3	SA10	L20	V <sub>DDINT</sub>	P14
CLKIN	A18	GND	L12	PG14	B3	SCAS	K20	V <sub>DDRTC</sub>	A16
CLKOUT	H19	GND	L13	PG15	A4	SCKE	H20	VROUT0	E20
DATA0	Y10	GND	M9	PG2	G2	SMS	J20	VROUT1	F20
DATA1	W10	GND	M10	PG3	F1	SRAS	K19	XTAL	A17
DATA10	Y5	GND	M11	PG4	F2	SWE	L19		
DATA11	W5	GND	M12	PG5	E1	TCK	W1		

# ADSP-BF534/ADSP-BF536/ADSP-BF537

表51 にCSP\_BGAのボール配置を示します(ボール番号順)。

表50 にCSP\_BGAのボール配置を示します(信号名順)。

表51 208ボールCSP BGAのボール配置(ボール番号順)

Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic	Ball No.	Mnemonic
A1	GND	C19	PJ11	J9	GND	M19	AMS1	W1	TCK
A2	PG12	C20	NMI	J10	GND	M20	AMS0	W2	GND
A3	PG13	D1	PG7	J11	GND	N1	PF5	W3	DATA15
A4	PG15	D2	PG8	J12	GND	N2	PF6	W4	DATA13
A5	PH1	D19	PJ2	J13	GND	N7	V <sub>DDEXT</sub>	W5	DATA11
A6	PH3	D20	RESET	J14	V <sub>DDINT</sub>	N8	V <sub>DDEXT</sub>	W6	DATA9
A7	PH5	E1	PG5	J19	ARDY	N9	GND	W7	DATA7
A8	PH7	E2	PG6	J20	SMS	N10	GND	W8	DATA5
A9	PH9	E19	PJ3	K1	PF11	N11	GND	W9	DATA3
A10	PH11	E20	VROUT0	K2	PF12	N12	GND	W10	DATA1
A11	PH13	F1	PG3	K7	V <sub>DDEXT</sub>	N13	GND	W11	BMODE2
A12	PH15	F2	PG4	K8	V <sub>DDEXT</sub>	N14	V <sub>DDINT</sub>	W12	BMODE1
A13	GND	F19	BR	K9	GND	N19	ARE	W13	BMODE0
A14	RTXI	F20	VROUT1	K10	GND	N20	AOE	W14	ADDR18
A15	RTXO	G1	PG1	K11	GND	P1	PF3	W15	ADDR16
A16	V <sub>DDRTC</sub>	G2	PG2	K12	GND	P2	PF4	W16	ADDR14
A17	XTAL	G7	V <sub>DDEXT</sub>	K13	GND	P7	V <sub>DDEXT</sub>	W17	ADDR12
A18	CLKIN	G8	V <sub>DDEXT</sub>	K14	V <sub>DDINT</sub>	P8	V <sub>DDEXT</sub>	W18	ADDR10
A19	PJ5	G9	V <sub>DDEXT</sub>	K19	SRAS	P9	V <sub>DDEXT</sub>	W19	GND
A20	GND	G10	V <sub>DDEXT</sub>	K20	SCAS	P10	V <sub>DDEXT</sub>	W20	ADDR8
B1	PG11	G11	GND	L1	PF9	P11	GND	Y1	GND
B2	GND	G12	V <sub>DDINT</sub>	L2	PF10	P12	V <sub>DDINT</sub>	Y2	TDO
B3	PG14	G13	V <sub>DDINT</sub>	L7	V <sub>DDEXT</sub>	P13	V <sub>DDINT</sub>	Y3	DATA14
B4	PH0	G14	V <sub>DDINT</sub>	L8	V <sub>DDEXT</sub>	P14	V <sub>DDINT</sub>	Y4	DATA12
B5	PH2	G19	AMS3	L9	GND	P19	ABE0	Y5	DATA10
B6	PH4	G20	AMS2	L10	GND	P20	ABE1	Y6	DATA8
B7	PH6	H1	PF15	L11	GND	R1	PF1	Y7	DATA6
B8	PH8	H2	PG0	L12	GND	R2	PF2	Y8	DATA4
B9	PH10	H7	V <sub>DDEXT</sub>	L13	GND	R19	ADDR1	Y9	DATA2
B10	PH12	H8	V <sub>DDEXT</sub>	L14	V <sub>DDINT</sub>	R20	AWE	Y10	DATA0
B11	PH14	H9	GND	L19	SWE	T1	EMU	Y11	BG
B12	PJ0	H10	GND	L20	SA10	T2	PF0	Y12	BGH
B13	PJ1	H11	GND	M1	PF7	T19	ADDR3	Y13	GND
B14	CLKBUF	H12	GND	M2	PF8	T20	ADDR2	Y14	ADDR19
B15	PJ6	H13	GND	M7	V <sub>DDEXT</sub>	U1	TRST	Y15	ADDR17
B16	PJ7	H14	V <sub>DDINT</sub>	M8	V <sub>DDEXT</sub>	U2	TMS	Y16	ADDR15
B17	PJ8	H19	CLKOUT	M9	GND	U19	ADDR5	Y17	ADDR13
B18	PJ4	H20	SCKE	M10	GND	U20	ADDR4	Y18	ADDR11
B19	PJ10	J1	PF13	M11	GND	V1	TDI	Y19	ADDR9
B20	PJ9	J2	PF14	M12	GND	V2	GND	Y20	GND
C1	PG9	J7	V <sub>DDEXT</sub>	M13	GND	V19	ADDR7		
C2	PG10	J8	V <sub>DDEXT</sub>	M14	V <sub>DDINT</sub>	V20	ADDR6		

図63 に、CSP\_BGAボール配置の上面図を示します。図64 に、CSP\_BGAボール配置の裏面図を示します。

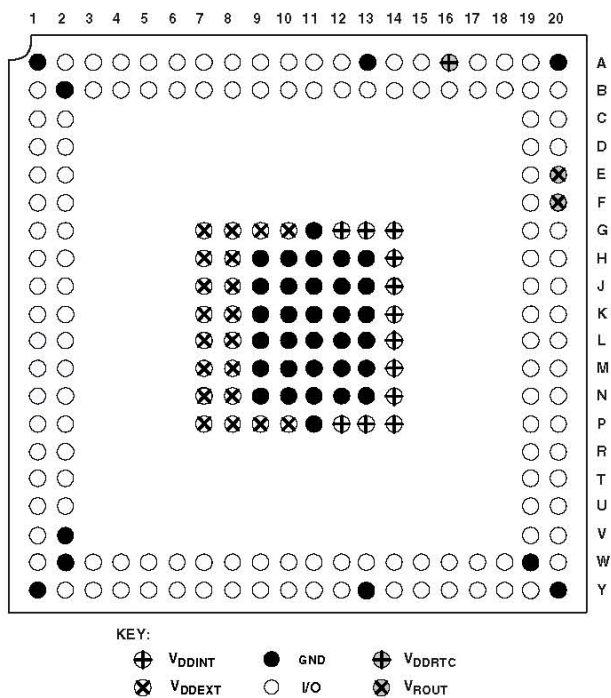


図63 208ボールCSP\_BGAの構成(上面図)

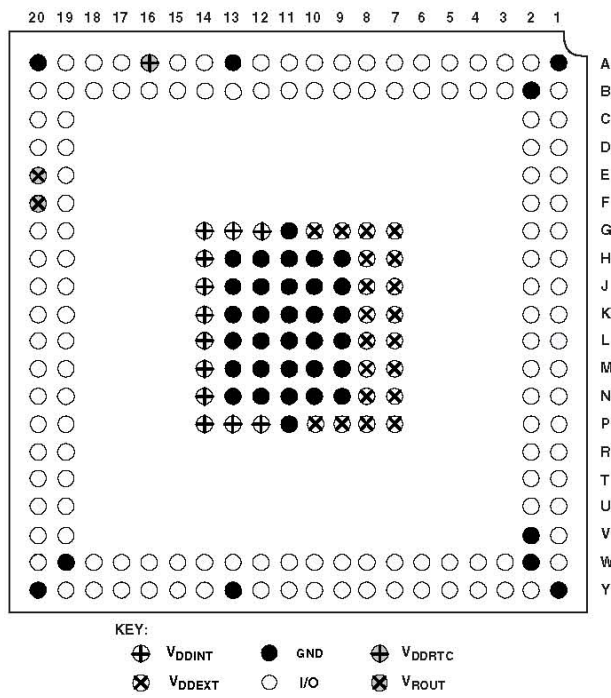


図64 208ボールCSP\_BGAの構成(裏面図)

## 外形寸法

図65 と図66 の外形寸法はミリメートル表示。

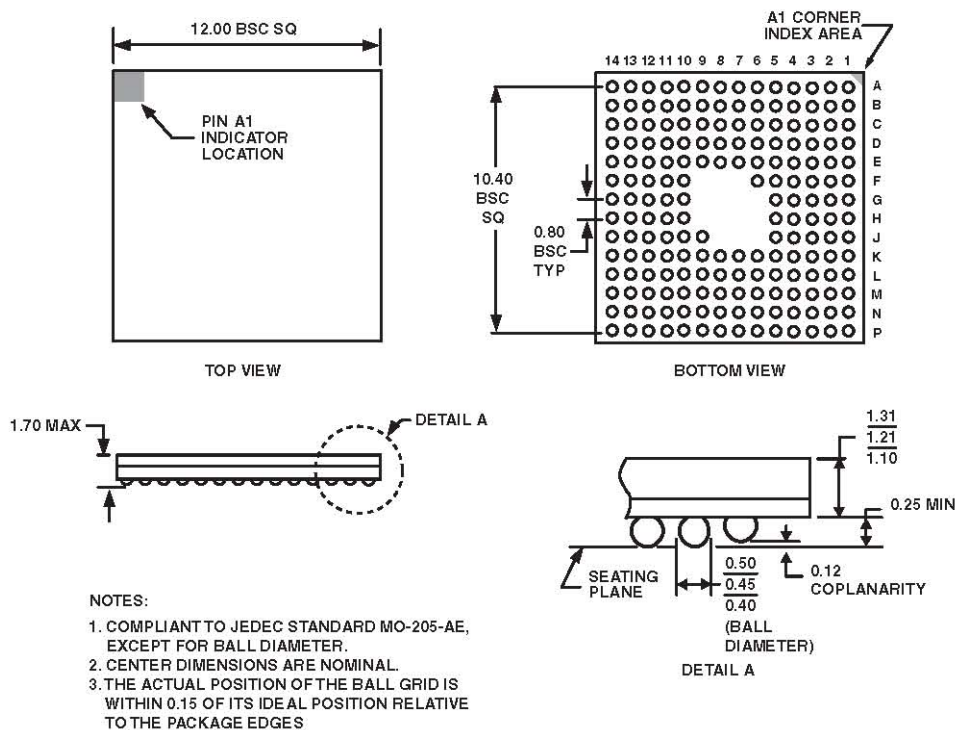
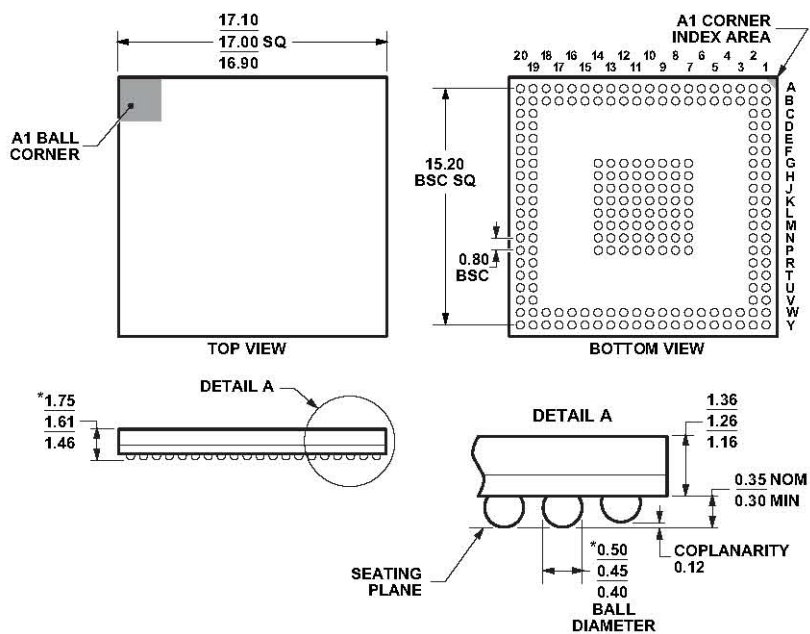


図65 182ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ[CSP\_BGA] (BC-182)  
寸法: mm



\*COMPLIANT TO JEDEC STANDARDS MO-205-AM WITH EXCEPTION TO PACKAGE HEIGHT AND BALL DIAMETER.

図66 208ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-208-2)  
寸法: mm

### 表面実装デザイン

次の表は、PCBデザイン用に示します。業界標準のデザイン勧告については、IPC-7351の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
182-Ball CSP_BGA (BC-182)	Solder Mask Defined	0.40 mm diameter	0.55 mm diameter
208-Ball CSP_BGA (BC-208-2)	Solder Mask Defined	0.40 mm diameter	0.55 mm diameter



## 車載製品

制御した製造過程で製造された、車載アプリケーション用の複数の ADSP-BF534 モデルも提供しています。これらの特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。

表 52 に示す車載グレード製品は、車載アプリケーション用に提供しています。特定製品の注文情報については、最寄りの ADI または ADI の認定代理店にお尋ねください。すべての車載製品は RoHS 準拠製品です。

表52 車載製品

Product Family <sup>1</sup>	Temperature Range <sup>2</sup>	Speed Grade (Max)	Package Description	Package Option
ADBF534WBBCZ4Axx	-40°C to +85°C	400 MHz	182-Ball CSP_BGA	BC-182
ADBF534WBBCZ4Bxx	-40°C to +85°C	400 MHz	208-Ball CSP_BGA	BC-208-2
ADBF534WYBCZ4Bxx	-40°C to +105°C	400 MHz	208-Ball CSP_BGA	BC-208-2

<sup>1</sup>xx はシリコン・レビジョン。

<sup>2</sup>基準温度は周囲温度。

## オーダー・ガイド

CSP\_BGA = チップ・スケール・パッケージ・ボール・グリッド・アレイ

Model	Temperature Range <sup>1</sup>	Speed Grade (Max)	Package Description	Package Option
ADSP-BF534BBC-4A	-40°C to +85°C	400 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF534BBCZ-4A <sup>2</sup>	-40°C to +85°C	400 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF534BBC-5A	-40°C to +85°C	500 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF534BBCZ-5A <sup>2</sup>	-40°C to +85°C	500 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF534BBCZ-4B <sup>2</sup>	-40°C to +85°C	400 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF534YBCZ-4B <sup>2</sup>	-40°C to +105°C	400 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF534BBCZ-5B <sup>2</sup>	-40°C to +85°C	500 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF536BBC-3A	-40°C to +85°C	300 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF536BBCZ-3A <sup>2</sup>	-40°C to +85°C	300 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF536BBC-4A	-40°C to +85°C	400 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF536BBCZ-4A <sup>2</sup>	-40°C to +85°C	400 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF536BBCZ-3B <sup>2</sup>	-40°C to +85°C	300 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF536BBCZ-4B <sup>2</sup>	-40°C to +85°C	400 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF537BBC-5A	-40°C to +85°C	500 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF537BBCZ-5A <sup>2</sup>	-40°C to +85°C	500 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF537BBCZ-5B <sup>2</sup>	-40°C to +85°C	500 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF537BBCZ-5AV <sup>2</sup>	-40°C to +85°C	533 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF537BBCZ-5BV <sup>2</sup>	-40°C to +85°C	533 MHz	208-Ball CSP_BGA	BC-208-2
ADSP-BF537KBCZ-6AV <sup>2</sup>	0°C to +70°C	600 MHz	182-Ball CSP_BGA	BC-182
ADSP-BF537KBCZ-6BV <sup>2</sup>	0°C to +70°C	600 MHz	208-Ball CSP_BGA	BC-208-2

<sup>1</sup>基準温度は周囲温度。

<sup>2</sup>Z = RoHS 準拠製品。