

特長

600 MHz 高性能デュアル Blackfin コア

328K バイト内蔵メモリ
(メモリ・アーキテクチャ参照)

各 Blackfin コアは次を内蔵:

16 ビット MAC×2、40 ビット ALU×2、8 ビット・ビデオ ALU×4、40 ビット・シフタ×1

RISC ライクなレジスタおよび命令モデルを採用しているため、プログラミングが容易でかつコンパイラ・フレンドリなサポートが可能

高度なデバッグ機能、トレース機能、パフォーマンスモニター機能をサポート

広い動作電圧範囲(動作条件参照)

256 ボール CSP_BGA (2 サイズ) または 297 ボール PBGA パッケージを採用

ペリフェラル

12 チャンネル DMA コントローラ×2
(ペリフェラル DMA×24 をサポート)

メモリーメモリー間 DMA×2

内部メモリーメモリー間 DMA×2、および内部メモリー DMA コントローラ×1

PWM をサポートする汎用 32 ビット・タイマ/カウンタ×12

SPI 互換ポート

IrDA をサポートする UART

ウォッチドッグ・タイマ×2

32 ビット・コア・タイマ×2

プログラマブルなフラグ (GPIO)×48

0.5~64 倍の周波数逡倍機能を持つ位相ロック・ループを内蔵

ITU-R 656 ビデオとアナログ・フロントエンド ADC に対するグルーレス・インターフェースをサポートするパラレル入力/出力ペリフェラル・インターフェース・ユニット×2

8 チャンネルのステレオ I²S をサポートするデュアル・チャンネル全二重同期シリアル・ポート×2

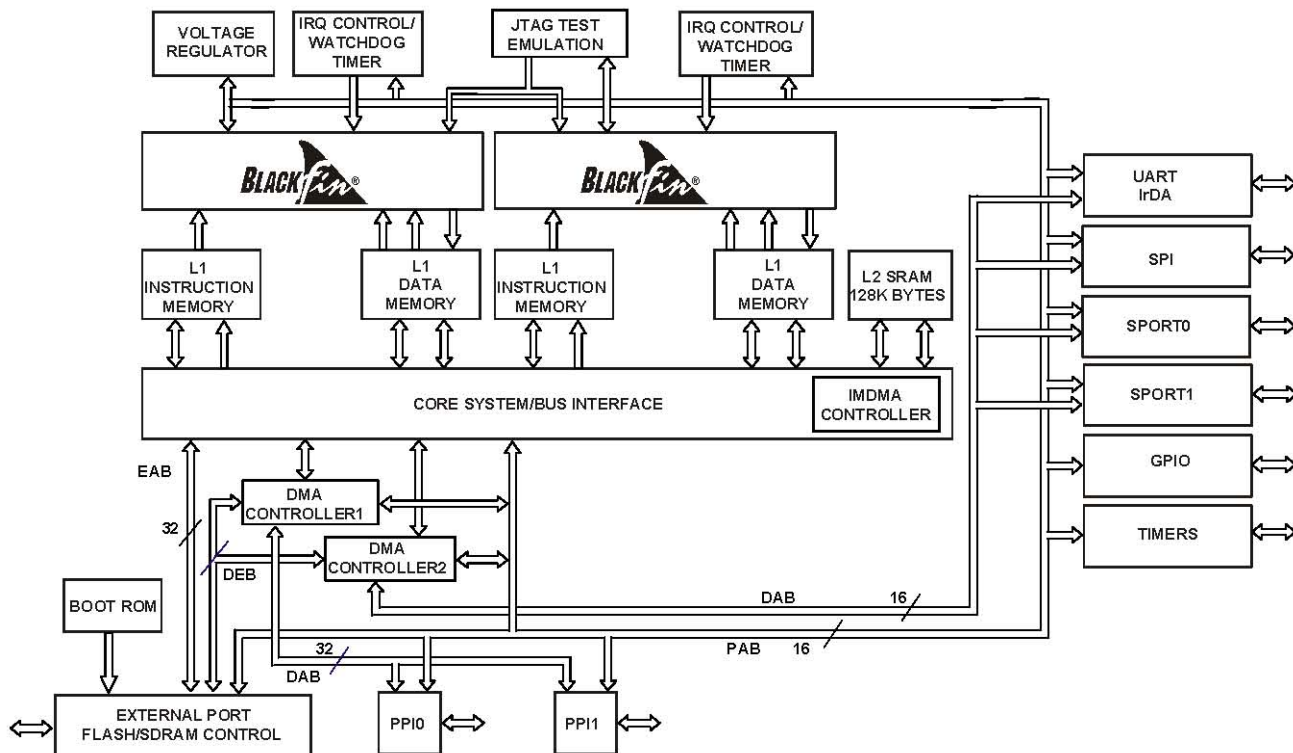


図1 機能ブロック図

Blackfin と Blackfin ロゴは Analog Devices, Inc. の登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

Rev. D

目次

特長.....	1	エミュレータ互換プロセッサ・ボードのデザイン.....	16
ペリフェラル.....	1	関連ドキュメント.....	16
目次.....	2	ピン説明.....	17
改訂履歴.....	2	仕様.....	20
概要.....	3	動作条件.....	20
ポータブルな低消費電力アーキテクチャ.....	3	電気的特性.....	21
Blackfinプロセッサ・コア.....	3	絶対最大定格.....	22
メモリ・アーキテクチャ.....	4	パッケージ情報.....	22
DMAコントローラ.....	8	ESD感受性.....	22
ウォッチドッグ・タイマ.....	8	タイミング仕様.....	23
タイマ.....	9	出力駆動電流.....	41
シリアル・ポート(SPORT).....	9	消費電力.....	42
シリアル・ペリフェラル・インターフェース(SPI).....	9	テスト条件.....	42
ポート.....	9	環境条件.....	44
UARTポート.....	9	256 ボール CSP_BGA (17 mm)のボール配置.....	46
プログラマブル・フラグ(PFx).....	10	256 ボール CSP_BGA (12 mm)のボール配置.....	51
パラレル・ペリフェラル・インターフェース.....	10	297 ボール PBGAのボール配置.....	56
ダイナミック・パワー・マネジメント.....	11	外形寸法.....	61
電圧レギュレーション.....	12	表面実装デザイン.....	63
クロック信号.....	13	車載製品.....	63
ブーティング・モード.....	14	オーダー・ガイド.....	63
命令セットの説明.....	14		
開発ツール.....	15		

改訂履歴

2/09—Changes from Rev. C to Rev. D

Correct all outstanding document errata.

Revised SPI master and slave specifications 35

Added Automotive Products 63

概要

ADSP-BF561 プロセッサは、多様なマルチメディア、工業、通信アプリケーションを対象とするBlackfin[®]ファミリ製品の高性能なデバイスです。このデバイスの中心として、2個の独立なBlackfinコアがあります。これらBlackfinコアは、2系統のMACを内蔵する最新の信号処理エンジンと、直交性の優れたRISCライクなマイクロプロセッサ命令セットの利点と、SIMD (Single Instruction, Multiple Data) マルチメディア機能とをシングル命令セット・アーキテクチャに統合したものです。

ADSP-BF561 プロセッサは328K バイトのメモリを内蔵しています。各Blackfin コアは次を内蔵:

- ・ 16K バイトの命令 SRAM/キャッシュ
- ・ 16K バイトの命令 SRAM
- ・ 32K バイトのデータ SRAM/キャッシュ
- ・ 32K バイトのデータ SRAM
- ・ 4K バイトのスクラッチパッド SRAM

その他の内蔵メモリ・ペリフェラルは次を内蔵しています:

- ・ 128K バイトのロー・レイテンシ L2 SRAM
- ・ 4チャンネルの内部メモリ DMA コントローラ
- ・ SDRAM、モバイル SDRAM、SRAM、フラッシュに対するグルーレス・サポート機能を持つ外部メモリ・コントローラ

ポータブルな低消費電力アーキテクチャ

Blackfinプロセッサは、ワールド・クラスのパワー・マネジメントと性能を提供します。Blackfinプロセッサは低消費電力および低電圧デザイン手法を使って設計されており、動作電圧と動作周波数を変更できるダイナミック・パワー・マネジメント機能を持っているため、全体の消費電力を大幅に削減することができます。電圧と周波数を変えると、動作周波数だけを変える場合に比較して大幅な消費電力削減が可能になります。このため、ポータブル・アプリケーションでバッテリー寿命を延ばすことができます。

Blackfinプロセッサ・コア

図2に示すように、各Blackfin コアは、2個の乗算/アキュムレータ(MAC)、2個の40ビットALU、4個のビデオALU、1個のシフタを内蔵しています。この演算ユニットは、レジスタ・ファイルにある8ビット、16ビット、または32ビットのデータを処理します。各MACは、各サイクルで16ビット×16ビットの乗算を実行して、演算結果を40ビットのアキュムレータに累算し、8ビットの精度拡張を提供します。ALUは、標準的な算術演算および論理演算のセットを実行します。16ビットまたは32ビットのデータに対する演算が可能なALUが2個使用可能なため、演算ユニットには柔軟性があり、多様なアプリケーションでの信号処理要求を満たすことができます。

2個の32ビット入力レジスタの各々は、2個の16ビット・レジスタと見ることができ、各ALUは非常に柔軟に1つの16ビット算術演算を行うことができます。レジスタを1対の16ビット・オペランドと見なすことにより、デュアル16ビット動作またはシングル32ビット動作をシングル・サイクルで実現することができます。2つ目のALUを利用すると、4つの16ビット演算を簡単に行うことができるため、サイクル当たりのスループットが向上します。

強力な40ビット・シフタは、データのシフト、ローテート、正規化、抽出、デボジットを行う広範囲な機能を持っています。演算ユニットに対するデータは、16ビット×16エンタリまたは32ビット×8エンタリのマルチポート・レジスタ・ファイルに格納されています。

強力なプログラム・シーケンサは、命令のアライメントやデコーディングなどの命令実行フローを制御します。このシーケンサは、条件付きジャンプと条件付きサブルーチン呼び出しやゼロ・オーバーヘッド・ループをサポートしています。ループ・バッファは命令をローカルに保持するため、小規模なループ・コードに対する命令フェッチがなくなります。

2系統のデータ・アドレス・ジェネレータ(DAG)が2個のアドレスを提供するため、メモリからの2つのオペランドの同時フェッチが可能で、各DAGは、32ビットのインデックス・レジスタ、モデファイ・レジスタ、レンジ・レジスタ、ベース・レジスタを含むレジスタ・ファイルを共有します。さらに8個の32ビット・レジスタが、変数ロケーションとスタック・ロケーションに対する一般的なインデックスを行うためのポインタを提供します。

Blackfinプロセッサは、改良型ハーバード・アーキテクチャと階層的メモリ構造の組み合わせをサポートしています。レベル1 (L1) メモリは、少しあるいは全くレイテンシがない最高プロセッサ速度で動作するメモリです。オンチップまたはオフチップのレベル2 (L2) メモリは、アクセスに複数のプロセッサ・サイクルを要するメモリです。L1レベルでは、命令メモリは命令のみを保持します。2つのデータ・メモリはデータを保持し、専用のスクラッチパッド・データ・メモリはスタック情報とローカル変数情報を格納します。L2レベルには、命令とデータを保持する1つの連続したメモリ空間が用意されています。

さらに、L1命令メモリとL1データ・メモリは、スタティックRAM (SRAM) またはキャッシュとして設定することができます。メモリ・マネジメント・ユニット(MMU)は、コア上で動作可能な個々のタスクに対してメモリ保護機能を提供し、意図しないアクセスからシステム・レジスタを保護します。

このアーキテクチャでは、ユーザ・モード、スーパーバイザ・モード、エミュレーション・モードの3種類の動作モードを提供しています。ユーザ・モードでは、ある種のシステム・リソースに対するアクセスを制限しているため、保護されたソフトウェア環境を提供しています。スーパーバイザ・モードでは、システム・リソースとコア・リソースに対するアクセス制限はありません。

Blackfin 命令セットは、16ビット・オペコードが最も頻繁に使用される命令に割り当てられており、優れたコンパイル済みコード密度になるように最適化されています。複雑なDSP命令は32ビット・オペコードにエンコードされて、フル機能のマルチファンクション・命令となっています。Blackfinプロセッサでは制限された並列発行機能をサポートしています。すなわち、2つの16ビット命令と並列に、32ビット命令を発行することができるため、多くのコア・リソースを1命令サイクルで使用することができます。

Blackfinのアセンブリ言語では、代数的構文を採用しているためコードの読み書きが容易です。このアーキテクチャは VisualDSP C/C++コンパイラに対して最適化されているため、高速かつ効率良いソフトウェアを作成することができます。

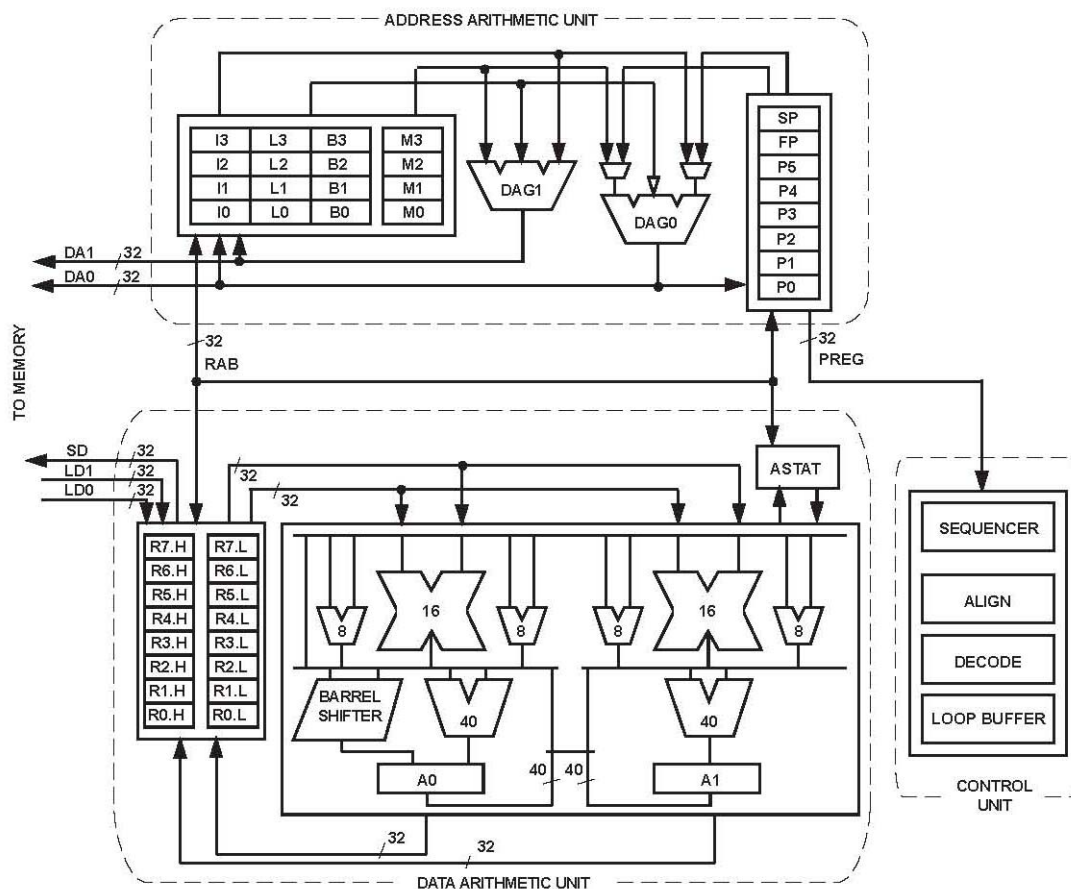


図2 Blackfinプロセッサ・コア

メモリ・アーキテクチャ

ADSP-BF561は、メモリを32ビット・アドレスの1つの連続した4Gバイトのアドレス空間として見ます。内部メモリ、外部メモリ、I/Oコントロール・レジスタなどのすべてのリソースは、この共通アドレス空間の一部を占有します。このアドレス空間のメモリ部分は階層的に構成されているため、プロセッサに非常に近いキャッシュまたはSRAMとしての非常に高速で低レイテンシのオンチップ・メモリと、プロセッサから遠い大容量で低価格かつ低速のメモリ・システムとの間で優れたコスト/パフォーマンスの均衡を提供します。ADSP-BF561 メモリ・マップを図3に示します。

各コアのL1メモリ・システムは、各Blackfin コアで使用可能な最高性能のプライマリ・メモリです。L2メモリは、やや低速の追加領域を提供します。また、外部バス・インターフェース・ユニット (EBIU) を介してアクセスするオフチップ・メモリ・システムは、SDRAM、フラッシュ・メモリ、SRAMの拡張を提供し、768Mバイトを超える物理メモリをアクセスすることができます。メモリDMAコントローラは、広帯域のデータ転送機能を提供します。内部L1/L2メモリ空間と外部メモリ空間との間のコードまたはデータのブロック転送を実行することができます。

内部(オンチップ)メモリ

ADSP-BF561は4つのブロックのオンチップ・メモリを持っており、コアに対する広帯域なアクセスを提供します。1つ目は各Blackfinコアの L1命令メモリであり、16Kバイトの4ウェイ・セット・アソシアティブ・キャッシュ・メモリと16KバイトのSRAMで構成されています。キャッシュ・メモリもSRAMとして構成することができます。このメモリは最高プロセッサ速度でアクセスすることができます。SRAMとして構成すると、2個の各16K バンクのメモリは4Kのサブ・バンクに分割され、プロセッサとDMAからこれらを独立にアクセスすることができます。

2つ目のオンチップ・メモリ・ブロックは各BlackfinコアのL1データ・メモリであり、各々16Kバイトの4つのバンクで構成されています。2個のL1データ・メモリ・バンクは、2ウェイ・セット・アソシアティブ・キャッシュの1ウェイとして、またはSRAMとして構成することができます。その他の2バンクはSRAMとして構成されます。すべてのバンクは、フル・プロセッサ速度でアクセスされます。SRAMとして構成すると、4個の各16K バンクのメモリは4Kのサブ・バンクに分割され、プロセッサとDMAからこれらを独立にアクセスすることができます。

各コアに対応する3つ目のメモリ・ブロックは4KバイトのスクラッチパッドSRAMであり、L1メモリと同じ速度で動作しますが、データSRAMとしてのみアクセス可能で、キャッシュ・メモリとして設定することはできません。またDMAからアクセスできません。

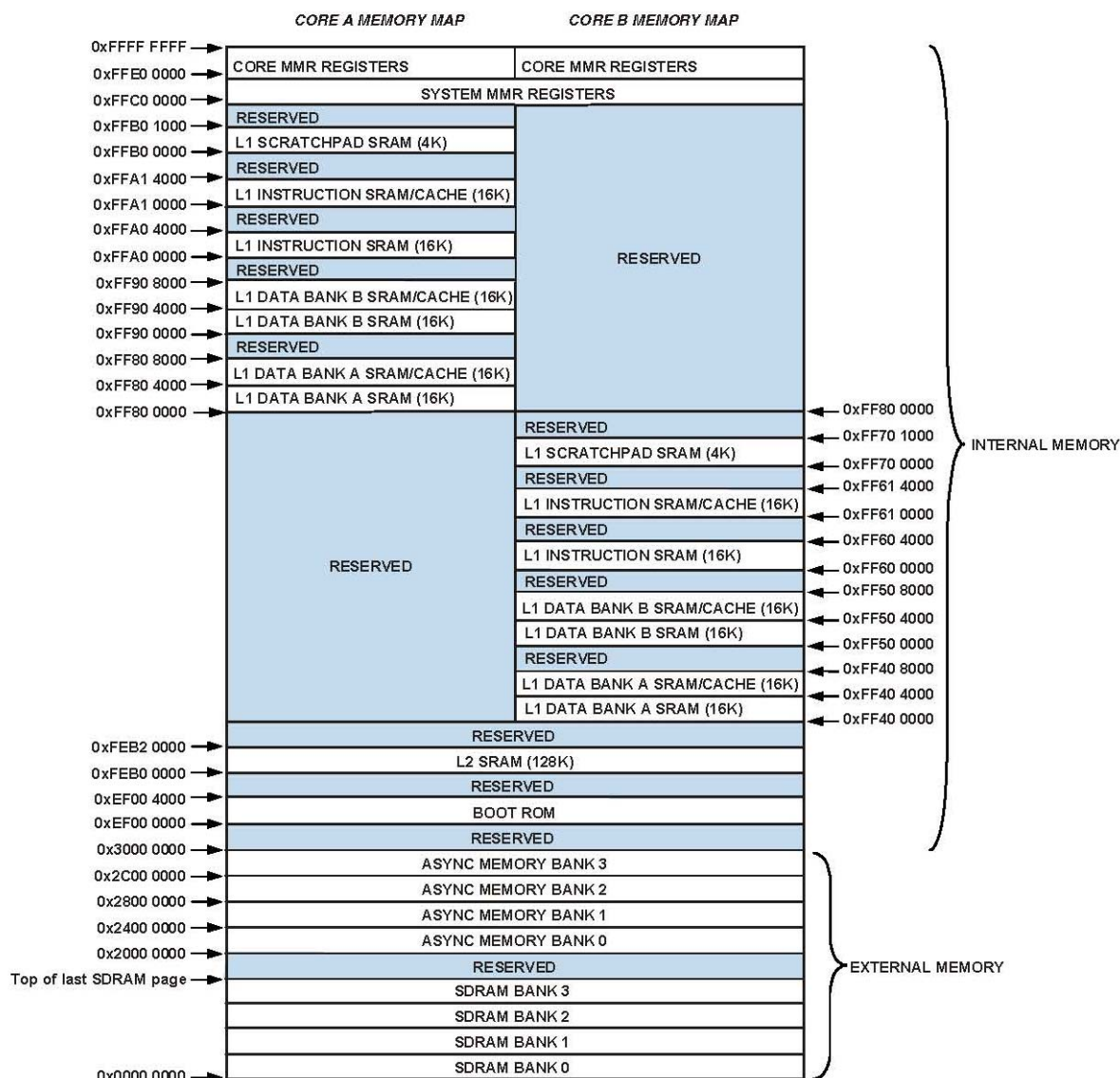


図3 メモリ・マップ

4つ目のオンチップ・メモリ・システムは、L2 SRAMメモリ・アレイであり、コア周波数の1/2で動作する128Kバイトの高速SRAMを提供し、L1メモリ・バンクより少し長いレイテンシを持ちます。L2メモリは、命令およびデータの共用のメモリであり、システム・デザインで要求されるコードおよびデータが混在できます。各Blackfinコアは、L2 SRAMメモリに対するレイテンシの小さい専用の64ビット幅のデータパス・ポートを共有します。

各Blackfin コア・プロセッサは、自身のコア・メモリ・マップド・レジスタ (MMR) のセットを持っていますが、同じシステム MMR レジスタと128K バイトのL2 SRAMメモリを共有しています。

外部(オフチップ)メモリ

ADSPBF561 の外部メモリは、外部バス・インターフェース・ユニット (EBIU) を介してアクセスします。このインターフェースは、最大4バンクのシンクロナスDRAM (SDRAM)、およびフラッシュ、EPROM、ROM、SRAM、メモリ・マップドI/Oデバイスなどの最大4バンクの非同期メモリ・デバイスに対して外付け部品不要な接続を提供します。

PC133準拠のSDRAM コントローラは、最大4バンクのSDRAMとインターフェースするように設定でき、各々のバンクは16M~128M バイトで、最大512MバイトのSDRAMに対するアクセスを提供します。各バンクは独立に設定可能で、各バンクのサイズまたは配置に無関係に隣接バンクと連続しています。このため柔軟な設定とシステム・メモリのアップグレードが可能で、コアから見るとすべてのSDRAMが1つの連続した物理アドレス空間になります。

非同期メモリ・コントローラは、非常に柔軟なタイミング・パラメータを持つ最大4バンクのデバイスを制御するように設定することができ、広範囲なデバイスをサポートすることができます。各バンクは使用するデバイスのサイズに無関係に64Mバイト・セグメントを占有します。したがって、各々に64Mバイトのメモリが実装された場合にのみ、これらのバンクが連続になります。

I/Oメモリ空間

Blackfinプロセッサには、I/O空間は別に存在しません。すべてのリソースが均一な32ビット・アドレス空間にマップされます。オンチップI/Oデバイスには固有のコントロール・レジスタがあり、4Gバイト・アドレス空間の最上位近くのアドレスにあるメモリ・マップド・レジスタ (MMR)

にマップされています。これらは2つの小さなブロックに分けられます。一方にはすべてのコア機能に対するコントロールMMRが、他方にはコアの外側にあるオンチップ・ペリフェラルの設定と制御に必要なレジスタが、それぞれ配置されています。このコアMMRはコアからスーパーバイザ・モードでのみアクセス可能で、内蔵ペリフェラルに対しては予約済み空間として扱われます。システム MMR は、スーパーバイザ・モードでのみコアからアクセス可能で、必要とされるシステム保護モデルに応じて、その他のデバイスに対してはビジブルまたは予約済みとしてマップすることができます。

ブート

ADSP-BF561には小さいブート・カーネルがあり、ブートに使用するペリフェラルを設定します。ADSP-BF561 が ROMメモリ空間からブートするように設定された場合、プロセッサはオンチップ・ブートROMから実行を開始します。

イベント処理

ADSP-BF561のイベント・コントローラは、プロセッサに対するすべての非同期イベントおよび同期イベントを処理します。ADSP-BF561は、ネスティングと優先順位付けをサポートするイベント処理を提供します。ネスティング機能を使うと、複数のイベント・サービス・ルーチンを同時に起動することができます。優先順位付け機能により、高い優先順位のイベントが低い優先順位のイベントより先にサービスされることが保証されます。このコントローラは、次の5種類のタイプのイベントをサポートします。

- ・ エミュレーション—エミュレーション・イベントが発生すると、プロセッサはエミュレーション・モードになり、プロセッサのコマンドと制御が JTAG インターフェースを経由するようになります。
- ・ リセット—このイベントが発生すると、プロセッサがリセットされます。
- ・ マスク不能割り込み(NMI)—ソフトウェア・ウォッチドッグ・タイマまたはプロセッサに対する NMI 入力信号により、NMI イベントが発生されます。NMI イベントはパワーダウン・インジケータとして頻繁に使用され、システムのシャットダウン手順を起動します。
- ・ 例外—プログラム・フローに同期して発生するイベント(すなわち、命令が完了する前に例外が処理されます)。データ・アライメント違反や未定義命令のような条件で例外が発生します。
- ・ 割り込み—プログラム・フローに対して非同期に発生するイベント。タイマ、ペリフェラル、入力ピン、特定のソフトウェア命令などから発生します。

各イベント・タイプはリターン・アドレスを保持するレジスタと対応する"return from event"命令を持っています。イベントが発生すると、プロセッサの状態はスーパーバイザ・スタックに待避させられます。

ADSP-BF561 イベント・コントローラは、コア・イベント・コントローラ(CEC)とシステム割り込みコントローラ(SIC)の2ステージから構成されています。コア・イベント・コントローラはシステム割り込みコントローラと一緒に動作して、全システム・イベントの優先付けと制御を行います。概念的には、ペリフェラルからの割り込みがSICに入力されて、CECの汎用割り込みに直接接続されます。

コア・イベント・コントローラ(CEC)

CECは、専用割り込みと例外イベントの他に9個の汎用割り込み(IVG15~7)をサポートしています。これらの汎用割り込みの内、低優先順位の割り込み(IVG15~14)はソフトウェア割り込みハンドラ用に、残りの7つの優先順位の割り込み入力(ADSP-BF561のペリフェラルのサポートに、それぞれ使用することが推奨されます。表1に、CECに対する入力、イベント・ベクター・テーブル(EVT)内の識別名、それぞれの優先順位を示します。

表1 コア・イベント・コントローラ(CEC)

Priority (0 is Highest)	Event Class	EVT Entry
0	Emulation/Test Control	EMU
1	Reset	RST
2	Nonmaskable Interrupt	NMI
3	Exceptions	EVX
4	Global Enable	
5	Hardware Error	IVHW
6	Core Timer	IVTMR
7	General Interrupt 7	IVG7
8	General Interrupt 8	IVG8
9	General Interrupt 9	IVG9
10	General Interrupt 10	IVG10
11	General Interrupt 11	IVG11
12	General Interrupt 12	IVG12
13	General Interrupt 13	IVG13
14	General Interrupt 14	IVG14
15	General Interrupt 15	IVG15

システム割り込みコントローラ(SIC)

システム割り込みコントローラは、多くのペリフェラル割り込み源から発生するイベントと優先順位付けされたCECの汎用割り込み入力との間の対応と接続を提供します。ADSP-BF561はデフォルトの対応を提供しますが、ユーザーは割り込み割り当てレジスタ(SIC_IAR7-0)に該当する値を書き込むことにより、割り込みイベントの対応と優先順位を変更することができます。表2に、SICに対する入力とCECに対するデフォルトの対応を示します。

表2 システム割り込みコントローラ (SIC)

Peripheral Interrupt Event	Default Mapping
PLL Wakeup	IVG7
DMA1 Error (Generic)	IVG7
DMA2 Error (Generic)	IVG7
IMDMA Error	IVG7
PPIO Error	IVG7
PPI1 Error	IVG7
SPORT0 Error	IVG7
SPORT1 Error	IVG7
SPI Error	IVG7
UART Error	IVG7
Reserved	IVG7
DMA1 Channel 0 Interrupt (PPIO)	IVG8
DMA1 Channel 1 Interrupt (PPI1)	IVG8
DMA1 Channel 2 Interrupt	IVG8
DMA1 Channel 3 Interrupt	IVG8
DMA1 Channel 4 Interrupt	IVG8
DMA1 Channel 5 Interrupt	IVG8
DMA1 Channel 6 Interrupt	IVG8
DMA1 Channel 7 Interrupt	IVG8
DMA1 Channel 8 Interrupt	IVG8
DMA1 Channel 9 Interrupt	IVG8
DMA1 Channel 10 Interrupt	IVG8
DMA1 Channel 11 Interrupt	IVG8
DMA2 Channel 0 Interrupt (SPORT0 Rx)	IVG9
DMA2 Channel 1 Interrupt (SPORT0 Tx)	IVG9
DMA2 Channel 2 Interrupt (SPORT1 Rx)	IVG9
DMA2 Channel 3 Interrupt (SPORT1 Tx)	IVG9
DMA2 Channel 4 Interrupt (SPI)	IVG9
DMA2 Channel 5 Interrupt (UART Rx)	IVG9
DMA2 Channel 6 Interrupt (UART Tx)	IVG9
DMA2 Channel 7 Interrupt	IVG9
DMA2 Channel 8 Interrupt	IVG9
DMA2 Channel 9 Interrupt	IVG9
DMA2 Channel 10 Interrupt	IVG9
DMA2 Channel 11 Interrupt	IVG9
Timer0 Interrupt	IVG10
Timer1 Interrupt	IVG10
Timer2 Interrupt	IVG10
Timer3 Interrupt	IVG10
Timer4 Interrupt	IVG10
Timer5 Interrupt	IVG10
Timer6 Interrupt	IVG10

表2 システム割り込みコントローラ (SIC)(続き)

Peripheral Interrupt Event	Default Mapping
Timer7 Interrupt	IVG10
Timer8 Interrupt	IVG10
Timer9 Interrupt	IVG10
Timer10 Interrupt	IVG10
Timer11 Interrupt	IVG10
Programmable Flags 15–0 Interrupt A	IVG11
Programmable Flags 15–0 Interrupt B	IVG11
Programmable Flags 31–16 Interrupt A	IVG11
Programmable Flags 31–16 Interrupt B	IVG11
Programmable Flags 47–32 Interrupt A	IVG11
Programmable Flags 47–32 Interrupt B	IVG11
DMA1 Channel 12/13 Interrupt (Memory DMA/Stream 0)	IVG8
DMA1 Channel 14/15 Interrupt (Memory DMA/Stream 1)	IVG8
DMA2 Channel 12/13 Interrupt (Memory DMA/Stream 0)	IVG9
DMA2 Channel 14/15 Interrupt (Memory DMA/Stream 1)	IVG9
IMDMA Stream 0 Interrupt	IVG12
IMDMA Stream 1 Interrupt	IVG12
Watchdog Timer Interrupt	IVG13
Reserved	IVG7
Reserved	IVG7
Supplemental Interrupt 0	IVG7
Supplemental Interrupt 1	IVG7

イベント制御

ADSP-BF561はイベントの処理を制御する非常に柔軟なメカニズムを提供します。CECでは、3個のレジスタを使って、イベントの制御を行います。次の各レジスタは32ビット幅ですが、各ビットは特定のイベント・クラスを表します。

- ・ CEC 割り込みラッチ・レジスタ(ILAT)—ILAT レジスタはイベントがラッチされたタイミングを表示します。プロセッサがイベントをラッチしたとき、該当するビットがセットされ、イベントがシステムに受理されたとき、クリアされます。このレジスタはコントローラから自動的に更新されますが、ラッチ・イベントをクリア(キャンセル)するときにも書き込みが可能です。このレジスタはスーパーバイザ・モードで読みだし可能で、対応する IMASK ビットがクリアされているときにのみ、スーパーバイザ・モードで書き込み可能です。
- ・ CEC 割り込みマスク・レジスタ(IMASK)—IMASK レジスタは各イベントのマスク/アンマスクを制御します。IMASK レジスタ内でビットがセットされると、イベントがアンマスクされて、アサートされたときに CEC が処理します。IMASK レジスタ内のビットがクリアされると、イベントがマスクされて、ILAT レジスタにイベントがラッチされても、プロセッサによるサービスが禁止されます。このレジスタはス

ーパーバイザ・モードで読み書きが可能です。

汎用割り込みは、STI命令とCLI命令を使って、それぞれグローバルにイネーブルおよびディスエーブルすることができることに注意してください。

- CEC 割り込みペンディング・レジスタ(IPEND)—IPEND レジスタはネストされたすべてのイベントを記録します。IPEND レジスタ内でビットがセットされると、イベントがアクティブであること、またはあるレベルでネストされていることを表します。このレジスタはコントローラから自動的に更新されますが、スーパーバイザ・モードでのみ読み出し可能です。

SICは6個の32ビットの割り込みコントロールおよびステータス・レジスタを提供することにより、さらに詳細なイベント処理制御を可能にします。各レジスタには、表2に示す各ペリフェラル割り込みイベントに対応するビットが配置されています。

- SIC 割り込みマスク・レジスタ(SIC IMASKx)—これらのレジスタは、各ペリフェラル割り込みイベントのマスク/アンマスクを制御します。これらのレジスタ内でビットがセットされると、対応するペリフェラル・イベントがアンマスクされて、イベントのアサート時にシステムが処理します。これらのレジスタ内でビットがクリアされると、対応するペリフェラル・イベントがマスクされて、プロセッサによるイベントのサービスが禁止されます。
- SIC 割り込みステータス・レジスタ(SIC ISRx)—複数のペリフェラルを1つのイベントに対応させることができるため、ソフトウェアはこれらのレジスタを使って、割り込みを発生したペリフェラル・イベント・ソースを探します。ビットがセットされているとき、該当するペリフェラルが割り込み発生中であることを表し、ビットがクリアされているとき、ペリフェラルはイベントを発生していないことを表します。
- SIC 割り込みウェイクアップ・イネーブル・レジスタ(SIC IWRx)—これらのレジスタの対応するビットをイネーブルすると、該当するペリフェラルがプロセッサをウェイクアップするペリフェラルに設定されます。イベントが発生すると、プロセッサはアイドル状態またはスリープモードからウェイクアップします。

複数の割り込み要因を1つの汎用割り込みに対応させることができるため、この割り込み入力検出された割り込みイベントを処理する前または処理中に、さらに複数のパルスが同時にアサートされることがあります。SICは割り込みアクノリッジとして、IPENDレジスタ値を監視します。

割り込みの立ち上がりエッジが検出されると(検出にはコア・クロックで2サイクル必要)、ILATレジスタの該当するビットがセットされます。IPENDレジスタのビットがセットされると、該当するビットがクリアされます。IPENDビットは、イベントがプロセッサのパイプラインに入力されたことを表示します。この時点で、CECは対応するイベント入力上の、次の立ち上がりエッジ・イベントを認識し、キューに接続します。汎用割り込みの立ち上がりエッジ変化からIPEND出力のアサートまでの最小レイテンシは、コア・クロックで3サイクルですが、内部動作とプロセッサのモードに応じて、レイテンシはこれより長くなる場合があります。

DMAコントローラ

ADSP-BF561は独立した複数のDMAコントローラを内蔵しており、自動データ転送をサポートしてDSPコアのオーバーヘッドを少なくします。DMA転送は、ADSP-BF561の内部メモリとDMA機能を持つペリフェラルとの間で可能です。さらに、DMA転送は任意のDMA機能を持つペリ

フェラルと外部メモリ・インターフェースに接続された外部デバイス(SDRAMコントローラや非同期メモリ・コントローラなど)の間でも可能です。DMA機能を持つペリフェラルとしては、SPORT、SPIポート、UART、PPIなどがあります。DMA機能を持つ各ペリフェラルは少なくとも1つの専用DMAチャンネルを持っています。

ADSP-BF561のDMAコントローラは、1次元(1D)と2次元(2D)のDMA転送をサポートしています。DMA転送の初期化は、レジスタまたはディスクリプタ・ブロックと呼ばれるパラメータのセットを使って行います。

2D DMA機能は、最大64Kエレメント×64Kエレメントまでの任意の行および列サイズをサポートし、さらに最大±32Kエレメントまでの任意の行および列ステップ・サイズをサポートしています。また、行ステップ・サイズより小さい列ステップ・サイズを許容するため、インターリーブされたデータ・ストリームが可能です。この機能は、特に、即座にデータのインターリーブ解除が必要とされるビデオ・アプリケーションで役立ちます。

ADSP-BF561 DMAコントローラがサポートするDMAタイプの例を次に示します。

- 完了時に停止するシングル・リニア・バッファ
- バッファがフルまたは部分的フル毎に割り込みを発生する自己リフレッシュ循環バッファ
- ディスクリプタのリンク・リストを使用する 1D または 2D の DMA
- 共通ページ内のベース DMA アドレスのみを指定する、ディスクリプタアレイを使用する 2D DMA

専用ペリフェラルDMAチャンネルの他に、各DMAコントローラには4つのメモリDMAチャンネルがあり、ADSP-BF561システムの種々のメモリ間の転送に使用されます。これらの機能を使うと、最小のプロセッサ介入で、任意のメモリ(外部SDRAM、ROM、SRAM、フラッシュ・メモリなど)間でのデータ・ブロックの転送が可能になります。メモリDMA転送は、非常に柔軟なディスクリプタ・ベースの方法、または標準的なレジスタ・ベースの自動バッファ・メカニズムを使って制御することができます。

さらに、ADSP-BF561は4チャンネルの内部メモリ DMA (IMDMA) コントローラを持っています。IMDMA コントローラは、任意の内部 L1メモリと内部 L2メモリとの間でデータ転送を可能にします。

ウォッチドッグ・タイマ

各ADSP-BF561は32ビット・タイマを内蔵しています。このタイマはソフトウェア・ウォッチドッグ機能を構成するときに使うことができます。ソフトウェア・ウォッチドッグがソフトウェアからリセットされる前にタイマがタイムアウトすると、ハードウェア・リセット、マスク不能割り込み(NMI)、または汎用割り込みが発生して、プロセッサを強制的に既知状態に設定します。このためシステムの可用性を向上させることができます。プログラマがタイマのカウント値を初期化し、該当する割り込みをイネーブルして、タイマをイネーブルします。その後、カウントが設定値からゼロに到達する前に、ソフトウェアからカウンタを再設定するようにします。外部ノイズまたはソフトウェア・エラー起因してこのソフトウェアが停止すると、タイマをリセットすることができなくなるので、システムが未知の状態に留まってしまうことを防止します。

リセットの後、ソフトウェアはタイマ・コントロール・レジスタのステータス・ビットを調べることにより、ハードウェア・リセットの原因はウォッチドッグであったか否かを知ることができます。

このタイマは、最大周波数 f_{SCLK} のシステム・クロック(SCLK)によりクロック駆動されます。

タイマ

ADSP-BF561には、14個のプログラマブル・タイマ・ユニットがあります。

12個の各汎用タイマ・ユニットは、PWM、内部または外部からクロック駆動されるタイマ、またはパルス幅カウンタとして、独立に設定することができます。汎用タイマ・ユニットをUARTと組み合わせて使用し、データ・ストリーム内のパルス幅を計測して、シリアル・チャンネルの自動ポーレート検出機能を実現することができます。汎用タイマはプロセッサ・コアに対して割り込みを発生して、プロセッサ・クロックまたは外部信号のカウントに対する同期用の周期イベントを提供することができます。

12個の汎用プログラマブル・タイマの他に、各コアにもう1個のタイマも用意されています。これらの追加タイマは内部プロセッサ・クロック(CCLK)から駆動され、オペレーティング・システムの周期割り込みの発生に使用されるシステム・ティック・クロックとして使用されます。

シリアル・ポート(SPORT)

ADSP-BF561は、シリアル通信とマルチプロセッサ通信用に2個のデュアル・チャンネル同期シリアル・ポート(SPORT0とSPORT1)を内蔵しています。SPORTは次の機能をサポートしています。

- ・ I²S動作
- ・ 双方向動作—各SPORTは2組の独立した送信ピンと受信ピンを持っているため、8チャンネルのI²Sステレオ・オーディオが可能です。
- ・ バッファ付き(深さ8)送信および受信ポート—各ポートは他のDSPデバイスに対するデータ・ワードの入出力用にデータ・レジスタを内蔵し、データ・レジスタに対してデータをシフト入出力するシフトレジスタを内蔵しています。
- ・ クロック—各送信および受信ポートは周波数範囲($f_{SCLK}/131, 070$) Hz~($f_{SCLK}/2$) Hzの外部シリアル・クロックまたは内部クロックを使用することができます。
- ・ ワード長—各SPORTは3~32ビット長のシリアル・データ・ワードをサポートし、MSBファーストまたはLSBファーストで転送されます。
- ・ フレーミング—各送信および受信ポートは、各データ・ワードに対するフレーム同期信号有りまたは無しで動作することができます。フレーム同期信号は内部または外部で発生することができます、アクティブ・ハイまたはロー、さらに2パルス幅分の進みまたは遅れフレーム同期が可能です。
- ・ ハードウェアによる圧伸—各SPORTはITU勧告G. 711に準拠するA則または μ 則の圧伸を実行することができます。圧伸はSPORTの送信チャンネルおよび/または受信チャンネルに対して選択でき、レイテンシの増加はありません。
- ・ シングル・サイクル・オーバーヘッドのDMA動作—各SPORTはメモリ・データの複数のバッファを自動的に受信および送信することができます。DSPは、SPORTとメモリの間のDMA転送シーケンスをリンクまたはチェーニングすることができます。
- ・ 割り込み—各送信および受信ポートは、データ・ワードの転送完了またはデータ・バッファ全体または複数のバッファをDMAを使って転送した後に割り込みを発生します。
- ・ マルチチャンネル機能—各SPORTは1,024のチャンネル・ウィンドウの中から128のチャンネルをサポートし、H.100、H.110、MVIP90、HMVIPの各標準と互換性を持っています。

PLL_CTLレジスタのビット15をセットすると、250 mVのSPORT入力ヒステリシスの追加をイネーブルすることができます。このビットをセットすると、すべてのSPORT入力ピンのヒステリシスが増えます。

シリアル・ペリフェラル・インターフェース(SPI)ポート

ADSP-BF561プロセッサは、プロセッサが複数のSPI互換デバイスと通信できるようにするSPI互換ポートを内蔵しています。

SPIインターフェースは、2本のデータ・ピン(マスター出力スレーブ入力MOSIとマスター入力スレーブ出力MISO)とクロック・ピン(シリアル・クロックSCK)の合計3本のピンを使ってデータを転送します。SPIチップ・セレクト入力ピン(SPISS)を使うと、他のSPIデバイスからこのプロセッサを選択することができます。7本のSPIチップ・セレクト出力ピン(SPISEL7~1)を使うと、このプロセッサから他のSPIデバイスを選択することができます。SPIセレクト・ピンはGPIOピンに設定できます。これらのピンを使って、SPIポートはマスター/スレーブ・モードとマルチマスター環境をサポートする全二重同期シリアル・インターフェースを提供します。

SPIポートのポーレートとクロック位相/極性はプログラマブルであり、データ・ストリームの送信または受信をサポートするように設定可能なDMAコントローラを内蔵しています。SPIのDMAコントローラは、同時に単方向アクセスしかサービスできません。

SPIポート・クロック・レートは次のように計算されます。

$$SPI \text{ Clock Rate} = \frac{f_{SCLK}}{2 \times SPI_BAUD}$$

ここで、16ビットSPI_BAUDレジスタの値は2~65,535です。転送時、SPIポートは2本のシリアル・データ・ライン上でデータをシリアルにシフトして送信と受信を同時に行います。シリアル・クロック・ラインは、2本のシリアル・データ・ライン上のデータのシフトとサンプリングを同期化します。

UARTポート

ADSP-BF561プロセッサは、PC標準UARTと互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを内蔵しています。このUARTポートは他のペリフェラルまたはホストに対するシンプルなUARTインターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。このUARTポートは、5~8ビットのデータ・ビット、1ビットまたは2ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。UARTポートは次の2つの動作モードをサポートしています。

- ・ PIO (プログラムドI/O)—プロセッサはI/OマップドUARTレジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- ・ DMA (ダイレクト・メモリ・アクセス)—DMAコントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要とされる割り込みの回数と頻度を減らします。UARTは、送信と受信に対して各1個の専用DMAチャンネルを持っています。これらのDMAチャンネルはサービス・レートが相対的に低いため、大部分のDMAチャンネルより低いデフォルト優先順位を持っています。

UARTポートのポーレート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割り込みはプログラマブルです。

UARTのプログラマブルな機能には次が含まれます。

- ・ 毎秒($f_{SCLK}/1,048,576$)～($f_{SCLK}/16$)ビットの範囲のビット・レートをサポート
- ・ 1フレーム当たり7～12ビットのデータ・フォーマットをサポート
- ・ 送信動作と受信動作でプロセッサに対するマスク可能な割り込みを発生するように設定可能

UARTポート・クロック・レートは次のように計算されます。

$$\text{UART Clock Rate} = \frac{f_{SCLK}}{16 \times \text{UART_Divisor}}$$

ここで、16ビットUART_Divisorは、UART_DLHレジスタ(上位8ビット)とUART_DLLレジスタ(下位8ビット)から取得します。

汎用タイマの機能との組み合わせにより、自動ポー・レート検出機能をサポートします。

UARTの機能は、Infrared Data Association (IrDA[®])のシリアル赤外線物理層リンク仕様(SIR)プロトコルに対するサポートによりさらに拡張されます。

プログラマブルフラグ(PFx)

ADSP-BF561は、48本の双方向汎用I/Oプログラマブルフラグ(PF47～0)ピンを持っています。幾つかのプログラマブルフラグ・ピンはペリフェラルから使用されます(ピン説明参照)。ペリフェラル・ピンとして使用されない場合は、各プログラマブルフラグは、次のようにフラグ・コントロール・レジスタ、ステータス・レジスタ、割り込みレジスタを操作することにより、個別に制御することができます。

- ・ フラグ・ディレクション・コントロール・レジスタ—各PFxピンの方向(入力または出力)を指定します。
- ・ フラグ・コントロール・レジスタおよびステータス・レジスタ—ソフトウェアにread-modify-write処理を使用させて、個々のフラグの設定を制御するのではなく、ADSP-BF561では、"write one to set"と"write one to clear"方式を採用しています。この方式では、フラグの任意の組み合わせを1回の命令で変更し、かつ変更しないフラグのレベルに影響を与えないようにすることができます。コントロール・レジスタは2個用意されており、一方のレジスタはフラグ値をセットするときに書込み、他方のレジスタはフラグ値をクリアするときに書込みます。フラグ・ステータス・レジスタを読み出すと、ソフトウェアはフラグの状態を調べることができます。
- ・ フラグ割り込みマスク・レジスタ—これらのレジスタにより、各PFxピンがプロセッサへの割り込みとして機能するように設定することができます。各フラグ値のセットおよびクリアに使うフラグ・コントロール・レジスタと同様に、一方のフラグ割り込みマスク・レジスタはビットをセットして割り込み機能をイネーブルし、他方の割り込みマスク・レジスタはビットをクリアして割り込み機能をディスエーブルします。入力として定義されたPFxピンはハードウェア割り込みを発生するように設定することができ、出力PFxピンはソフトウェア割り込みを発生するように設定することができます。

- ・ フラグ割り込み検出レジスタ—これらのレジスタは、各PFxピンをレベル検出にするかまたはエッジ検出にするかを指定します。さらに、立ち下がり検出を指定した場合、信号の単に立ち上がりエッジだけを検出するか、あるいは立ち上がりと立ち下がりの両エッジを検出するかも指定します。一方のレジスタは検出タイプを指定し、他方のレジスタはエッジ検出で有効とするエッジを指定します。

パラレル・ペリフェラル・インターフェース

ADSP-BF561プロセッサは、パラレルA/DおよびD/Aコンバータ、ビデオ・エンコーダおよびデコーダ、その他の汎用ペリフェラルに直接接続できるようにする2個のパラレル・ペリフェラル・インターフェース(PPIOとPPI1)を内蔵しています。このPPIは、専用の入力クロック・ピン、最大3本までのフレーム同期ピン、最大16本までのデータ・ピンから構成されます。入力クロックは最大 $f_{SCLK}/2$ MHzのパラレル・データ・レートをサポートし、同期信号は入力または出力に設定することができます。

PPIはさまざまな汎用動作モードとITU-R 656動作モードをサポートしています。汎用モードでは、PPIは最大16ビットのデータに対する全二重双方向データ転送を提供します。最大3フレームの同期信号もサポートします。ITU-R 656モードでは、PPIは8ビットまたは10ビットのビデオ・データに対する半二重双方向転送を提供します。さらに、組み込まれたstart-of-line (SOL)およびstart-of-field (SOF)プリアンブル・パケットのオンチップ・デコードもサポートしています。

汎用モードの説明

PPIの汎用モードは、多様なデータ・キャプチャ・アプリケーションとデータ転送アプリケーション向けに用意されています。次の3種類のサブモードがサポートされています。

- ・ 入力モード—フレーム同期とデータはPPIに対する入力になります。
- ・ フレーム・キャプチャ・モード—フレーム同期はPPIからの出力に、データは入力に、それぞれなります。
- ・ 出力モード—フレーム同期とデータはPPIからの出力になります。

入力モード

入力モードは、ADCアプリケーションやハードウェア・シグナリングを持つビデオ通信向けに用意されています。最もシンプルな形式では、PPL_FS1はデータを読み込むタイミングを制御する外部フレーム同期入力になります。PPI_DELAY MMRを使うと、このフレーム同期の受信とデータ読み込み開始との間の遅延(PPL_CLKサイクル数)が可能になります。入力データ・サンプル数はユーザ設定可能で、PPL_COUNTレジスタの値により決定されます。8、10～16ビットのデータ幅がサポートされており、PPI_CONTROLレジスタにより設定します。

フレーム・キャプチャ・モード

このモードを使うと、ビデオ・ソースがスレーブ(たとえば、フレーム・キャプチャの場合)として機能できるようになります。ADSP-BF561プロセッサは、ビデオ・ソースから読み出すタイミングを制御します。PPL_FS1はH同期出力に、PPL_FS2はV同期出力に、それぞれなります。

出力モード

このモードは、最大3個の出力フレーム同期を持つビデオまたはその他のデータの送信に使用されます。一般に、データ・コンバータ・アプリケーションに対しては1フレーム同期が適していますが、ハードウェア・シグナリングを持つビデオの送信を行うときは2または3フレーム同期を使います。

ITU-R 656 モードの説明

PPIのITU-R 656モードは、さまざまなビデオのキャプチャ、処理、転送アプリケーション向けに用意されています。次の3種類のサブモードがサポートされています。

- ・ アクティブ・ビデオ専用モード
- ・ 垂直ブランキング専用モード
- ・ 全体フィールド・モード

アクティブ・ビデオ専用モード

このモードは、フィールドのアクティブ・ビデオ部分のみを対象とし、かつブランキング区間は対象にしないときに使います。PPIは、アクティブ・ビデオ終了(EAV)プリアンブル・シンボルとアクティブ・ビデオ開始(SAV)プリアンブル・シンボルとの間のデータ、または垂直ブランキング区間のデータを読み込みません。このモードでは、コントロール・バイト・シーケンスはメモリに保存されず、PPIによりフィルタされます。フィールド1の開始に同期した後、PPIはSAVコードまでの受信サンプルを無視します。1フレーム当たりのアクティブ・ビデオ・ライン数は、ユーザが指定します(PPI_COUNTレジスタ)。

垂直ブランキング区間モード

このモードでは、PPIは垂直ブランキング区間(VBI)データのみを転送します。

全体フィールド・モード

このモードでは、受信ビット・ストリーム全体がPPIから読み込まれます。これには、アクティブ・ビデオ、コントロール・プリアンブル・シーケンス、水平ブランキング区間および垂直ブランキング区間に組込まれている補助データが含まれます。データ転送はフィールド1に対する同期後、直ちに開始されます。

ダイナミック・パワー・マネジメント

ADSP-BF561は4つのパワー・マネジメント・モードと1つのパワー・マネジメント状態を持っており、各々異なる性能/パワー特性を持っています。その他に、ダイナミック・パワー・マネジメントはプロセッサ・コア電源電圧をダイナミックに変更する制御機能を提供して、さらに消費電力を減らすことができます。各ADSP-BF561ペリフェラルに対するクロックの制御によっても、消費電力を減らすことができます。各モードに対する消費電力の設定を表3にまとめます。

表3 消費電力の設定

Mode/State	PLL	PLL Bypassed	Core Clock (CCLK)	System Clock (SCLK)	Core Power
Full-On	Enabled	No	Enabled	Enabled	On
Active	Enabled/Disabled	Yes	Enabled	Enabled	On
Sleep	Enabled	-	Disabled	Enabled	On
Deep Sleep	Disabled	-	Disabled	Disabled	On
Hibernate	Disabled	-	Disabled	Disabled	Off

Full-On動作モード—最大性能

Full-OnモードではPLLがイネーブルされ、かつバイパスされないで、最大動作周波数で動作することができます。これはデフォルトの実行状態であり、最大性能が得られます。プロセッサ・コアとイネーブルされた全ペリフェラルが最大速度で動作します。

アクティブ動作モード—中程度の省電力

アクティブ・モードでは、PLLはイネーブルされていますが、バイパスされます。PLLがバイパスされているため、プロセッサ・コア・クロック(CCLK)とシステム・クロック(SCLK)は入力クロック(CLKIN)周波数で動作します。このモードでは、CLKIN対CCLK乗算器の比率を変更することができます。ただし、変更はFull-Onモードになるまで有効になりません。適切に設定されたL1メモリとL2メモリに対して、DMAアクセスを使用することができます。

アクティブ・モードでは、PLLコントロール・レジスタ(PLL_CTL)を使って、PLLをディスエーブルすることができます。PLLをディスエーブルした場合、Full-Onモードまたはスリープ・モードに入る前にPLLを再イネーブルする必要があります。

スリープ動作モード—高い省電力

スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)をディスエーブルして消費電力を削減します。ただし、PLLとシステム・クロック(SCLK)は動作を維持します。一般に、外部イベント動作により、プロセッサがウェイクアップします。スリープ・モードでは、ウェイクアップ信号がアサートされると、プロセッサはPLLコントロール・レジスタ(PLL_CTL)内のBYPASSビットを調べます。

スリープ・モード内では、システムDMAアクセスは外部メモリに対してのみ使用可能で、L1メモリまたはL2メモリには使用できません。

ディープ・スリープ動作モード—最高の省電力

ディープ・スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)と全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高の消費電力削減が得られます。非同同期ペリフェラルは、内部リソースまたは外部メモリをアクセスすることはできません。このパワーダウン・モードは、リセット割り込み(RESET)によってのみ終了することができます。BYPASSがディスエーブルされている場合、プロセッサはFull-Onモードになります。BYPASSがイネーブルされている場合には、プロセッサはアクティブ・モードになります。

ハイバネート状態—最大スタティック消費電力削減

休眠状態では、プロセッサ・コアに対する電圧とクロック(CCLK)、さらに全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高の消費電力削減が得られます。VR_CTLレジスタのFREQビットにb#00を書き込むことにより、プロセッサの内部電圧レギュレータをシャットオフすることができます。これにより、CCLKとSCLKがディスエーブルされます。さらにこの設定では、内部電源電圧(V_{DDINT})を0 Vに設定して、最小の消費電力にします。内部で保存されるクリティカルな情報(メモリ内容、レジスタ値など)は、プロセッサ状態を保持する場合には電源を切る前に不揮発性ストレージ・デバイスに書き込む必要があります。このモードではV_{DDEXT}が供給されているため、他に注記がない限り、すべての外部ピンはスリー・ステートになります。この機能を使うと、プロセッサに接続できる他のデバイスの電源を不要な電流なしで接続したままにすることができます。RESETピンのアサートにより、内部電源レギュレータをウェイクアップさせることができます。

省電力

表4に示すように、ADSP-BF561は2種類の電源ドメインをサポートしています。複数の電源ドメインを使用すると、業界標準や規則に準拠したまま、最大の柔軟性が得られます。ADSP-BF561の内部ロジックを1つの電源領域にまとめて、他のI/Oから分離すると、I/Oデバイスに影響を与えることなく、プロセッサはダイナミック・パワー・マネジメントを利用することができるようになります。種々の電力ドメインに対するシーケンシング条件はありません。

表4 ADSP-BF561の電源ドメイン

Power Domain	V _{DD} Range
All internal logic	V _{DDINT}
I/O	V _{DDEXT}

プロセッサの消費電力は、プロセッサのクロック周波数と動作電圧の二乗の関数になります。たとえば、クロック周波数を25%低下させると、ダイナミック消費電力は25%削減され、電圧を25%低下させると、ダイナミック消費電力は40%以上削減されます。さらに、これらの消費電力削減は加算的であり、クロック周波数と電源電圧の両方を低下させると、消費電力の削減は非常に大きくなります。

ADSP-BF561のダイナミック・パワー・マネジメント機能を使うと、プロセッサ入力電圧(V_{DDINT})とクロック周波数(f_{CCLK})の両方をダイナミックに制御することができます。

消費電力の削減は、消費電力削減ファクタと%消費電力削減の計算を使ってモデル化できます。

消費電力削減ファクタは次のように計算されます。

$$\begin{aligned} \text{power savings factor} &= \frac{f_{\text{CCLKRED}}}{f_{\text{CCLKNOM}}} \times \left(\frac{V_{\text{DDINTRED}}}{V_{\text{DDINTNOM}}} \right)^2 \times \left(\frac{t_{\text{RED}}}{t_{\text{NOM}}} \right) \end{aligned}$$

ここで、式内の変数は、

f_{CCLKNOM}は公称コア・クロック周波数

f_{CCLKRED}は削減されたコア・クロック周波数

V_{DDINTNOM}は公称内部電源電圧

V_{DDINTRED}は削減された内部電源電圧

t_{NOM}はf_{CCLKNOM}で動作する時間

t_{RED}はf_{CCLKRED}で動作する時間

パーセント消費電力削減は次のように計算されます。

$$\% \text{ power savings} = (1 - \text{power savings factor}) \times 100\%$$

電圧レギュレーション

ADSP-BF561プロセッサは、V_{DDEXT}電源から内部電圧レベルV_{DDINT}を発生する電圧レギュレータを内蔵しています。特定のモデルのレギュレータ偏差と許容V_{DDEXT}範囲については、[動作条件](#)を参照してください。

図4に、パワー・マネジメント・システムに必要な代表的な外付け部品を示します。このレギュレータは内部ロジック電圧レベルを制御し、電圧レギュレータ・コントロール・レジスタ(VR_CTL)を使って50 mV単位で設定することができます。スタンバイ消費電力を削減するため、I/O電源(V_{DDEXT})を維持したままプロセッサ・コアの電源を切るように内部電圧レギュレータを設定することができます。ハイバネート状態では、V_{DDEXT}が維持されたままなので、外部バッファが不要になります。RESETのアサートにより、電圧レギュレータをこのパワー・ダウン状態から起動することができ、ブート・シーケンスが開始されます。このレギュレータはユーザ指定により、ディスエーブルしてバイパスすることもできます。

内部電圧レギュレーション機能は、600 MHz速度のグレード・モデルまたは車載グレード・モデルでは使用できません。これらのデバイスの動作には外部電圧レギュレーションが必要です。

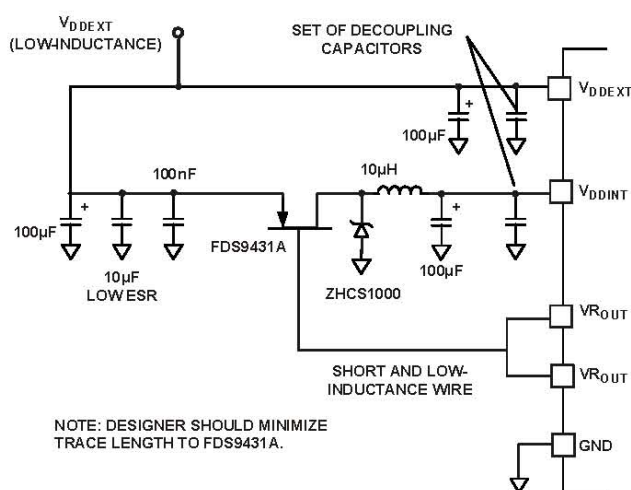


図4 電圧レギュレータ回路

電圧レギュレータ・レイアウトのガイドライン

レギュレータの外部部品の配置、ボード配線、バイパス・コンデンサはすべて、他の内蔵アナログ回路へのノイズ混入に大きな影響を与えます。VROUT1~0のパターンと電圧レギュレータの外付け部品は、ボードのレイアウトではノイズ・ソースと見なす必要があり、ボード上の敏感な回路または部品から離して配置/配線する必要があります。すべての内部およびI/O電源は、ADSP-BF561プロセッサのできるだけ近くにバイパス・コンデンサを配置してしっかりバイパスする必要があります。

内蔵電圧レギュレータと関連ボード・デザイン・ガイドラインについては、アナログ・デバイセズ・ウェブ・サイト (www.analog.com) の「Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)」アプリケーション・ノートをご覧ください。「EE-228」でサイト検索をご使用ください。

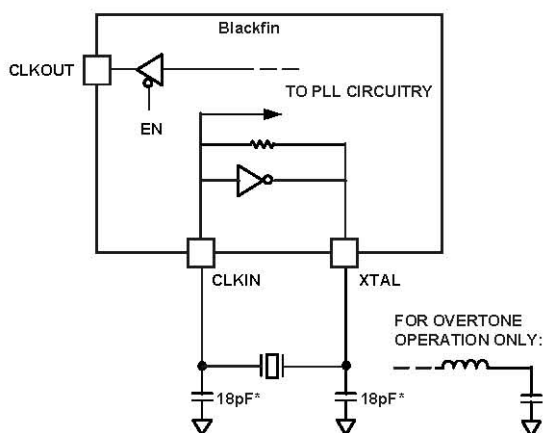
クロック信号

ADSP-BF561プロセッサのクロックは、外部クリスタル・オシレータ、正弦波入力、または外部クロック発振器から出力される、バッファされ整形されたクロックにより駆動することができます。

外部クロックを使用する場合にはTTL互換信号を使い、通常動作時には仕様周波数未満での動作、停止、変更をしないでください。この信号はプロセッサのCLKINピンに接続されます。外付け水晶を使う場合は、XTALピンは解放のままにしてください。

あるいは、ADSP-BF561プロセッサは発振器回路を内蔵しているため、外部水晶を使うことができます。基本周波数動作の場合、[図5](#)の回路を使用してください。並列共振で基本周波数のマイクロプロセッサ・グレードの水晶をCLKINピンとXTALピンとの間の内蔵抵抗は、500 k Ω 範囲です。さらに並列抵抗を追加することは推奨されません。[図5](#)に示す2個のコンデンサと直列抵抗は、正弦周波数の位相と振幅を微調整します。[図5](#)に示すコンデンサと抵抗の値はtyp値です。コンデンサ値は、水晶メーカーの推奨負荷容量とPCBレイアウトに依存します。抵抗値は、水晶メーカーが規定する駆動レベルに依存します。システム・デザインでは、許容温度範囲での複数デバイスについての慎重な調査に基づいて、カスタム化した値を確認する必要があります。

3次オーバートーン水晶は、25 MHzを超える周波数で使用することができます。[図5](#)に示すようにチューニングしたインダクタ回路を追加して、回路を3次オーバートーン動作に変更します。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY.

図5 外部水晶接続

[図6](#)に示すように、コア・クロック (CCLK) とシステム・ペリフェラル・クロック (SCLK) は入力クロック (CLKIN) 信号から発生されます。オンチップPLLはユーザー・プログラマブルな0.5~64の倍率でCLKIN信号を逡倍することができます。デフォルトの倍率は10倍ですが、ソフトウェア命令シーケンスにより変更することができます。PLL_DIVレジスタに書き込みを行うだけで、周波数を即座に変更することができます。

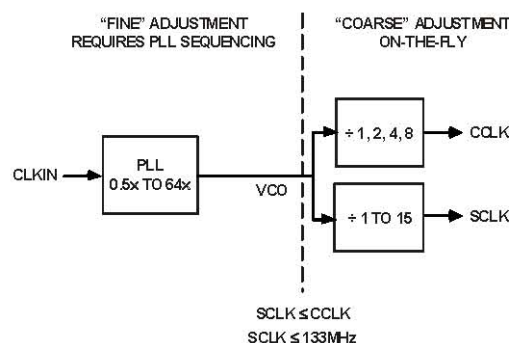


図6 周波数変更方法

すべての内蔵ペリフェラルは、システム・クロック (SCLK) によりクロック駆動されます。システム・クロック周波数は、PLL_DIVレジスタのSSEL3~0ビットを使って設定することができます。SSELフィールドに設定された値が、PLL出力 (VCO) とシステム・クロックとの間の分周比を決定します。SCLK分周比の値は1~15です。[表5](#)に、代表的なシステム・クロック分周比を示します。

表5 システム・クロック比の例

Signal Name SSEL3-0	Divider Ratio VCO/SCLK	Example Frequency Ratios (MHz)	
		VCO	SCLK
0001	1:1	100	100
0110	6:1	300	50
1010	10:1	500	50

システム・クロックの最大周波数は f_{SCLK} です。分周比は、システム・クロック周波数が最大値 f_{SCLK} を超えないように選択する必要があります。SSELの値は、PLL分周比レジスタ (PLL_DIV) に該当する値を書き込むことにより、PLLロック・レイテンシなしでダイナミックに変更することができます。

コア・クロック (CCLK) 周波数も、PLL_DIVレジスタのCSEL1~0ビットを使ってダイナミックに変更することができます。サポートされているCCLK分周比は、1、2、4、8です ([表6](#)参照)。このプログラマブルなコア・クロック機能は、高速なコア周波数変更により便利です。

表6 コア・クロック比

Signal Name CSEL1-0	Divider Ratio VCO/CCLK	Example Frequency Ratios (MHz)	
		VCO	CCLK
00	1:1	500	500
01	2:1	500	250
10	4:1	200	50
11	8:1	200	25

PLL_CTL レジスタを使って変更を設定したときの最大 PLL クロック時間は 40 μ s です。内部電圧レギュレータを使って内部電圧を変更するときの最大時間も 40 μ s です。PLL_LOCKCNT レジスタのリセット値は 0x200 です。電圧を変更したときまたは新しい MSEL 値を設定したとき、40 μ s のウェイクアップ時間を確保するために、この値を設定する必要があります。電圧と MSEL 値を共に変更したときは、80 μ s のウェイクアップ時間を確保するために、この値を設定する必要があります。PLL_LOCKCNT レジスタのタイム・ベースは CLKIN の周期です。

ブーティング・モード

ADSP-BF561は、リセット後に内部L1命令メモリ、L2または外部メモリを自動的にローディングする3つのメカニズムを持っています(表7)。4つ目のモードはブート・シーケンスをバイパスして、外部メモリから実行するために用意されています。

表7 ブーティング・モード

BMODE1 - 0	Description
00	Execute from 16-bit external memory (Bypass Boot ROM)
01	Boot from 8-bit/16bit flash
10	Boot from SPI host slave mode
11	Boot from SPI serial EEPROM (16, 24-bit address range)

リセット設定レジスタのBMODEピンがパワーオン・リセット時とソフトウェア起動のリセット時にサンプルされて、次のモードが実行されます。

- 16ビットの外部メモリからの実行—16ビット・パッキングのアドレス0x20000000から実行が開始されます。このモードでは、ブートROMがバイパスされます。すべての構成の設定値は最低速デバイスに合わせて設定されます(3サイクル・ホールド・タイム; 15サイクルR/Wアクセス・タイム; 4サイクル・セットアップ)。
- バイパス・モードでは、コア Aのみが外部メモリから命令を実行できることに注意してください。
- 8/16ビット外部フラッシュ・メモリからのブート—ブートROMメモリ空間に配置されている8/16ビットFLASHブート・ルーチンが非同期メモリ・バンク0にセットアップされます。すべての設定は、最低デバイス速度(3サイクルのホールド・タイム、15サイクルの

R/Wアクセス・タイム、4サイクルのセットアップ)に設定されます。

- SPIホスト・デバイスからのブート—BlackfinプロセッサはSPIスレーブ・モードで動作し、SPIホスト(マスター)エージェントから、LDRファイルのバイトを受信するように設定されます。ブートROMがビジーのときホスト・デバイスからの送信を停止させるため、Blackfinプロセッサはホスト・ウェイト(HWAIT)と呼ばれるGPIOピンをアサートして、フラグのアサートが解除されるまでバイトをさらに送信しないようにホスト・デバイスに通知します。フラグはユーザが選択し、この情報がFLAGヘッダーのビット[10:5]を介してBlackfinプロセッサへ転送されます。
- SPIシリアルEEPROM (16、24ビット・アドレス指定)からのブート—SPIはPF2出力ピンを使って1つのSPI EPROMデバイスを選択し、アドレス0x0000の読み出しコマンドを出力し、L1命令・メモリの先頭から入力したデータの書込みを開始します。16、24ビット・アドレス指定のSPI互換EEPROMを使う必要があります。

各ブート・モードでは、ブート・ローディング・プロトコルを使って、プログラムとデータ・ブロックを外部メモリ・デバイスから指定されたメモリ・ロケーションへ転送します。どのブート・シーケンスでも、複数のメモリ・ブロックにロードすることができます。すべてのブロックをロードした後、L1命令SRAM(0xFFA0 0000)の先頭からコアAのプログラム実行が開始されます。コアBは、コア AからSICA_SYSCRのビット 5がクリアされるまでオフ状態を維持し、その後、コア B はアドレス 0xFF60 0000から実行を開始します。

さらに、リセット設定レジスタのビット4をアプリケーション・コードから設定して、ソフトウェア・リセット時に通常のブート・シーケンスをバイパスすることもできます。このケースの場合、プロセッサはL1命令メモリの先頭に直接ジャンプします。

命令セットの説明

Blackfin ファミリーのアセンブリ言語命令・セットでは、代数的構文を採用しているためコードの読み書きが容易です。命令は、柔軟かつ高密度でエンコードされた命令セットを提供し、コンパイル後に最小のメモリ・サイズになるように特別に最適化されています。また、この命令セットは、1つの命令で多くのプロセッサ・コア・リソースを使用可能にするフル機能のマルチファンクション命令を提供します。この命令セットはマイクロコントローラで使用されている多くの機能との組み合わせにより、CおよびC++ソース・コードをコンパイルする際に非常に効率的な良いいものになります。さらに、このアーキテクチャでは、ユーザーモード(アルゴリズム/アプリケーション・コード)とスーパーバイザモード(O/Sカーネル、デバイス・ドライバ、デバッグ、ISR)を提供するため、コア・プロセッサ・リソースに対する複数レベルのアクセスが可能です。

プロセッサの独自のアーキテクチャを利用するアセンブリ言語は次の利点を持っています。

- シームレスに統合されたDSP/CPU機能は、8ビット動作と16ビット動作に対して最適化されています。
- 2個の16ビットMACまたは4個の8ビットALU + 2個のロード/ストア + 1サイクル当たり2回のポインタ更新をサポートするマルチ・ロード/ストア修正型ハーバード・アーキテクチャ
- 全レジスタ、I/O、メモリが連続な4Gバイト・メモリ空間にマップされているため、プログラミング・モデルが簡素
- 任意のビットおよびビット・フィールドの操作、挿入、取り出しなどのようなマイクロコントローラ機能; 8ビット、16ビット、32ビットのデータ型に対する整数演算;

ユーザー・スタック・ポインタとカーネル・スタック・ポインタの分離

- ・16ビットと32ビットの命令の混在(モード切り替えなし、コード分離なし)などのコード密度の向上。使用頻度の高い命令を16ビットにエンコード

開発ツール

ADSP-BF561は、アナログ・デバイセズのエミュレータとVisualDSP++[†]開発環境を含むCROSSCORE[‡]ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。他のアナログ・デバイセズ・プロセッサをサポートしている同じエミュレータ・ハードウェアもADSP-BF561をエミュレートします。

VisualDSP++プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクルに対して正確な命令レベルのシミュレータ、C/C++コンパイラ、DSP関数と数学関数を含むC/C++ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントはC/C++コードの効率です。コンパイラは、C/C++コードをBlackfinアセンブリに効率良く変換するように開発されています。Blackfinプロセッサには、コンパイルされたC/C++コードの効率を改善するアーキテクチャ上の機能があります。

VisualDSP++デバッガは多くの重要な機能を持っています。データ表示は、柔軟性なプロットング・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールに大きな効果を持つことができ、生産性を向上させます。統計的プロファイリング機能を使うと、プログラム実行中のプロセッサを非介入的に監視できます。VisualDSP++独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ブレイクポイントの挿入
- ・レジスタ、メモリ、スタックへの条件付きブレイクポイントの設定
- ・命令実行のトレース
- ・プログラム実行の連続的または統計的な分析
- ・メモリ内容のフィル、ダンプ、グラフィック表示
- ・ソース・レベル・デバッグの実行
- ・デバッガ・ウインドウのカスタマイズ

VisualDSP++ IDEを使うと、ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスとプロパティページを使うと、VisualDSP++エディタ内での色による強調表示などのすべての開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・開発ツールによる入力処理方法と出力の発生方法の制御
- ・ツールのコマンドライン・スイッチとの1対1対応の維持

VisualDSP++カーネル(VDK)は、組込型リアルタイム・プログラミングのメモリ制約とタイミング制約を解決するように特別に設計されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、初歩的な部分からスタートする必要がなくなります。VDKの機能には、スレッドリージョン、クリティカルリージョン、アンスケジュールリージョン、セマフォ、イベント、デバイスフラグが含まれています。また、VDKは優先順位ベースの、プリエンティブで協調的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDKはスケラブルにデザインされています。アプリケーションがある特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDKはライブラリであるため、開発者が使用するかどうかを決めることができます。VDKはVisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDKを使うと、この開発環境は、多くのエラーを起こしやすいたスクについて開発者を支援し、システム・リソースの管理を支援し、種々のVDKベースのオブジェクト生成を自動化し、VDKを使用するアプリケーションのデバッグではシステム状態を表示します。

エキスパート・リンカーを使って、組み込型システムのコードとデータの配置を視覚的に操作します。メモリ使用状況は、カラー・グラフィックで表示することができます。コードとデータは、マウスのドラッグにより、プロセッサまたは外部メモリのさまざまな領域へ容易に移動することができます。ランタイム時のスタックとヒープの使用率を調べることができます。エキスパート・リンカーは既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズのエミュレータでは、ADSP-BF561のIEEE 1149.1 JTAGテスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニターと制御を行っています。このエミュレータではフル速度のエミュレーションが可能のため、メモリ・スタック、レジスタ・スタック、プロセッサ・スタックの検証と変更が可能です。プロセッサのJTAGインターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、サード・パーティがBlackfinプロセッサ・ファミリーをサポートする広範囲なツールを提供しています。サード・パーティのソフトウェア・ツールには、DSPライブラリ、リアルタイム・オペレーティング・システム、ブロックダイアグラムデザイン・ツールなどがあります。

[†]CROSSCOREはAnalog Devices, Inc.の登録商標です。

[‡]VisualDSP++はAnalog Devices, Inc.の登録商標です。

EZ-KIT Lite評価ボード

ADSP-BF561プロセッサを評価する場合は、アナログ・デバイセズから提供するADSP-BF561 EZ-KIT Lite[®]ボードを使用してください。デバイス番号ADDS-BF561EZLITEでご注文ください。ボードにはエミュレーション機能が付いており、ソフトウェア開発機能が備わっています。複数のデータ・カードも提供しています。

エミュレータ互換プロセッサ・ボードのデザイン

アナログ・デバイセズのエミュレータ・ファミリーは、すべてのシステム開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、ADSP-BF561上でIEEE 1149.1 JTAGテスト・アクセス・ポート(TAP)を提供しています。エミュレータはこのタップを使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後は、システム・タイミングに影響を与えることなく、フル速度で動作するようにプロセッサ・システムを設定することができます。

これらのエミュレータを使うときは、ターゲット・ボードにプロセッサのJTAGポートをエミュレータへ接続するヘッダーが含まれている必要があります。

機械的レイアウト、シングル・プロセッサ接続、マルチプロセッサ・スキャン・チェーン、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト(www.analog.com)にある

「*Analog Devices JTAG Emulation Technical Reference (EE-68)*」を参照してください—"[EE-68](#)"のサイト検索をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

関連ドキュメント

ADSP-BF561プロセッサ(および関連プロセッサ)の次の出版物は、最寄りのアナログ・デバイセズまたはウェブ・サイトから注文することができます。

- *Getting Started With Blackfin Processors*
- *ADSP-BF561 Blackfin Processor Hardware Reference*
- *ADSP-BF53x/BF56x Blackfin Processor Programming Reference*
- *ADSP-BF561 Blackfin Processor Anomaly List*

ピン説明

ADSP-BF561ピンの定義を表8に示します。機能の最大化およびパッケージ・サイズとピン数を削減するため、複数の機能をマルチプレクスした共用ピンもあります。ピン機能が設定可能な場合には、デフォルト状態をテキストで示し、代替機能を斜字体で表してあります。

すべてのピンはリセット時とその直後にスリー・ステートになります。ただし、外部メモリ・インターフェース・ピン、非同期メモリ・コントロール・ピン、同期メモリ・コ

ントロール・ピンは除きます。これらのピンはすべてのハイ・レベルに駆動されますが、CLKOUTは例外でシステム・クロック・レートでトグルします。ただし、 $\overline{\text{BR}}$ がアクティブの場合は、メモリ・ピンもスリー・ステートになります。

すべての未使用I/Oピンの入力バッファはディスエーブルされますが、表8の脚注に示すようにプルアップまたはプルダウンが必要なピンは例外です。

表8 ピン説明

Pin Name	Type	Function	Driver Type ¹
<i>EBIU</i>			
ADDR25-2	O	Address Bus for Async/Sync Access	A
DATA31-0	I/O	Data Bus for Async/Sync Access	A
$\overline{\text{ABE3-0/SDQM3-0}}$	O	Byte Enables/Data Masks for Async/Sync Access	A
$\overline{\text{BR}}$	I	Bus Request (This pin should be pulled HIGH if not used.)	
$\overline{\text{BG}}$	O	Bus Grant	A
$\overline{\text{BGH}}$	O	Bus Grant Hang	A
<i>EBIU (ASYNC)</i>			
$\overline{\text{AMS3-0}}$	O	Bank Select	A
ARDY	I	Hardware Ready Control (This pin should be pulled HIGH if not used.)	
$\overline{\text{AOE}}$	O	Output Enable	A
$\overline{\text{AWE}}$	O	Write Enable	A
$\overline{\text{ARE}}$	O	Read Enable	A
<i>EBIU (SDRAM)</i>			
$\overline{\text{SRAS}}$	O	Row Address Strobe	A
$\overline{\text{SCAS}}$	O	Column Address Strobe	A
$\overline{\text{SWE}}$	O	Write Enable	A
SCKE	O	Clock Enable	A
SCLK0/CLKOUT	O	Clock Output Pin 0	B
SCLK1	O	Clock Output Pin 1	B
SA10	O	SDRAM A10 Pin	A
$\overline{\text{SMS3-0}}$	O	Bank Select	A

表 8 ピン説明(続き)

Pin Name	Type	Function	Driver Type ¹
<i>PF/SPI/TIMER</i>			
PF0/ <i>SPISS/TMR0</i>	I/O	Programmable Flag/ <i>Slave SPI Select/Timer</i>	C
PF1/ <i>SPISEL1/TMR1</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF2/ <i>SPISEL2/TMR2</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF3/ <i>SPISEL3/TMR3</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF4/ <i>SPISEL4/TMR4</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF5/ <i>SPISEL5/TMR5</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF6/ <i>SPISEL6/TMR6</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF7/ <i>SPISEL7/TMR7</i>	I/O	Programmable Flag/ <i>SPI Select/Timer</i>	C
PF8	I/O	Programmable Flag	C
PF9	I/O	Programmable Flag	C
PF10	I/O	Programmable Flag	C
PF11	I/O	Programmable Flag	C
PF12	I/O	Programmable Flag	C
PF13	I/O	Programmable Flag	C
PF14	I/O	Programmable Flag	C
PF15/ <i>EXT CLK</i>	I/O	Programmable Flag/ <i>External Timer Clock Input</i>	C
<i>PPI0</i>			
PPI0D15–8/ <i>PF47–40</i>	I/O	PPI Data/ <i>Programmable Flag Pins</i>	C
PPI0D7–0	I/O	PPI Data Pins	C
PPI0CLK	I	PPI Clock	
PPI0SYNC1/ <i>TMR8</i>	I/O	PPI Sync/ <i>Timer</i>	C
PPI0SYNC2/ <i>TMR9</i>	I/O	PPI Sync/ <i>Timer</i>	C
PPI0SYNC3	I/O	PPI Sync	C
<i>PPI1</i>			
PPI1D15–8/ <i>PF39–32</i>	I/O	PPI Data/ <i>Programmable Flag Pins</i>	C
PPI1D7–0	I/O	PPI Data Pins	C
PPI1CLK	I	PPI Clock	
PPI1SYNC1/ <i>TMR10</i>	I/O	PPI Sync/ <i>Timer</i>	C
PPI1SYNC2/ <i>TMR11</i>	I/O	PPI Sync/ <i>Timer</i>	C
PPI1SYNC3	I/O	PPI Sync	C
<i>SPORT0</i>			
RSCLK0/ <i>PF28</i>	I/O	Sport0 Receive Serial Clock/ <i>Programmable Flag</i>	D
RFS0/ <i>PF19</i>	I/O	Sport0 Receive Frame Sync/ <i>Programmable Flag</i>	C
DR0PRI	I	Sport0 Receive Data Primary	
DR0SEC/ <i>PF20</i>	I/O	Sport0 Receive Data Secondary/ <i>Programmable Flag</i>	C
TSCLK0/ <i>PF29</i>	I/O	Sport0 Transmit Serial Clock/ <i>Programmable Flag</i>	D
TFS0/ <i>PF16</i>	I/O	Sport0 Transmit Frame Sync/ <i>Programmable Flag</i>	C
DT0PRI/ <i>PF18</i>	I/O	Sport0 Transmit Data Primary/ <i>Programmable Flag</i>	C
DT0SEC/ <i>PF17</i>	I/O	Sport0 Transmit Data Secondary/ <i>Programmable Flag</i>	C

表 8 ピン説明(続き)

Pin Name	Type	Function	Driver Type ¹
<i>SPORT1</i>			
RSCLK1/PF30	I/O	Sport1 Receive Serial Clock/ <i>Programmable Flag</i>	D
RFS1/PF24	I/O	Sport1 Receive Frame Sync/ <i>Programmable Flag</i>	C
DR1PRI	I	Sport1 Receive Data Primary	
DR1SEC/PF25	I/O	Sport1 Receive Data Secondary/ <i>Programmable Flag</i>	C
TSCLK1/PF31	I/O	Sport1 Transmit Serial Clock/ <i>Programmable Flag</i>	D
TFS1/PF21	I/O	Sport1 Transmit Frame Sync/ <i>Programmable Flag</i>	C
DT1PRI/PF23	I/O	Sport1 Transmit Data Primary/ <i>Programmable Flag</i>	C
DT1SEC/PF22	I/O	Sport1 Transmit Data Secondary/ <i>Programmable Flag</i>	C
<i>SPI</i>			
MOSI	I/O	Master Out Slave In	C
MISO	I/O	Master In Slave Out (This pin should be pulled HIGH through a 4.7 k Ω resistor if booting via the SPI port.)	C
SCK	I/O	SPI Clock	D
<i>UART</i>			
RX/PF27	I/O	UART Receive/ <i>Programmable Flag</i>	C
TX/PF26	I/O	UART Transmit/ <i>Programmable Flag</i>	C
<i>JTAG</i>			
EMU	O	Emulation Output	C
TCK	I	JTAG Clock	
TDO	O	JTAG Serial Data Out	C
TDI	I	JTAG Serial Data In	
TMS	I	JTAG Mode Select	
TRST	I	JTAG Reset (This pin should be pulled LOW if JTAG is not used.)	
<i>Clock</i>			
CLKIN	I	Clock/Crystal Input (This pin needs to be at a level or clocking.)	
XTAL	O	Crystal Connection	
<i>Mode Controls</i>			
RESET	I	Reset (This pin is always active during core power-on.)	
NMI0	I	Nonmaskable Interrupt Core A (This pin should be pulled LOW when not used.)	
NMI1	I	Nonmaskable Interrupt Core B (This pin should be pulled LOW when not used.)	
BMODE1-0	I	Boot Mode Strap (These pins must be pulled to the state required for the desired boot mode.)	
SLEEP	O	Sleep	C
BYPASS	I	PLL BYPASS Control (Pull-up or pull-down Required.)	
<i>Voltage Regulator</i>			
V _{ROUT1-0}	O	External FET Drive	
<i>Supplies</i>			
V _{DDEXT}	P	Power Supply	
V _{DDINT}	P	Power Supply	
GND	G	Power Supply Return	
No Connection	NC	NC	

¹図 28～図 32を参照してください。

仕様

部品仕様は予告なく変更されることがあります。

動作条件

Parameter	Conditions	Min	Nominal	Max	Unit
V _{DDINT}	Internal Supply Voltage ¹	0.8	1.25	1.375	V
V _{DDINT}	Internal Supply Voltage ³	0.8	1.35	1.4185	V
V _{DDINT}	Internal Supply Voltage ³	0.95	1.25	1.375	V
V _{DDEXT}	External Supply Voltage	2.25	2.5, or 3.3	3.6	V
V _{DDEXT}	External Supply Voltage	2.7	3.3	3.6	V
V _{IH}	High Level Input Voltage ^{4, 5}	2.0		3.6	V
V _{IL}	Low Level Input Voltage ⁵	-0.3		+0.6	V
T _J	Junction Temperature	0		+105	°C
T _J	Junction Temperature	0		+95	°C
T _J	Junction Temperature	-40		+115	°C
T _J	Junction Temperature	0		+95	°C
T _J	Junction Temperature	-40		+115	°C

¹内部電圧レギュレータ (V_{DDINT})の偏差は全モードで-5%~+10%です。

²オーダー・ガイドを参照してください。

³内部電圧レギュレータ機能は使用できません。これらのデバイスの動作には外部電圧レギュレーションが必要です。

⁴ADSPBF561 プロセッサは 3.3 V 対応 (常に 3.6 V maximum V_{IH}まで許容)ですが、電圧コンプライアンス (出力での V_{OH}) は入力 V_{DDEXT} に依存します。これは V_{OH} (maximum) と V_{DDEXT} (maximum)がほぼ等しいためです。この 3.3 V 対応は、入力専用ピンと双方向ピンに適用します。

⁵全信号ピンに適用。

表9 と表10 に、ADSP-BF561クロックのタイミング条件を示します(t_{CCLK} = 1/f_{CCLK})。MSEL、SSEL、CSELの各比の選択では、絶対最大定格で規定された最大コア・クロック

周波数(システム・クロック)と電圧制御発振器(VCO)動作周波数を超えないように注意してください。表11にPLL動作条件を示します。

表9 コア・クロック (CCLK) 条件—500 MHz、533 MHz の各スピード・グレード・モデル¹

Parameter	Max	Unit
f _{CCLK}	533	MHz
f _{CCLK}	500	MHz
f _{CCLK}	444	MHz
f _{CCLK}	350	MHz
f _{CCLK}	300	MHz
f _{CCLK}	250	MHz

¹ オーダー・ガイドを参照してください。

²車載グレード・モデルの動作には外部電圧レギュレーションが必要です (オーダー・ガイド参照)。

³車載グレード・モデルには適用できません。オーダー・ガイドを参照してください。

表10 コア・クロック (CCLK) 条件—600 MHz スピード・グレード・モデル¹

Parameter	Max	Unit
f _{CCLK}	600	MHz
f _{CCLK}	500	MHz
f _{CCLK}	444	MHz
f _{CCLK}	350	MHz
f _{CCLK}	300	MHz
f _{CCLK}	250	MHz

¹オーダー・ガイドを参照してください。

²600 MHz での動作には外部電圧レギュレーションが必要です。

表11 位相ロック・ループの動作条件

Parameter	Min	Max	Unit
Voltage Controlled Oscillator (VCO) Frequency	50	Maximum f_{CCLK}	MHz

表12 システム・クロック (SCLK)の条件

Parameter ¹	Max $V_{\text{DDEXT}} = 1.8\text{V}/2.5\text{V}/3.3\text{V}$	Unit
f_{SCLK} CLKOUT/SCLK Frequency ($V_{\text{DDINT}} \geq 1.14\text{ V}$)	133 ²	MHz
f_{SCLK} CLKOUT/SCLK Frequency ($V_{\text{DDINT}} < 1.14\text{ V}$)	100	MHz

¹ $t_{\text{SCLK}} (= 1/f_{\text{SCLK}})$ は t_{CCLK} 以上である必要があります。

²まるめ処理した値。 $t_{\text{SCLK}} = 7.5\text{ ns}$ を保証。表 19 を参照してください。

電気的特性

Parameter	Test Conditions	Min	Typical	Max	Unit
V_{OH} High Level Output Voltage ¹	$V_{\text{DDEXT}} = 3.0\text{ V}$, $I_{\text{OH}} = -0.5\text{ mA}$	2.4			V
V_{OL} Low Level Output Voltage ¹	$V_{\text{DDEXT}} = 3.0\text{ V}$, $I_{\text{OL}} = 2.0\text{ mA}$			0.4	V
I_{IH} High Level Input Current ²	$V_{\text{DDEXT}} = \text{Maximum}$, $V_{\text{IN}} = V_{\text{DD}}$ Maximum			10.0	μA
I_{IHP} High Level Input Current JTAG ³	$V_{\text{DDEXT}} = \text{Maximum}$, $V_{\text{IN}} = V_{\text{DD}}$ Maximum			50.0	μA
I_{IL} ⁴ Low Level Input Current ²	$V_{\text{DDEXT}} = \text{Maximum}$, $V_{\text{IN}} = 0\text{ V}$			10.0	μA
I_{OZH} Three-State Leakage Current ⁵	$V_{\text{DDEXT}} = \text{Maximum}$, $V_{\text{IN}} = V_{\text{DD}}$ Maximum			10.0	μA
I_{OZL} ⁴ Three-State Leakage Current ⁵	$V_{\text{DDEXT}} = \text{Maximum}$, $V_{\text{IN}} = 0\text{ V}$			10.0	μA
C_{IN} Input Capacitance ⁶	$f_{\text{IN}} = 1\text{ MHz}$, $T_{\text{AMBIENT}} = 25^\circ\text{C}$, $V_{\text{IN}} = 2.5\text{ V}$	4		8 ⁷	pF
$I_{\text{DDBIBERNATE}}$ V_{DDEXT} Current in Hibernate Mode	CLKIN=0 MHz, $V_{\text{DDEXT}} = 3.65\text{ V}$ with Voltage Regulator Off ($V_{\text{DDINT}} = 0\text{ V}$)	50			μA
$I_{\text{DDDEEPSLEEP}}$ ⁸ V_{DDINT} Current in Deep Sleep Mode	$V_{\text{DDINT}} = 0.8\text{ V}$, $T_{\text{JUNCTION}} = 25^\circ\text{C}$	70			mA
$I_{\text{DD_TYP}}$ ^{8, 9} V_{DDINT} Current	$V_{\text{DDINT}} = 0.8\text{ V}$, $f_{\text{CCLK}} = 50\text{ MHz}$, $T_{\text{JUNCTION}} = 25^\circ\text{C}$	127			mA
$I_{\text{DD_TYP}}$ ^{8, 9} V_{DDINT} Current	$V_{\text{DDINT}} = 1.25\text{ V}$, $f_{\text{CCLK}} = 500\text{ MHz}$, $T_{\text{JUNCTION}} = 25^\circ\text{C}$	660			mA
$I_{\text{DD_TYP}}$ ^{8, 9} V_{DDINT} Current	$V_{\text{DDINT}} = 1.35\text{ V}$, $f_{\text{CCLK}} = 600\text{ MHz}$, $T_{\text{JUNCTION}} = 25^\circ\text{C}$	818			mA

¹出力ピンと双方向ピンに適用。

²JTAG 入力以外の入力ピンに適用。

³JTAG 入力ピン (TCK、TDI、TMS、 $\overline{\text{TRST}}$)に適用。

⁴絶対値。

⁵スリー・ステート・ピンに適用。

⁶全信号ピンに適用。

⁷保証しますが、テストしません。

⁸最大出力電流。「*Estimating Power for ADSP-BF561 Blackfin Processors (EE-293)*」(www.analog.com)を参照してください。「EE293」のサイト検索をご使用ください。

⁹両コアは、75%をデュアル MAC 命令、25% を ADD 命令を実行し、データ・バス動作は中程度。

デザインを低消費電力用に最適化する詳細情報については、「*Estimating Power for the ADSP-BF561 (EE-293)*」を参照してください。このセクションで説明する内容は、EE-293に詳しく説明しています。総合消費電力には次の2つの成分があります。

1. リーク電流を含むスタティック
2. トランジスタ・スイッチング特性に起因するダイナミック

温度、電圧、動作周波数、プロセッサ動作状態などの多くの動作条件も消費電力に影響を与えます。電気的特性に、内部回路の消費電流 (V_{DDINT}) を示します。

絶対最大定格

表13に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを規定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表13 絶対最大定格

Parameter	Value
Internal (Core) Supply Voltage (V_{DDINT})	- 0.3 V to + 1.42 V
External (I/O) Supply Voltage (V_{DDEXT})	- 0.5 V to + 3.8 V
Input Voltage ¹	- 0.5 V to + 3.8 V
Output Voltage Swing	- 0.5 V to $V_{DDEXT} + 0.5$ V
Load Capacitance ²	200 pF
Storage Temperature Range	- 65°C to + 150°C
Junction Temperature Under Bias	125°C

¹100%の過渡電圧デューティ・サイクルに適用。他のデューティ・サイクルについては表14参照。

²SDRAM コントローラが正常に動作するためには、ADDR19~1、DATA15~0、ABE1~0/SDQM1~0、CLKOUT、SCKE、SA10、SRAS、SCAS、SWE、SMSの最大負荷容量は50 pF(3.3 V)または30 pF(2.5 V)です。

表14 入力過渡電圧の最大デューティ・サイクル¹

V_{IN} Min (V)	V_{IN} Max (V) ²	Maximum Duty Cycle
-0.50	3.80	100%
-0.70	4.00	40%
-0.80	4.10	25%
-0.90	4.20	15%
-1.00	4.30	10%

¹CLKIN、XTAL、VROUT1~0以外のすべて信号ピンに適用。

²特定のデザインには、記載するオプションの1つのみを適用することができます。

パッケージ情報

図7と表15に、Blackfinプロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。



図7 パッケージの製品情報

表15 パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Part
ccc	See Ordering Guide
vvvvv.x	Assembly Lot Code
n.n	Silicon Revision
yyyyw	Date Code

ESD感受性



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

タイミング仕様

クロックとリセットのタイミング

表16 と図8に、クロックとリセットの動作を示します。絶対最大定格に従い、CLKINとクロック通倍器との組み合わせによるコア/システム・クロックは、プロセッサに許容される上限値(電源電圧に関するシステム・クロック制限も含む)を超えることはできません。

表16 クロックとリセットのタイミング

Parameter	Min	Max	Unit	
<i>Timing Requirements</i>				
t_{CKIN}	CLKIN (to PLL) Period ^{1, 2, 3}	25.0	100.0	ns
t_{CKINL}	CLKIN Low Pulse	10.0		ns
t_{CKINH}	CLKIN High Pulse	10.0		ns
t_{WRST}	\overline{RESET} Asserted Pulse Width Low ⁴	$11 \times t_{CKIN}$		ns

¹PLL_CTL レジスタの DF ビットがセットされている場合、 t_{CKIN} は 2 分周された後に PLL に渡されるため、最大 t_{CKIN} 周期は 50 ns に、最小 t_{CKIN} 周期は 12.5 ns に、それぞれなります。

²PLL バイパス・モードと PLL 非バイパス・モードに適用。

³CLKIN 周波数と PLL クロック通倍率の組み合わせは、表 9 ～表 12 に示す f_{VCO} 、 f_{CCLK} 、 f_{SCLK} の許容設定値を超えることはできません。

⁴パワーアップ・シーケンス完了後に適用。RESET がアサートされ、かつ電源と CLKIN が安定している場合、パワーアップ時にプロセッサの内部位相ロック・ループは CLKIN で 2,000 サイクル以上を必要としません(外部クロック・オシレータのセットアップ・タイムは除きます)。

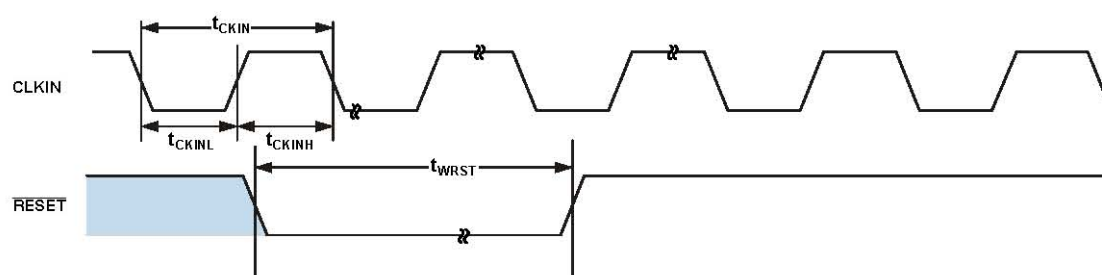


図8 クロックとリセットのタイミング

非同期メモリ読み出しサイクルのタイミング

表17 非同期メモリ読み出しサイクルのタイミング

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{SDAT}	DATA31 – 0 Setup Before CLKOUT	2.1		ns
t_{HDAT}	DATA31 – 0 Hold After CLKOUT	0.8		ns
t_{SARDY}	ARDY Setup Before CLKOUT	4.0		ns
t_{HARDY}	ARDY Hold After CLKOUT	0.0		ns
<i>Switching Characteristics</i>				
t_{DO}	Output Delay After CLKOUT ¹		6.0	ns
t_{HO}	Output Hold After CLKOUT ¹	0.8		ns

¹出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE3\sim0}$ 、 $\overline{ADDR25\sim2}$ 、 \overline{AOE} 、 \overline{ARE} が含まれる。

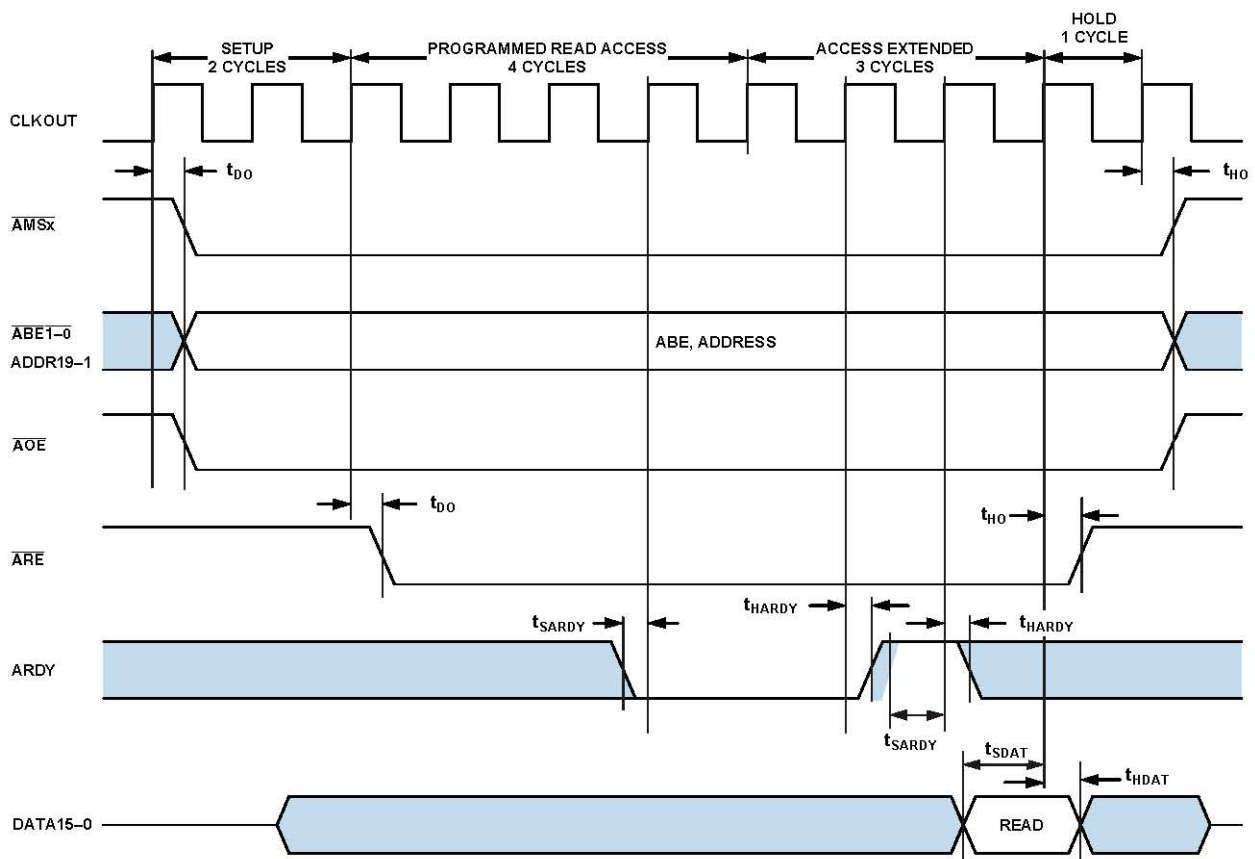


図9 非同期メモリ読み出しサイクルのタイミング

非同期メモリ書き込みサイクルのタイミング

表18 非同期メモリ書き込みサイクルのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SARDY} ARDY Setup Before CLKOUT	4.0		ns
t_{HARDY} ARDY Hold After CLKOUT	0.0		ns
<i>Switching Characteristics</i>			
t_{DDAT} DATA31 - 0 Disable After CLKOUT		6.0	ns
t_{ENDAT} DATA31 - 0 Enable After CLKOUT	1.0		ns
t_{DO} Output Delay After CLKOUT ¹		6.0	ns
t_{HO} Output Hold After CLKOUT ¹	0.8		ns

¹出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE3\sim0}$ 、 $\overline{ADDR25\sim2}$ 、 $\overline{DATA31\sim0}$ 、 \overline{AOE} 、 \overline{AWE} が含まれます。

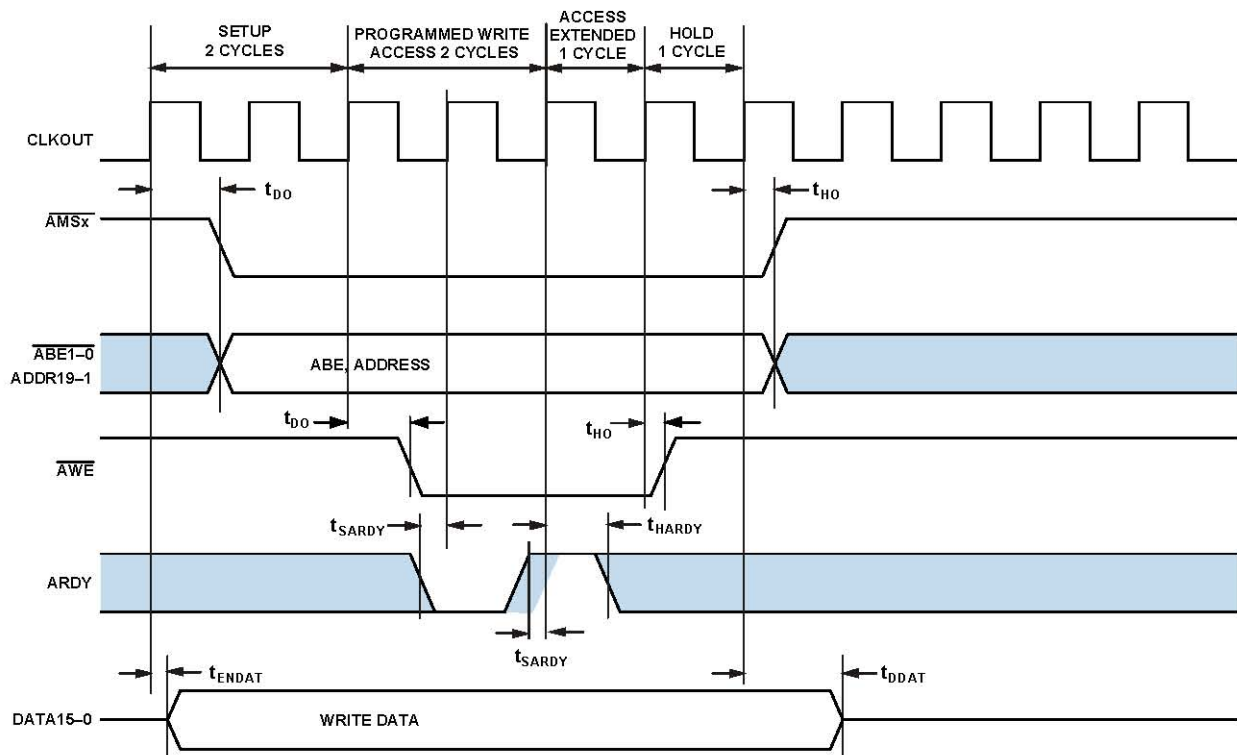


図10 非同期メモリ書き込みサイクルのタイミング

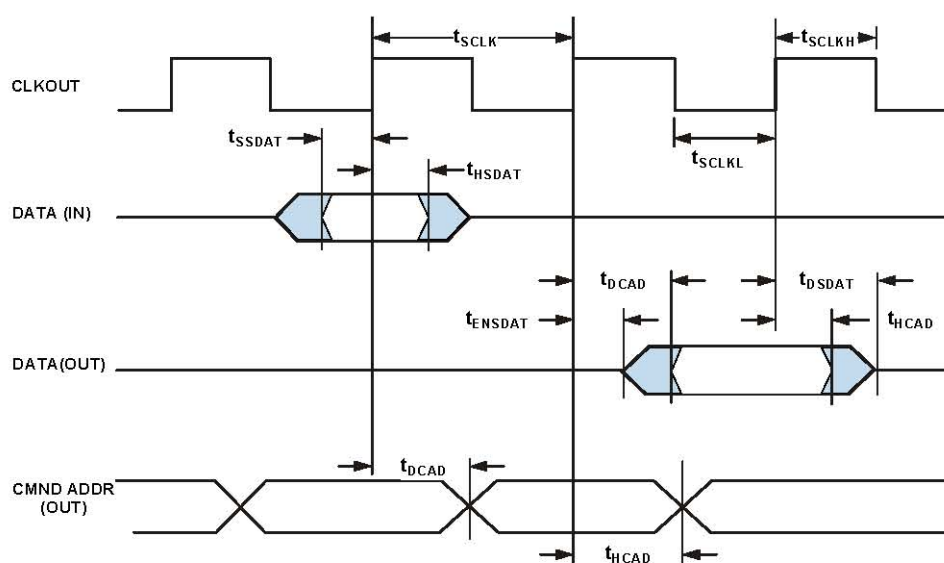
SDRAMインターフェース・タイミング

表19 SDRAM インターフェース・タイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SSDAT} DATA Setup Before CLKOUT	1.5		ns
t_{HSDAT} DATA Hold After CLKOUT	0.8		ns
<i>Switching Characteristics</i>			
t_{DCAD} Command, ADDR, Data Delay After CLKOUT ¹		4.0	ns
t_{HCAD} Command, ADDR, Data Hold After CLKOUT ¹	0.8		ns
t_{DSDAT} Data Disable After CLKOUT		4.0	ns
t_{ENSDAT} Data Enable After CLKOUT	1.0		ns
t_{SCLK}^2 CLKOUT Period when $T_J \leq +105^\circ\text{C}$	7.5		ns
t_{SCLK}^2 CLKOUT Period when $T_J > +105^\circ\text{C}$	10		ns
t_{SCLKH} CLKOUT Width High	2.5		ns
t_{SCLKL} CLKOUT Width Low	2.5		ns

¹コマンド・ピンには、 $\overline{\text{SRAS}}$ 、 $\overline{\text{SCAS}}$ 、 $\overline{\text{SWE}}$ 、 $\overline{\text{SDQM}}$ 、 $\overline{\text{SMS3}}\sim\overline{\text{0}}$ 、 $\overline{\text{SA10}}$ 、 $\overline{\text{SCKE}}$ が含まれます。

²これらのラインはSDRAMインターフェース専用です。



NOTE: COMMAND = $\overline{\text{SRAS}}$, $\overline{\text{SCAS}}$, $\overline{\text{SWE}}$, $\overline{\text{SDQM}}$, $\overline{\text{SMS}}$, $\overline{\text{SA10}}$, $\overline{\text{SCKE}}$.

図11 SDRAMインターフェース・タイミング

外部ポート・バス要求および許可サイクルのタイミング

表20 と図12に、外部ポート・バス要求とバス許可動作を示します。

表20 外部ポート・バス要求および許可サイクルのタイミング

Parameter ^{1, 2}	Min	Max	Unit
<i>Timing Requirements</i>			
t_{BS} \overline{BR} Asserted to CLKOUT High Setup	4.6		ns
t_{BH} CLKOUT High to \overline{BR} Deasserted Hold Time	0.0		ns
<i>Switching Characteristics</i>			
t_{SD} CLKOUT Low to \overline{AMSx} , Address and $\overline{ARE/AWE}$ Disable		4.5	ns
t_{SE} CLKOUT Low to \overline{AMSx} , Address and $\overline{ARE/AWE}$ Enable		4.5	ns
t_{DBG} CLKOUT High to \overline{BG} Asserted Setup		3.6	ns
t_{EBG} CLKOUT High to \overline{BG} Deasserted Hold Time		3.6	ns
t_{DBH} CLKOUT High to \overline{BGH} Asserted Setup		3.6	ns
t_{EBH} CLKOUT High to \overline{BGH} Deasserted Hold Time		3.6	ns

¹これらは、ワーストケース動作条件に基づく暫定タイミング・パラメータ。

²これらのタイミング・パラメータに対するパッドの負荷は 20 pF。

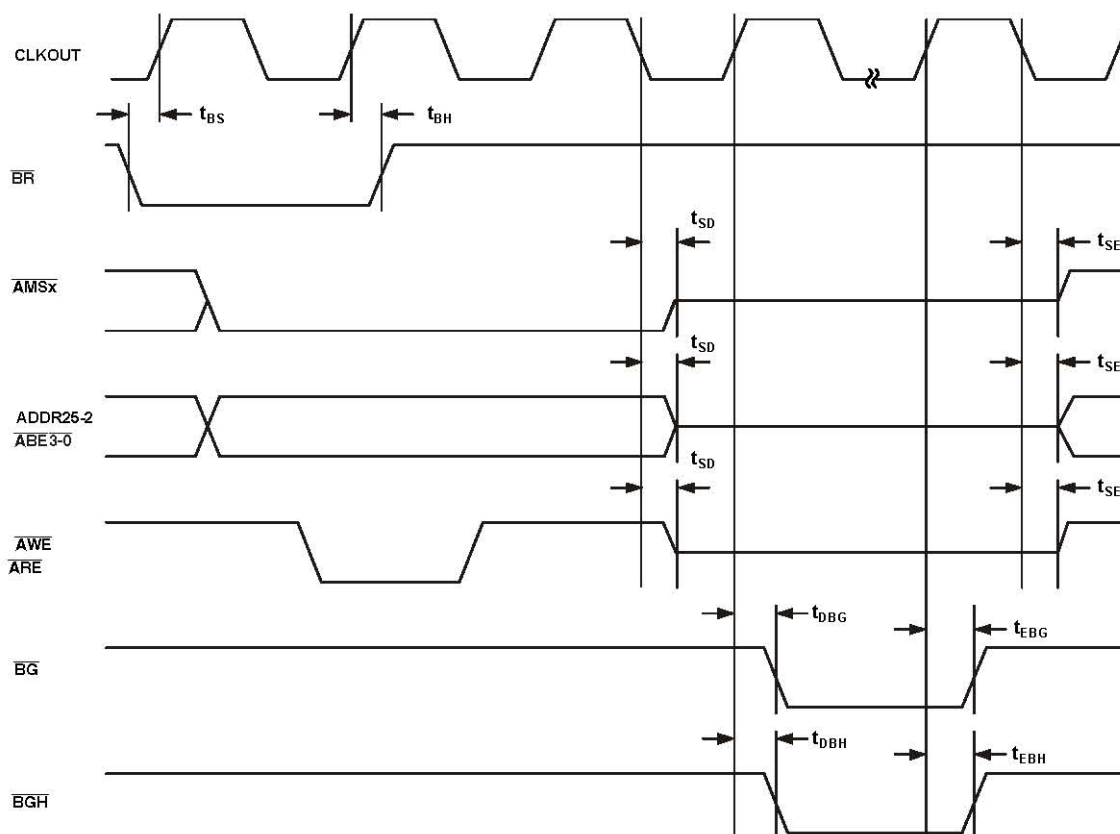


図12 外部ポート・バス要求および許可サイクルのタイミング

パラレル・ペリフェラル・インターフェースのタイミング

表21と図13～図16に、パラレル・ペリフェラル・インターフェース動作を示します。

PLL_CTLレジスタのビット4をセットした場合、図17と図18が適用されます。

表21 パラレル・ペリフェラル・インターフェースのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{CLKW} PPIxCLK Width ¹	5.0		ns
t_{CLK} PPIxCLK Period ¹	13.3		ns
t_{SFSPE} External Frame Sync Setup Before PPIxCLK	4.0		ns
t_{HFSPE} External Frame Sync Hold After PPIxCLK	1.0		ns
t_{SDRPE} Receive Data Setup Before PPIxCLK	3.5		ns
t_{HDRPE} Receive Data Hold After PPIxCLK	2.0		ns
<i>Switching Characteristics</i>			
t_{DFSPE} Internal Frame Sync Delay After PPIxCLK		8.0	ns
t_{HOFSP} Internal Frame Sync Hold After PPIxCLK	1.7		ns
t_{DDTPE} Transmit Data Delay After PPIxCLK		8.0	ns
t_{HDTPE} Transmit Data Hold After PPIxCLK	2.0		ns

¹内部発生フレーム同期を使う PPI モードでは、PPIxCLK 周波数は $f_{\text{SCLK}}/2$ を超えることはできません。フレーム同期なしまたは外部フレーム同期 のモードでは、PPIxCLK は 75 MHz を超えることはできません。 f_{SCLK} は PPIxCLK 以上である必要があります。

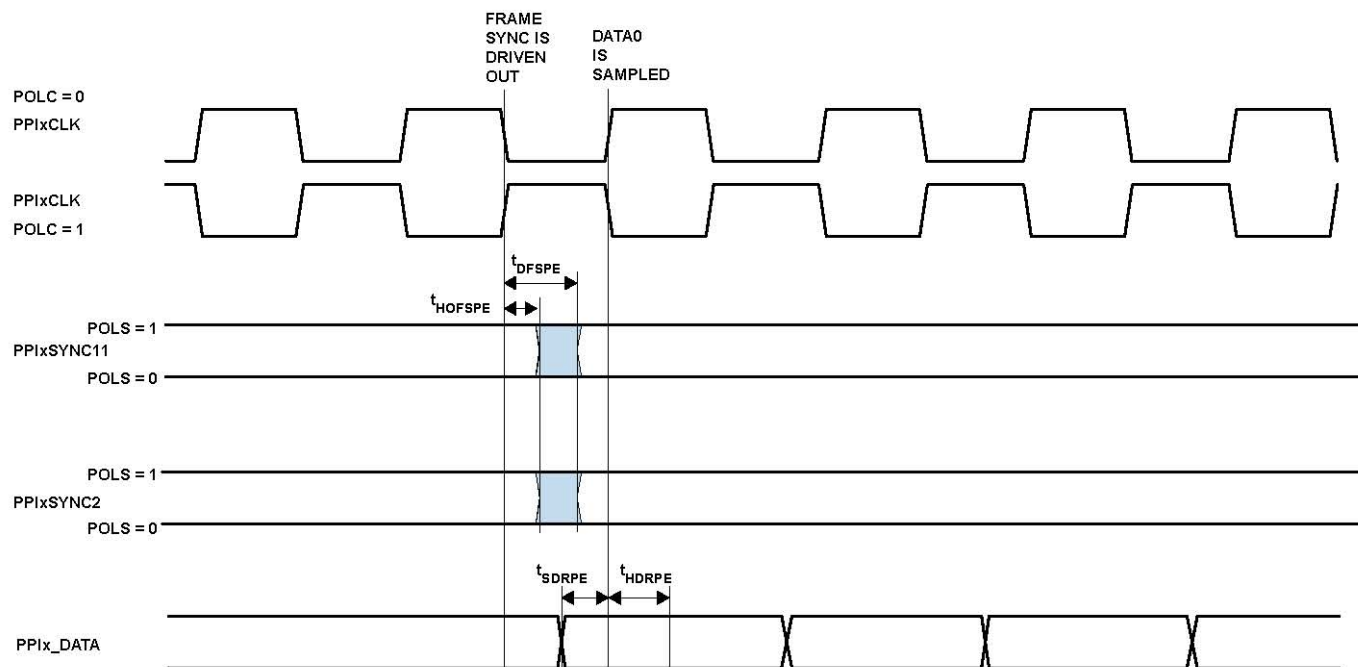


図13 PPI GP Rxモード、内部フレーム同期タイミング(デフォルト)

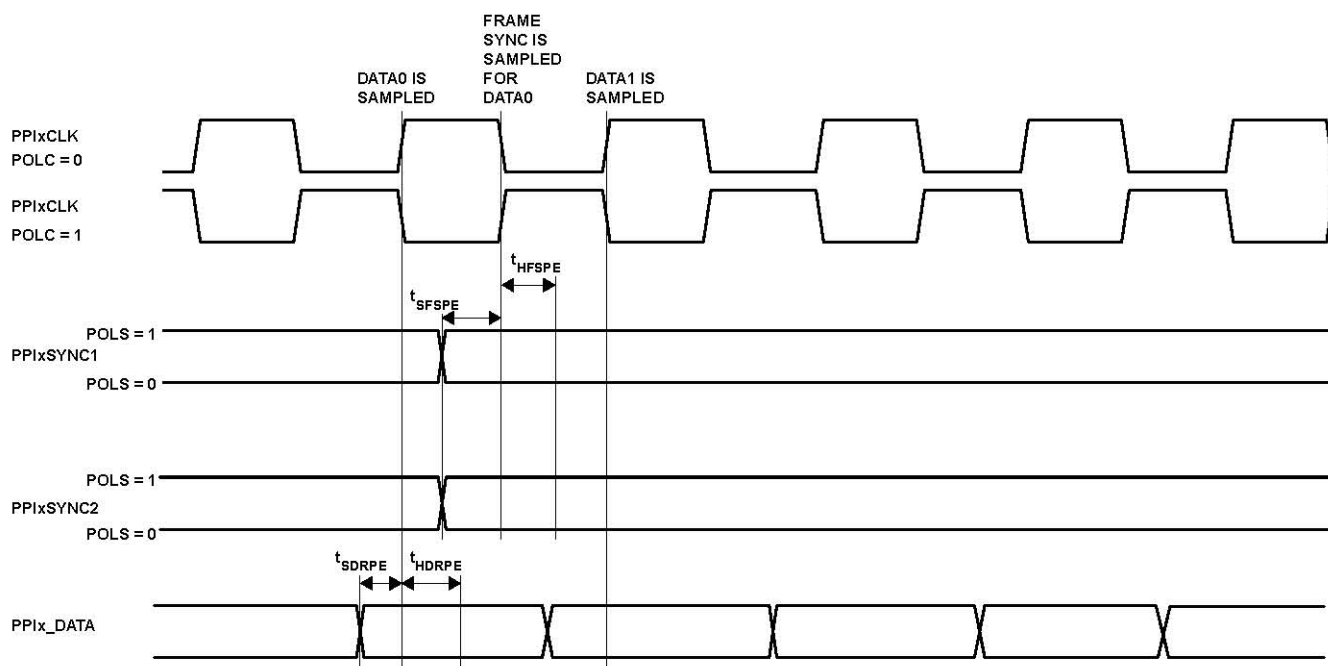


図14 PPI GP Rxモード、外部フレーム同期タイミング(デフォルト)

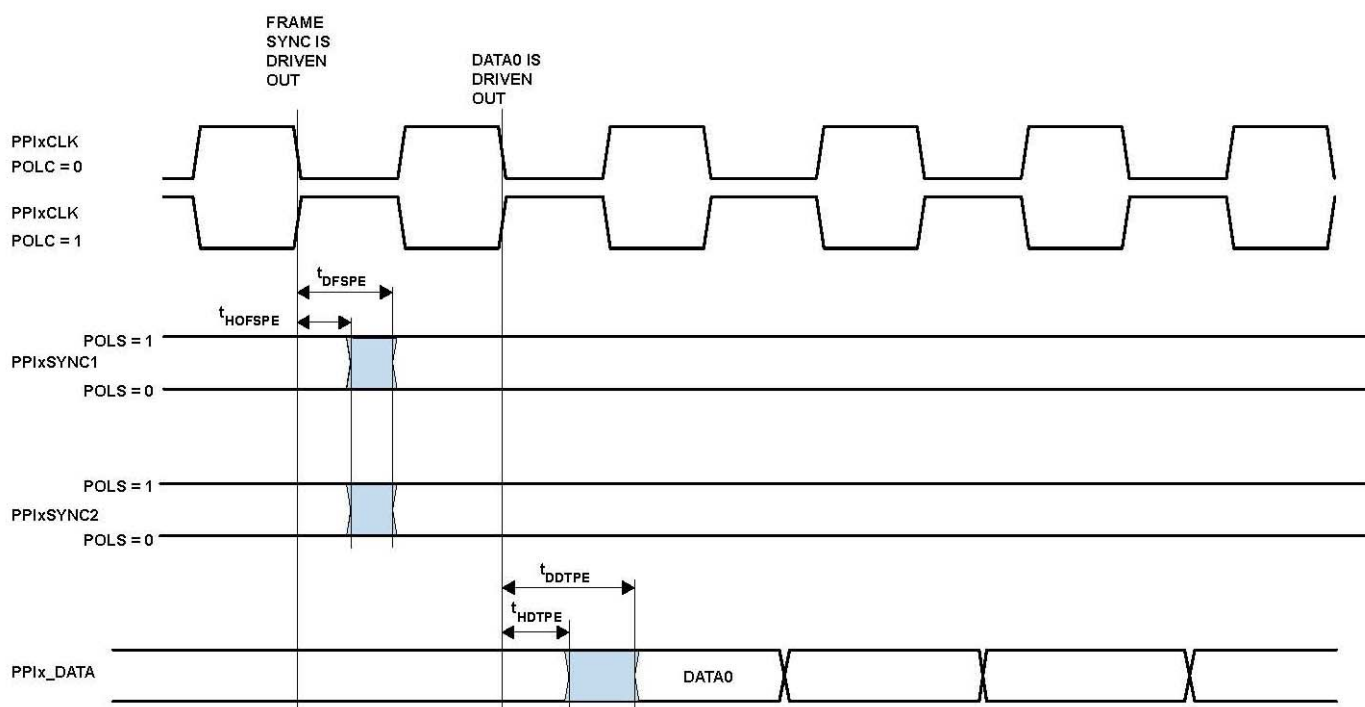


図15 PPI GP Txモード、内部フレーム同期タイミング(デフォルト)

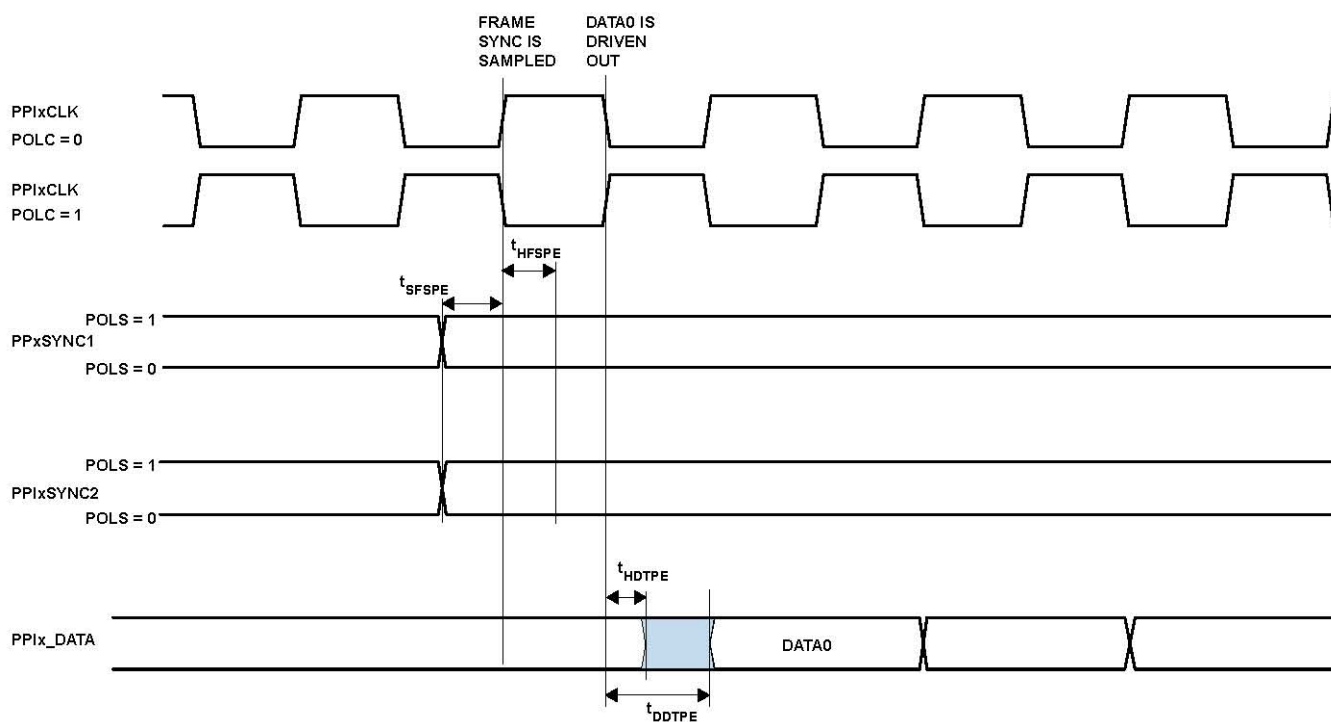


図16 PPI GP Txモード、外部フレーム同期タイミング(デフォルト)

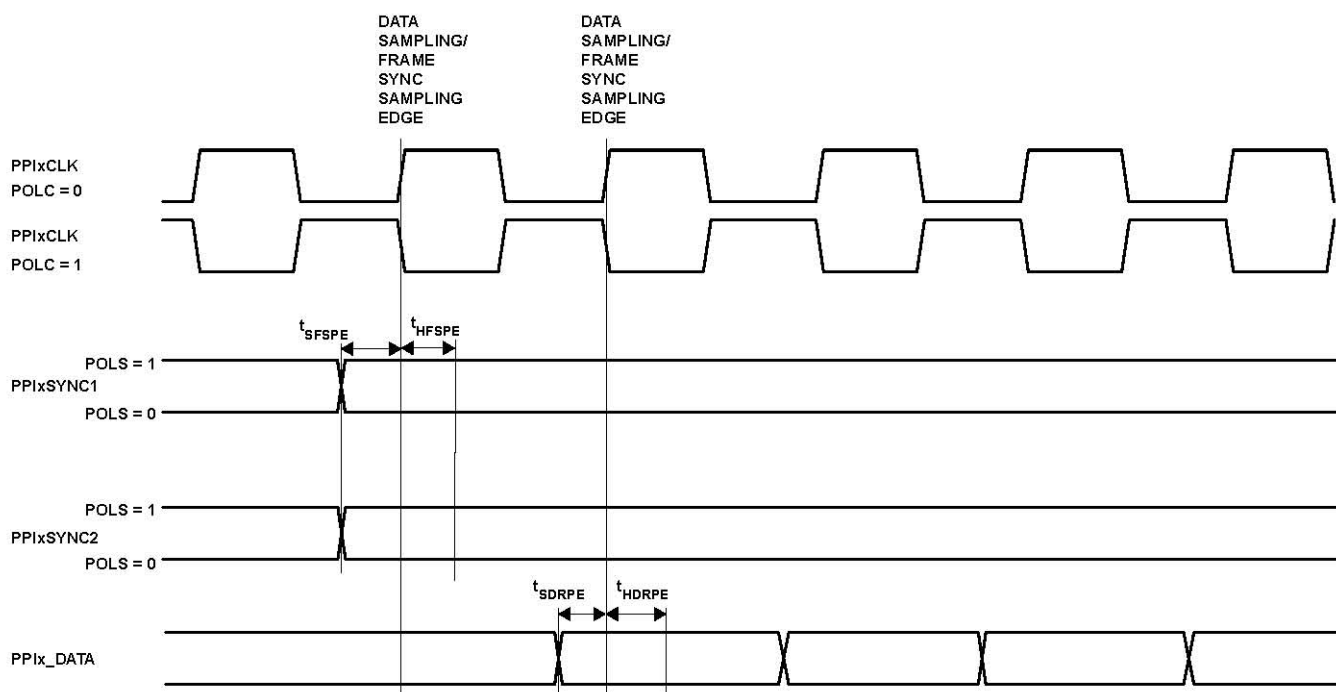


図17 PPI GP Rx モード、外部フレーム同期タイミング (PLL_CTLのビット 4 をセット)

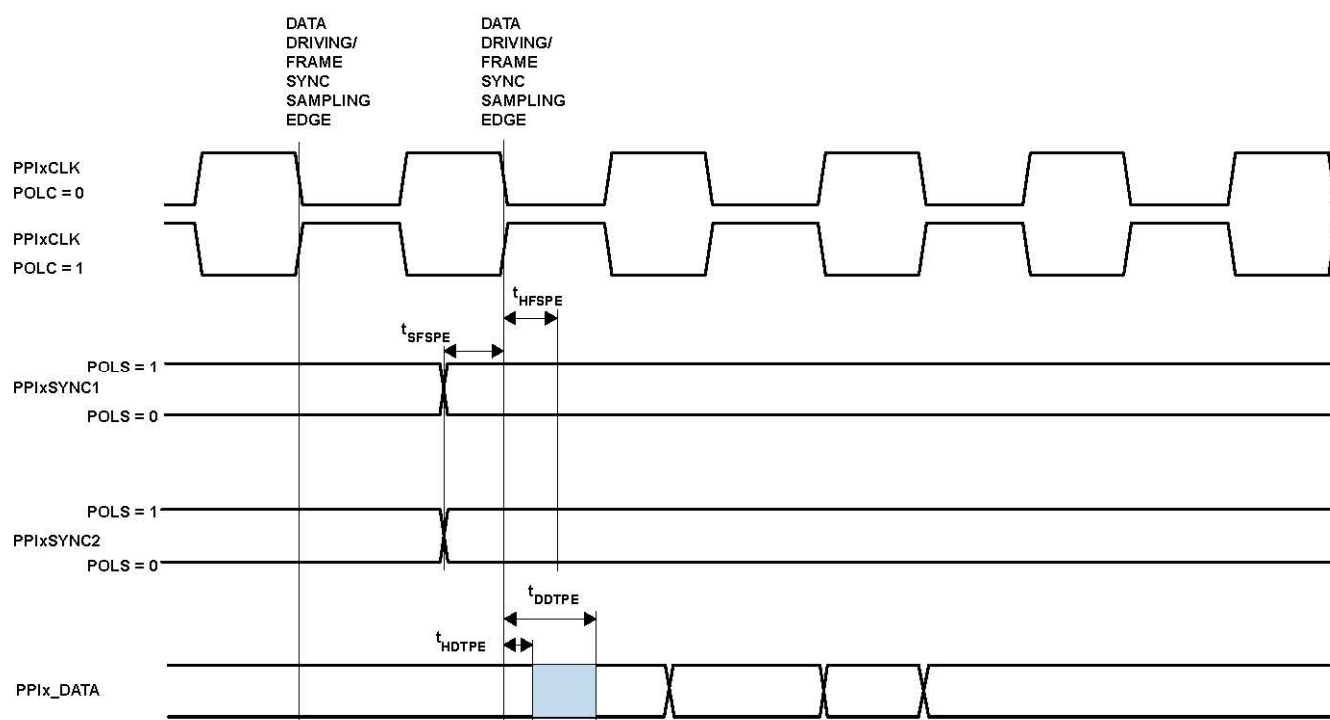


図18 PPI GP Tx モード、外部フレーム同期タイミング (PLL_CTLのビット 4 をセット)

シリアル・ポート

表22～表25と図19～図20に、シリアル・ポートの動作を示します。

表22 シリアル・ポート—外部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SFSE} TFSx/RFSx Setup Before TSCLKx/RSCLKx ¹	3.0		ns
t_{HFSE} TFSx/RFSx Hold After TSCLKx/RSCLKx ¹	3.0		ns
t_{SDRE} Receive Data Setup Before RSCLKx ¹	3.0		ns
t_{HDRE} Receive Data Hold After RSCLKx ¹	3.0		ns
t_{SCLKW} TSCLKx/RSCLKx Width	4.5		ns
t_{SCLK} TSCLKx/RSCLKx Period	15.0		ns
<i>Switching Characteristics</i>			
t_{DFSE} TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²		10.0	ns
t_{HOFSE} TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²	0.0		ns
t_{DDTE} Transmit Data Delay After TSCLKx ²		10.0	ns
t_{HDTE} Transmit Data Hold After TSCLKx ²	0.0		ns

¹サンプル・エッジを基準とします。

²駆動エッジを基準とします。

表23 シリアル・ポート—内部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SFSI} TFSx/RFSx Setup Before TSCLKx/RSCLKx ¹	8.0		ns
t_{HFSI} TFSx/RFSx Hold After TSCLKx/RSCLKx ¹	-2.0		ns
t_{SDRI} Receive Data Setup Before RSCLKx ¹	6.0		ns
t_{HDRI} Receive Data Hold After RSCLKx ¹	0.0		ns
t_{SCLKW} TSCLKx/RSCLKx Width	4.5		ns
t_{SCLK} TSCLKx/RSCLKx Period	15.0		ns
<i>Switching Characteristics</i>			
t_{DFSI} TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²		3.0	ns
t_{HOFSI} TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²	-1.0		ns
t_{DDTI} Transmit Data Delay After TSCLKx ²		3.0	ns
t_{HDTI} Transmit Data Hold After TSCLKx ²	-2.0		ns
t_{SCLKW} TSCLKx/RSCLKx Width	4.5		ns

¹サンプル・エッジを基準とします。

²駆動エッジを基準とします。

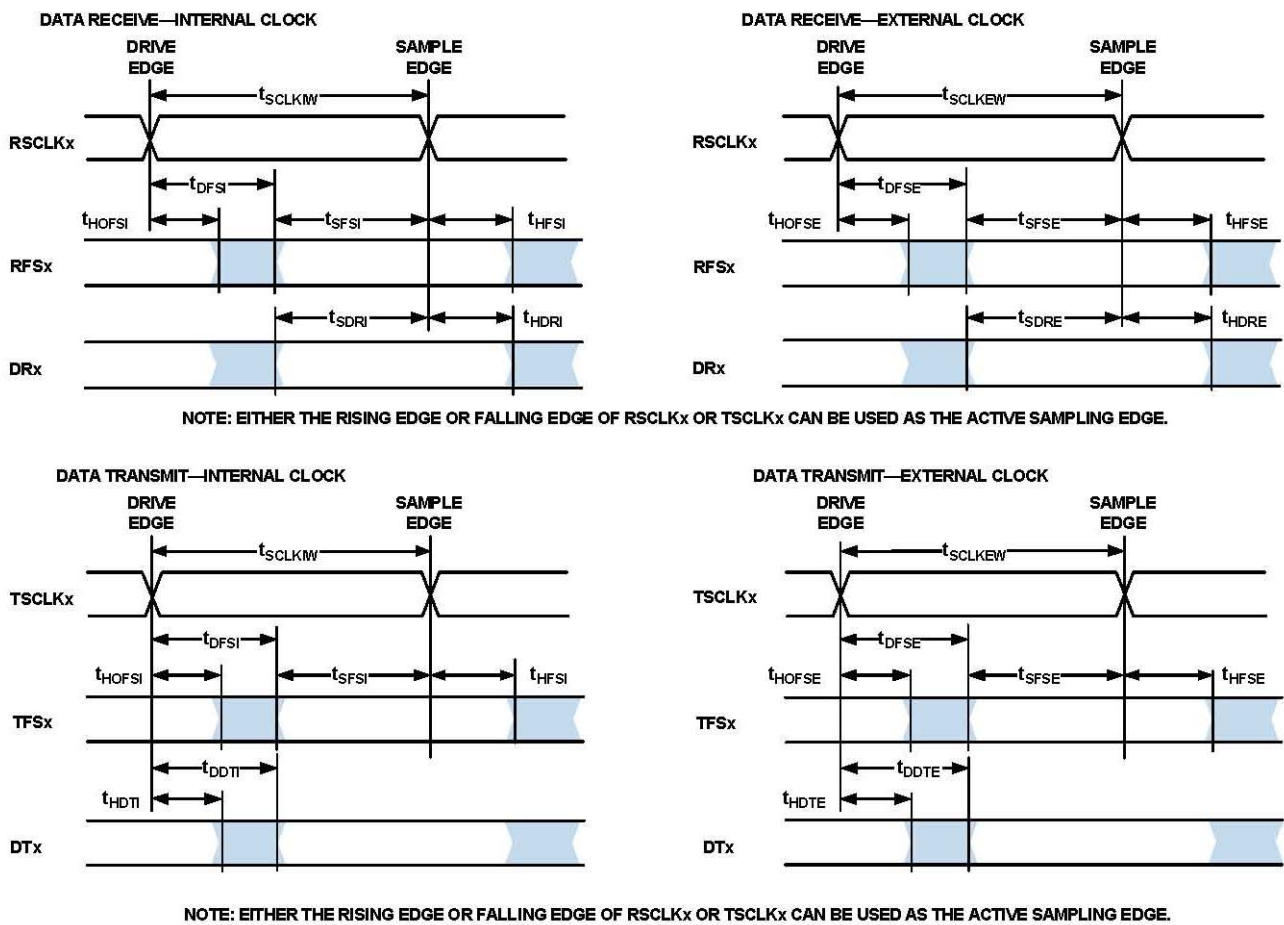


図19 シリアル・ポート

表24 シリアル・ポート・イネーブルとスリーステート

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DTENE} Data Enable Delay from External TSCLKx ¹	0		ns
t_{DDTTE} Data Disable Delay from External TSCLKx ¹		10.0	ns
t_{DTENI} Data Enable Delay from Internal TSCLKx ¹	-2.0		ns
t_{DDTTI} Data Disable Delay from Internal TSCLKx ¹		3.0	ns

¹駆動エッジを基準とします。

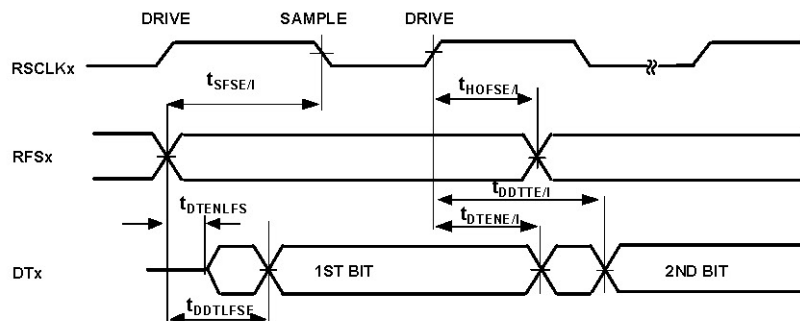
表25 外部レイト・フレーム同期

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
$t_{DDTLFSE}$ Data Delay from Late External TFSx or External RFSx with MCE = 1, MFD = 0 ^{1, 2}		10.0	ns
$t_{DTENLFS}$ Data Enable from Late FS or MCE = 1, MFD = 0 ^{1, 2}	0		ns

¹MCE = 1、TFSx イネーブル、TFSx 有効は $t_{DTENLFS}$ と $t_{DDTLFSE}$ の後です。

²RSCLKx/TSCLKx への外部 RFSx/TFSx セットアップ > $t_{SCLKF}/2$ の場合、 $t_{DDTTE/I}$ と $t_{DTENE/I}$ を適用。その他の場合は $t_{DDTLFSE}$ と $t_{DTENLFS}$ を適用。

EXTERNAL RFS WITH MCE = 1, MFD = 0



LATE EXTERNAL TFS

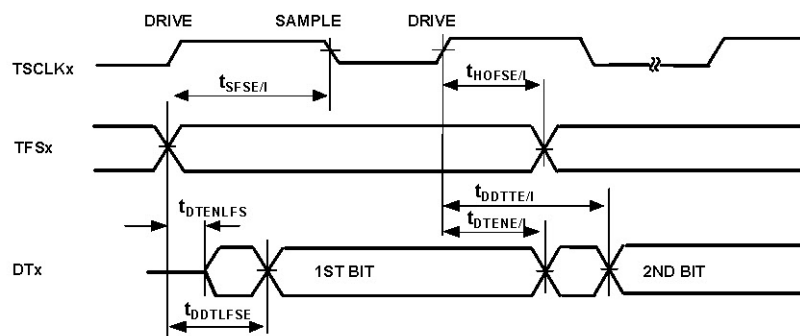


図20 外部レイト・フレーム同期

シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

表26 と図21に、SPIポートのマスター動作を示します。

表26 シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SPIDM} Data Input Valid to SCK Edge (Data Input Setup)	7.5		ns
t_{HSPIDM} SCK Sampling Edge to Data Input Invalid	-1.5		ns
<i>Switching Characteristics</i>			
t_{SDSCIM} $\overline{SPIXELx}$ Low to First SCK Edge	$2 \times t_{SCLK} - 1.5$		ns
t_{SPICHM} Serial Clock High Period	$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLM} Serial Clock Low Period	$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLK} Serial Clock Period	$4 \times t_{SCLK} - 1.5$		ns
t_{HDSM} Last SCK Edge to $\overline{SPIXELx}$ High	$2 \times t_{SCLK} - 1.5$		ns
t_{SPITDM} Sequential Transfer Delay	$2 \times t_{SCLK} - 1.5$		ns
$t_{DDSPIDM}$ SCK Edge to Data Out Valid (Data Out Delay)	0	6	ns
$t_{HDSPIDM}$ SCK Edge to Data Out Invalid (Data Out Hold)	-1.0	+4.0	ns

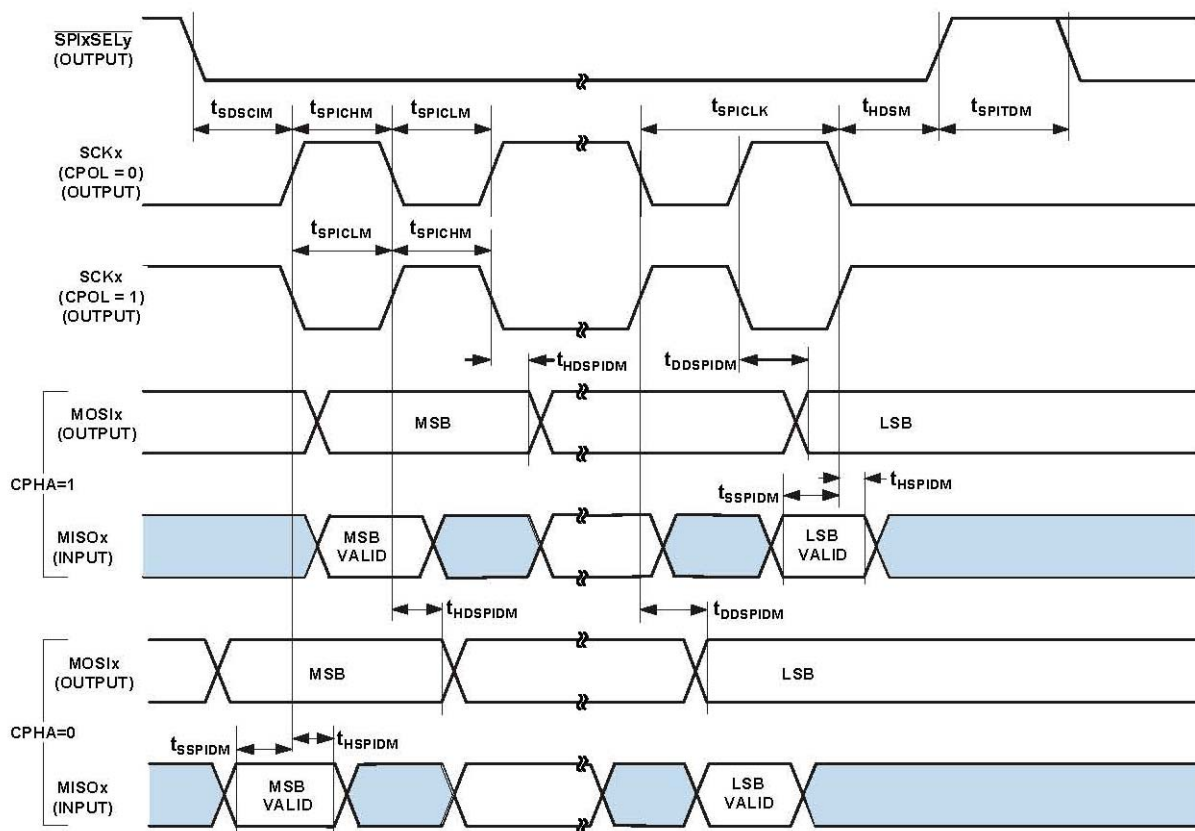


図21 シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

シリアル・ペリフェラル・インターフェース(SPI)ポート
スレーブ・タイミング

表27と図22に、SPIポートのスレーブ動作を示します。

表27 シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SPICHS} Serial Clock High Period	$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLS} Serial Clock Low Period	$2 \times t_{SCLK} - 1.5$		ns
t_{SPICLK} Serial Clock Period	$4 \times t_{SCLK}$		ns
t_{HDS} Last SCK Edge to \overline{SPISS} Not Asserted	$2 \times t_{SCLK} - 1.5$		ns
t_{SPITDS} Sequential Transfer Delay	$2 \times t_{SCLK} - 1.5$		ns
t_{SDSCI} \overline{SPISS} Assertion to First SCK Edge	$2 \times t_{SCLK} - 1.5$		ns
t_{SSPID} Data Input Valid to SCK Edge (Data Input Setup)	1.6		ns
t_{HSPID} SCK Sampling Edge to Data Input Invalid	1.6		ns
<i>Switching Characteristics</i>			
t_{DSOE} \overline{SPISS} Assertion to Data Out Active	0	8	ns
t_{DSDHI} \overline{SPISS} Deassertion to Data High Impedance	0	8	ns
t_{DDSPID} SCK Edge to Data Out Valid (Data Out Delay)	0	10	ns
t_{HDSPID} SCK Edge to Data Out Invalid (Data Out Hold)	0	10	ns

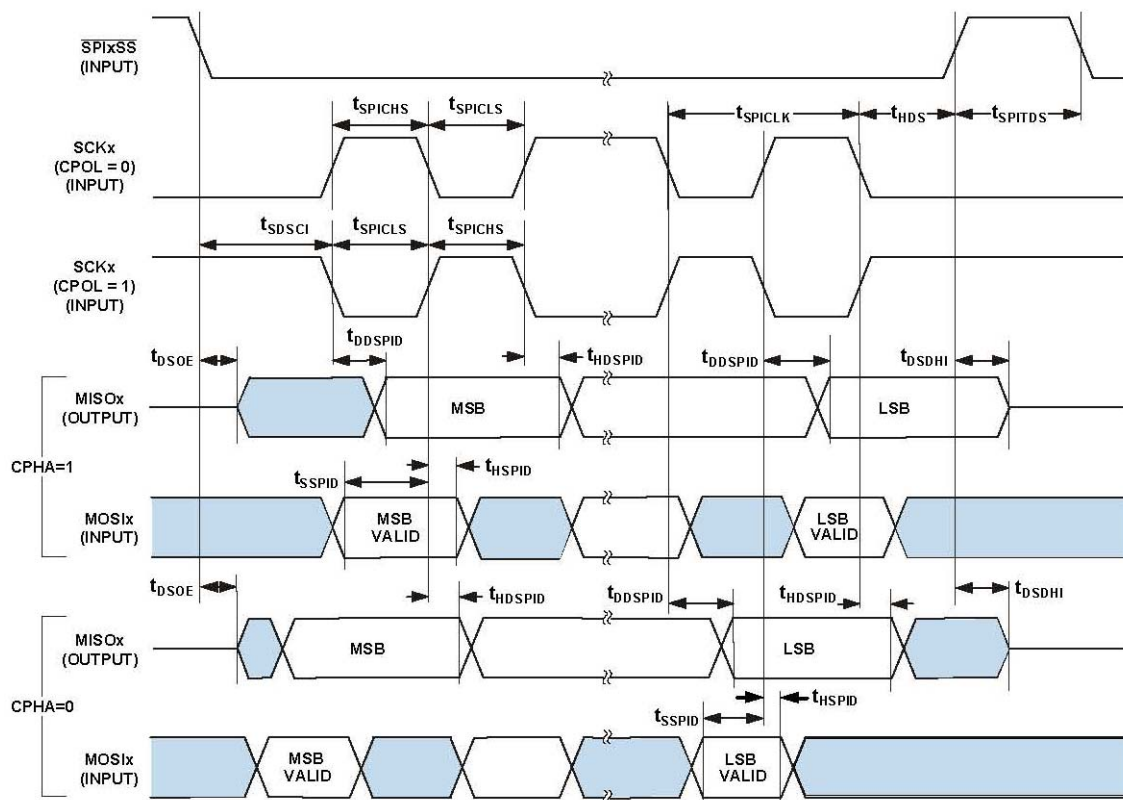


図22 シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

ユニバーサル非同期レシーバ・トランスミッタ(UART) ポート—受信タイミングと送信タイミング

図23 に、UARTポートの受信動作と送信動作を示します。最大ボー・レートはSCLK/16です。図23に示すように、内部UART割り込みの発生と外部データ動作との間にはレイテンシが存在します。これらの遅延は、UARTのデータ・レートに対して無視することができます。

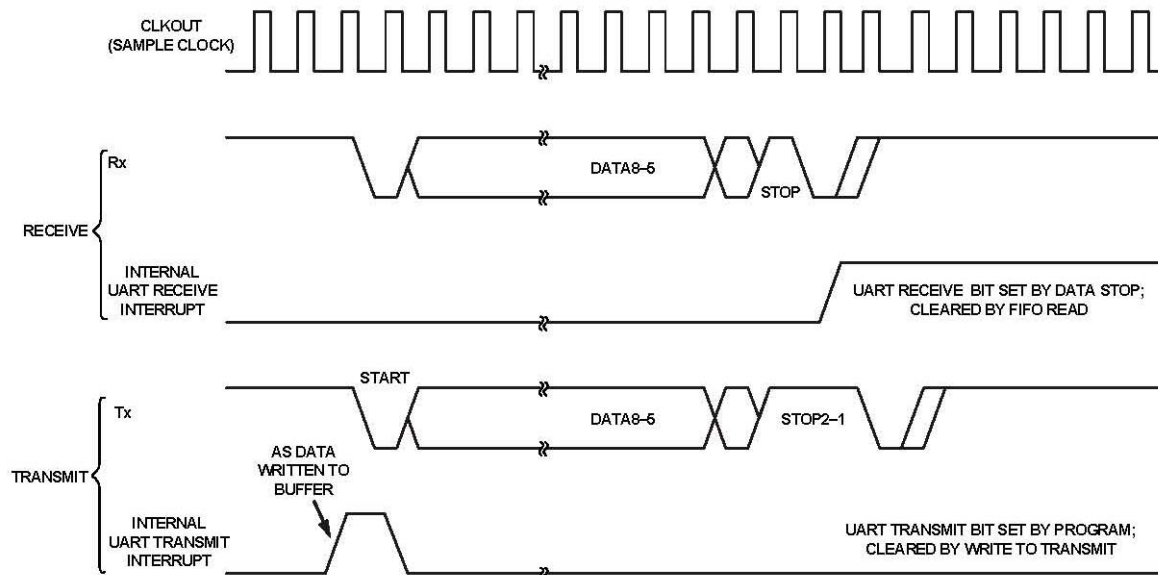


図23 UARTポート—受信タイミングと送信タイミング

プログラマブル・フラグ・サイクル・タイミング

表28 と図24に、プログラマブル・フラグの動作を示します。

表28 プログラマブル・フラグ・サイクル・タイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{WFI} Flag Input Pulse Width	$t_{CLK} + 1$		ns
<i>Switching Characteristic</i>			
t_{DFO} Flag Output Delay from CLKOUT Low		6	ns

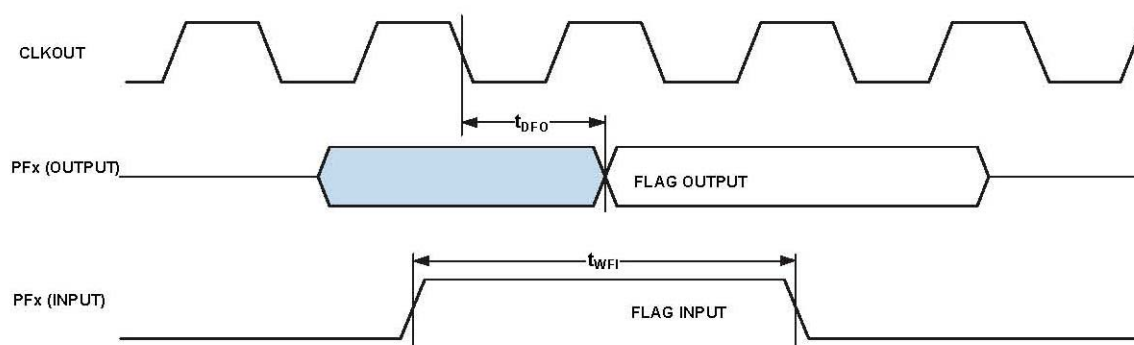


図24 プログラマブル・フラグ・サイクル・タイミング

タイマ・サイクルのタイミング

表29と図25に、タイマのタイムアウト動作を示します。入力信号は、幅キャプチャ・モードと外部クロック・モードでは非同期であるため、絶対最大入力周波数($f_{SCLK}/2$ MHz)が存在します。

表29 タイマ・サイクルのタイミング

Parameter	Min	Max	Unit
<i>Timing Characteristics</i>			
t_{WL} Timer Pulse Width Input Low ¹ (Measured in SCLK Cycles)	1		SCLK
t_{WH} Timer Pulse Width Input High ¹ (Measured in SCLK Cycles)	1		SCLK
<i>Switching Characteristic</i>			
t_{HTO} Timer Pulse Width Output ² (Measured in SCLK Cycles)	1	($2^{32}-1$)	SCLK

¹最小パルス幅は、幅キャプチャ・モードと外部クロック・モードで TMRx 入力ピンに適用。PWM 出力モードでは、PF1 または PPIxCLK 入力ピンにも適用。

² t_{HTO} の最小時間は 1 サイクルで、 t_{HTO} の最大時間は ($2^{32}-1$) サイクル。

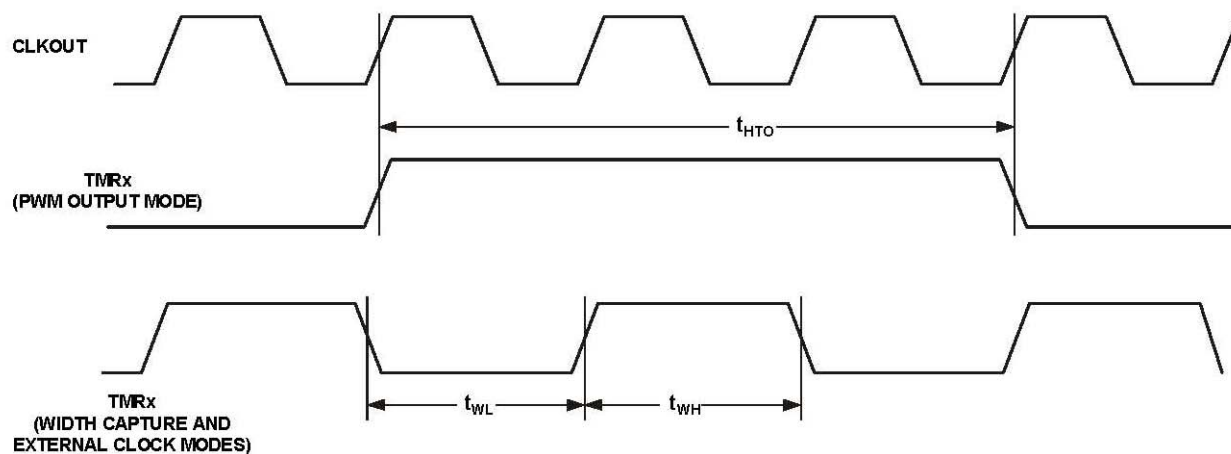


図25 タイマPWM_OUTサイクルのタイミング

JTAGテストおよびエミュレーション・ポートのタイミング

表30 と図26に、JTAG ポートの動作を示します。

表30 JTAG ポートのタイミング

Parameter	Min	Max	Unit
<i>Timing Parameters</i>			
t_{TCK} TCK Period	20		ns
t_{STAP} TDI, TMS Setup Before TCK High	4		ns
t_{HTAP} TDI, TMS Hold After TCK High	4		ns
t_{SSYS} System Inputs Setup Before TCK High ¹	4		ns
t_{HSYS} System Inputs Hold After TCK High ¹	5		ns
t_{TRSTW} \overline{TRST} Pulse Width ² (Measured in TCK Cycles)	4		TCK
<i>Switching Characteristics</i>			
t_{DTDO} TDO Delay from TCK Low		10	ns
t_{DSYS} System Outputs Delay After TCK Low ³	0	12	ns

¹システム入力= DATA31~0, ARDY, PF47~0, PPI0CLK, PPI1CLK, RSCLK0~1, RFS0~1, DR0PRI, DR0SEC, TSCLK0~1, TFS0~1, DR1PRI, DR1SEC, MOSI, MISO, SCK, RX, RESET, NMI0, NMI1, BMODE1~0, BR, PPIxD7~0。

²50 MHz 最大

³システム出力= DATA31~0, ADDR25~2, ABE3~0, AOE, ARE, AWE, AMS3~0, SRAS, SCAS, SWE, SCKE, CLKOUT, SA10, SMS3~0, PF47~0, RSCLK0~1, RFS0~1, TSCLK0~1, TFS0~1, DT0PRI, DT0SEC, DT1PRI, DT1SEC, MOSI, MISO, SCK, TX, BG, BGH, PPIxD7~0。

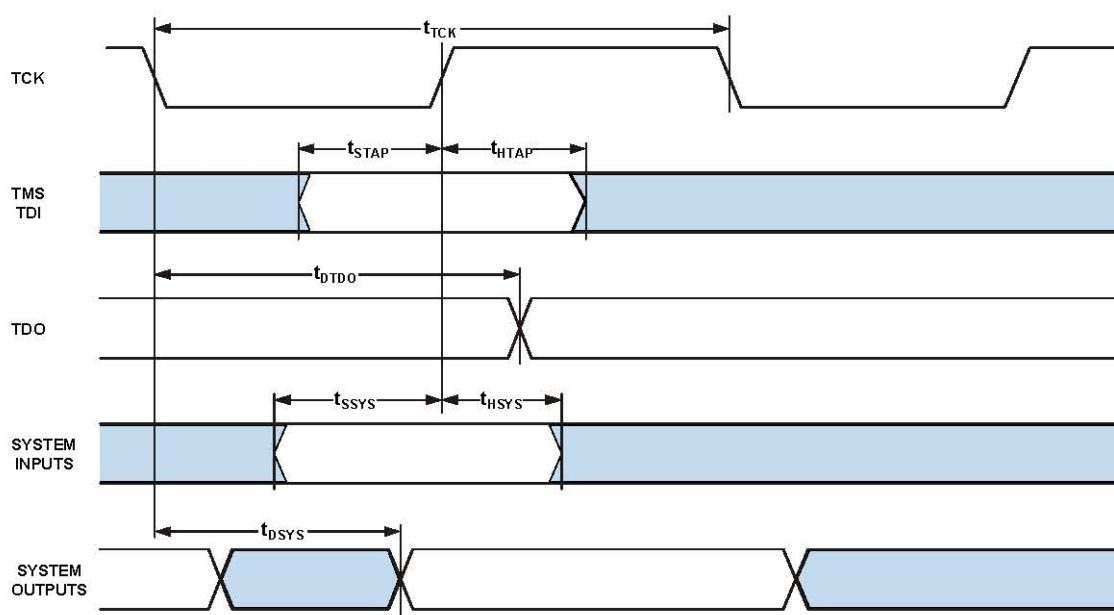


図26 JTAGポートのタイミング

出力駆動電流

図27～図34に、ADSP-BF561プロセッサの出力ドライバの電流電圧特性(typ)を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。ピンのドライバ・タイプについては表8を参照してください。

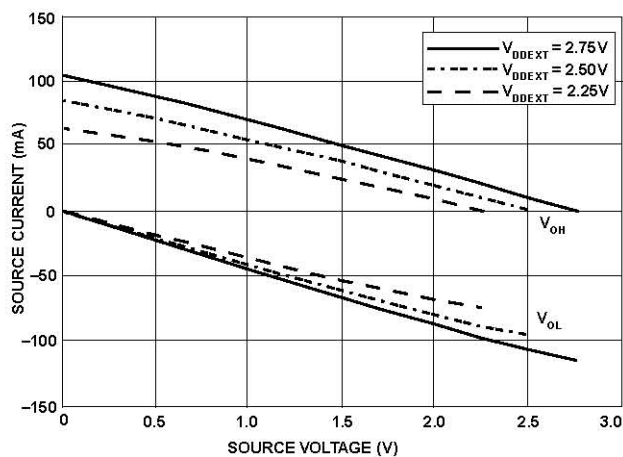


図27 駆動電流 A (低 V_{DDEXT})

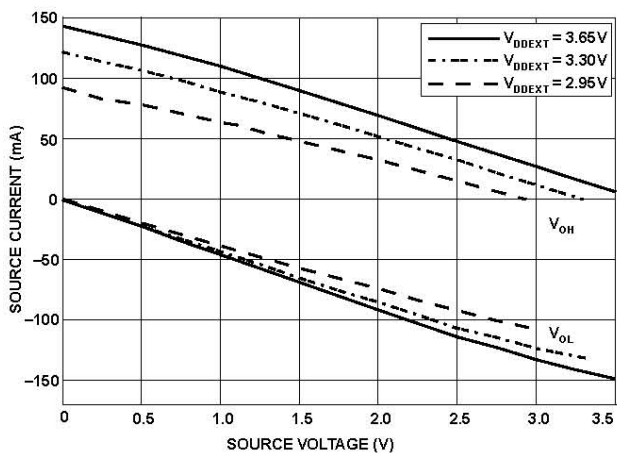


図28 駆動電流 A (高 V_{DDEXT})

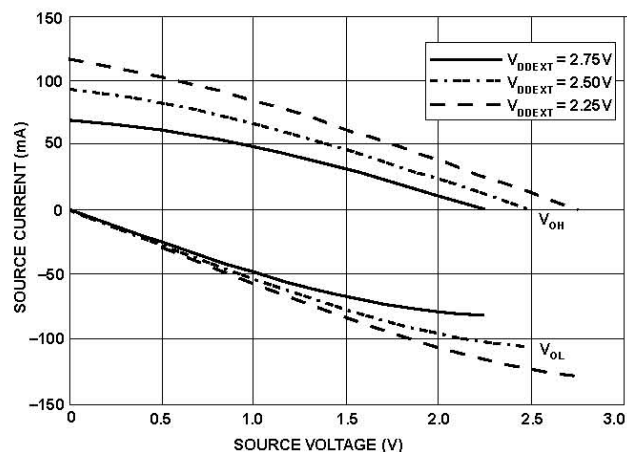


図29 駆動電流 B (低 V_{DDEXT})

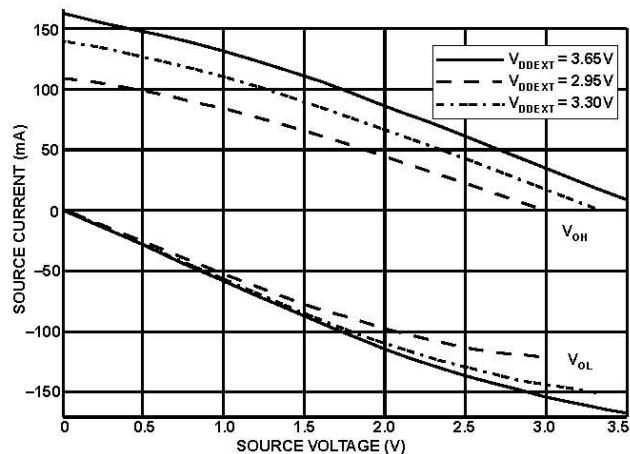


図30 駆動電流 B (高 V_{DDEXT})

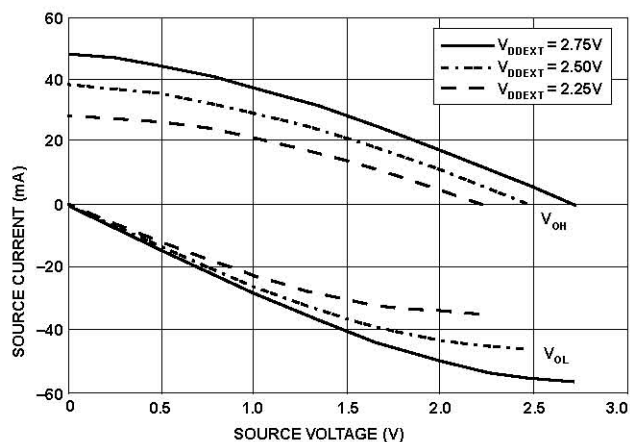


図31 駆動電流 C (低 V_{DDEXT})

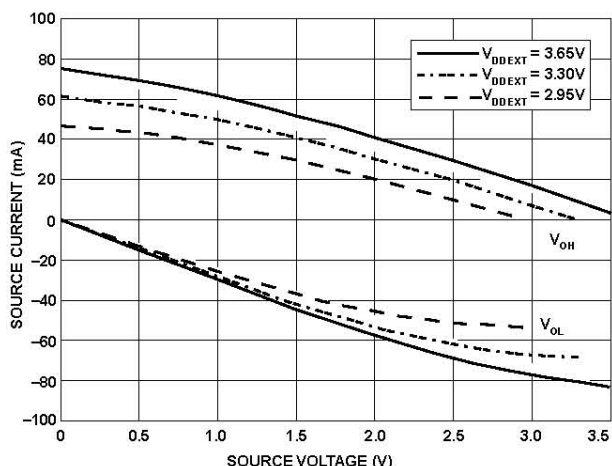


図32 駆動電流 C (高 V_{DDEXT})

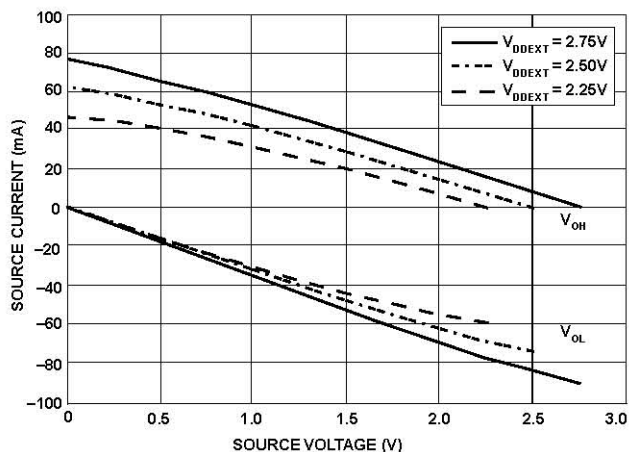


図33 駆動電流 D (低 V_{DDEXT})

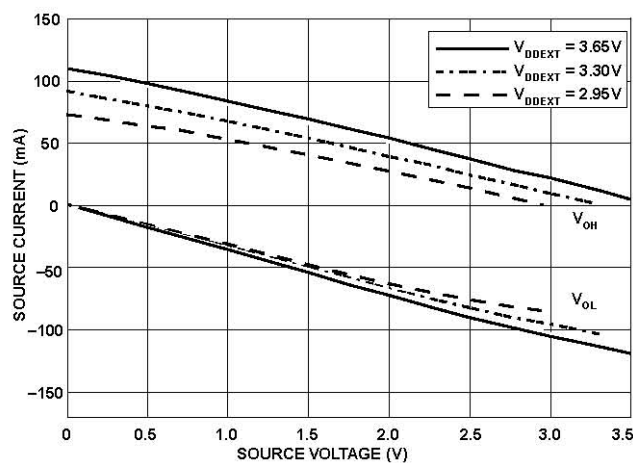


図34 駆動電流 D (高 V_{DDEXT})

消費電力

多くの動作条件が消費電力に影響を与えます。デザインを低消費電力用に最適化する詳細情報については、「*Estimating Power for ADSP-BF561 Blackfin Processors (EE-293)*」(www.analog.com)を参照してください。「EE293」のサイト検索をご使用ください。このドキュメントには、デザインの消費電力を最小にする最適化情報が記載されています。

種々の動作モードの定義とシステム消費電力を最小にする方法については「*ADSP-BF561 Blackfin Processor Hardware Reference Manual*」を参照してください。

テスト条件

このデータシートに記載するすべてのタイミング・パラメータは、このセクションに記載する条件で測定しています。図35に、AC測定の測定ポイントを示します(ただし出力イネーブル/ディスエーブルを除きます)。 V_{DDEXT} (公称) = 2.5 V/3.3 Vでは測定ポイント $V_{MEAS} = 1.5$ V。

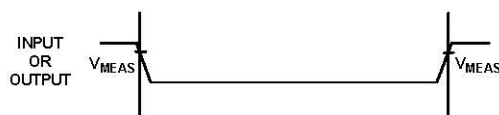


図35 AC測定のリファレンス電圧レベル (出力イネーブル/ディスエーブル以外)

出力イネーブル時間の測定

高インピーダンス状態から駆動を開始する時点まで変化したとき、出力ピンがイネーブルされたと見なします。

出力イネーブル時間 t_{ENA} は、リファレンス信号がハイ・レベルまたはロー・レベルに到達した時点から出力が駆動を開始する時点までの間隔です(図36の右側参照)。

時間 $t_{ENA_MEASURED}$ は、リファレンス信号がスイッチした時点から出力電圧が $V_{TRIP(high)}$ または $V_{TRIP(low)}$ に到達する時点までの間隔です。 $V_{DDEXT}(\text{nominal}) = 2.5$ V/3.3 Vの場合、 $V_{TRIP(high)} = 2.0$ Vで、 $V_{TRIP(low)} = 1.0$ V。時間 t_{TRIP} は、出力が駆動を開始する時点から出力が $V_{TRIP(high)}$ または $V_{TRIP(low)}$ のトリップ電圧に到達する時点までの間隔です。時間 t_{ENA} は次式で計算されます。

$$t_{ENA} = t_{ENA_MEASURED} - t_{TRIP}$$

複数のピンをイネーブルする場合は(たとえばデータ・バス)、測定値は駆動を開始する最初のピンの測定値になります。

出力ディスエーブル時間の測定

駆動を停止して高インピーダンス状態になり、出力ハイ・レベルまたはロー・レベルから減衰し始めたとき、出力ピンはディスエーブルされたと見なします。出力ディスエーブル時間 t_{DIS} は、 $t_{DIS_MEASURED}$ と t_{DECAY} との差です(図36の左側参照)。

$$t_{DIS} = t_{DIS_MEASURED} - t_{DECAY}$$

バス上の電圧が ΔV だけ減衰する時間は、容量負荷 C_L と負荷電流 I_L に依存します。この減衰時間は次式で近似できます。

$$t_{DECAY} = (C_L \Delta V) / I_L$$

時間 t_{DECAY} は、テスト負荷を C_L および I_L とし、 V_{DDEXT} (nominal) = 2.5 V/3.3 V に対して $\Delta V = 0.5$ V として計算されます。

時間 $t_{DIS_MEASURED}$ は、リファレンス信号がスイッチした時点から測定された出力ハイ・レベルまたはロー・レベルから出力電圧が ΔV だけ減衰する時点までの間隔です。

システム・ホールド時間計算の例

特定のシステムでデータ出力ホールド・タイムを求めるときは、まず上の式を使って t_{DECAY} を計算します。ADSP-BF561プロセッサの出力電圧と、ホールド・タイムを必要とするデバイスの入力スレッショルドとの差となるように ΔV を選択します。 C_L は合計バス容量(データ・ラインあたり)で、 I_L は合計リーク電流またはスリーステート電流(データ・ラインあたり)です。ホールド・タイムは、 t_{DECAY} とタイミング仕様に規定する種々の出力ディスエーブル時間の和です(たとえば、SDRAMインターフェース・タイミングに示すSDRAM書き込みサイクルの t_{DSDAT})。

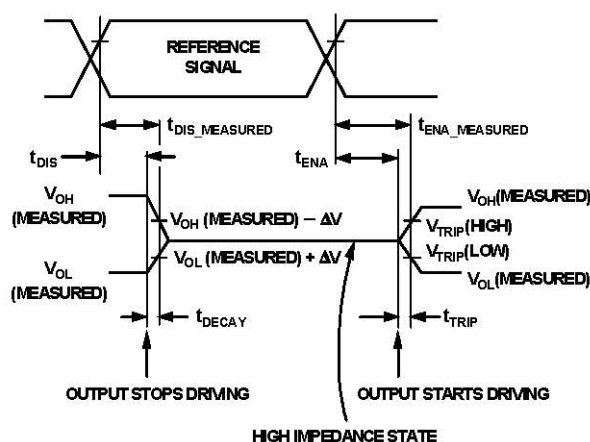


図36 出力イネーブル/ディスエーブル

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷 30 pFを接続しています(図37参照)。 V_{DDEXT} (nominal) = 2.5 V/3.3 Vでは $V_{LOAD} = 1.5$ Vです。図38～図45に、出力立ち上がり時間と容量の関係を示します。遅延仕様とホールド仕様は、これらの図から求めたファクタでデレーティングさせる必要があります。これらの図のグラフは、表示範囲の外側では直線的でないことがあります。

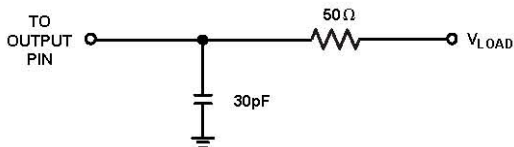


図37 AC測定の等価デバイス負荷 (すべての治具を含む)

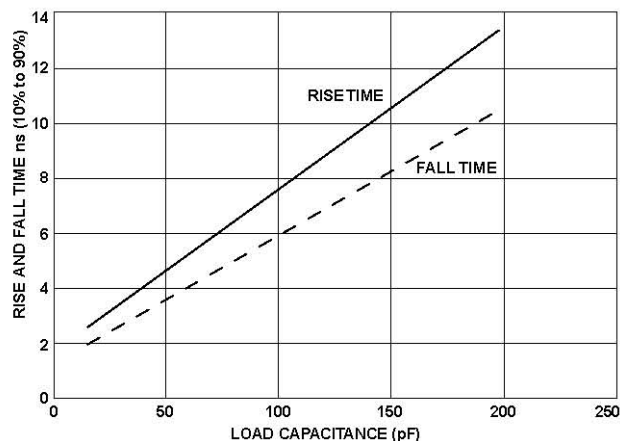


図38 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Aの V_{DDEXT} (min)での負荷容量

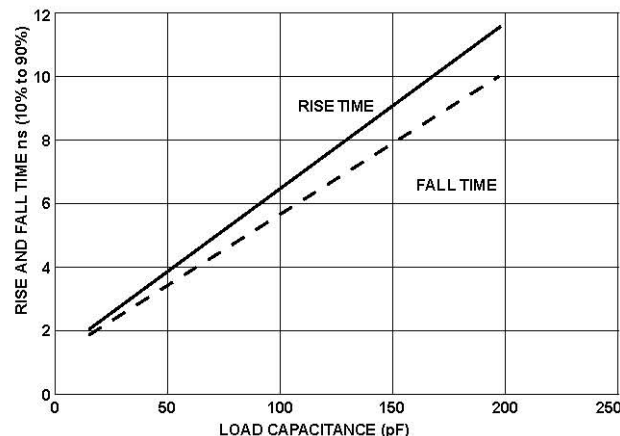


図39 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Aの V_{DDEXT} (max)での負荷容量

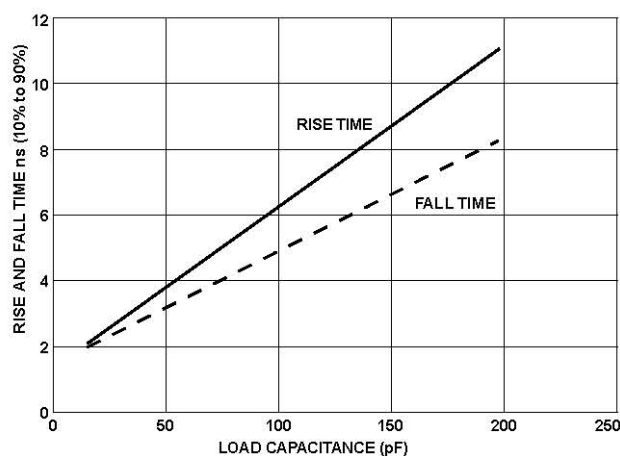


図40 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Bの V_{DDEXT} (min)での負荷容量

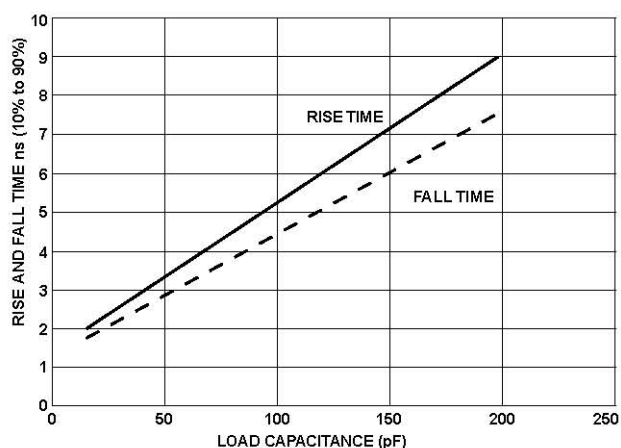


図41 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Bの $V_{DDEXT}(max)$ での負荷容量

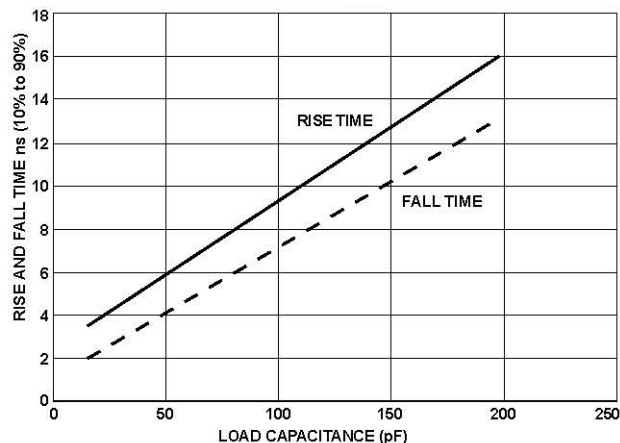


図44 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Dの $V_{DDEXT}(min)$ での負荷容量

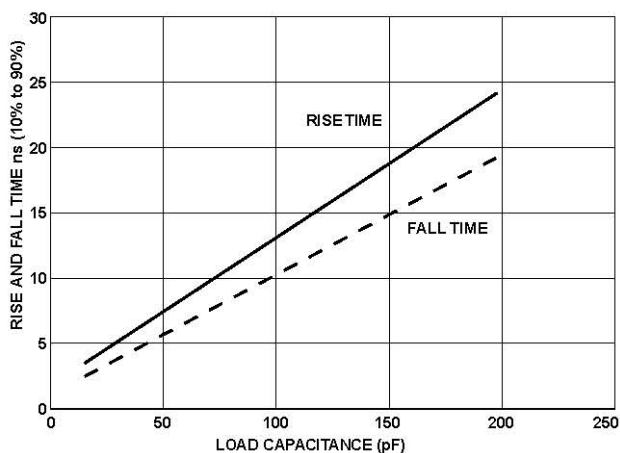


図42 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Cの $V_{DDEXT}(min)$ での負荷容量

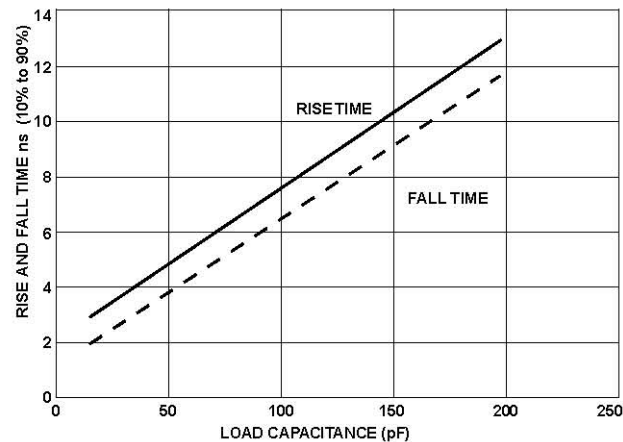


図45 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Dの $V_{DDEXT}(max)$ での負荷容量

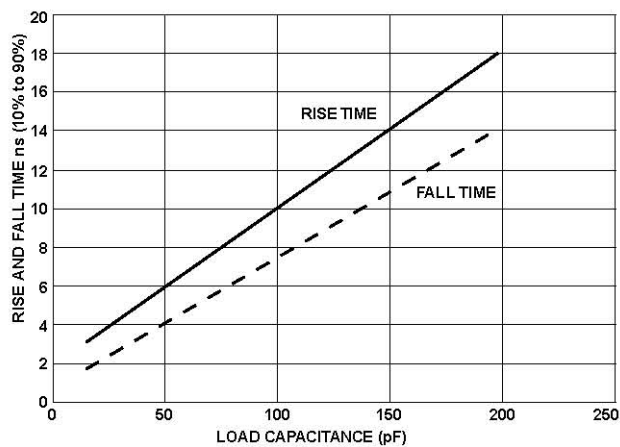


図43 立ち上がりおよび立ち下がり時間 (10%から90%)対ドライバ Cの $V_{DDEXT}(max)$ での負荷容量

環境条件

アプリケーションPCB上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、 T_J = 接合温度 (°C)。

T_{CASE} = パッケージ上面中央で測定したケース温度 (°C)。

Ψ_{JT} = 表31～表33の値。

P_D = 消費電力 (P_D の計算方法については消費電力説明を参照してください)。

θ_{JA} の値はパッケージの比較とPCBデザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、 T_A = 周囲温度 (°C)。

表31～表33で、空気流の測定はJEDEC規格JESD51-2とJESD51-6に準拠し、ジャンクション-ボード間測定はJESD51-8に準拠します。ジャンクション-ケース測定はMIL-STD-883(Method 1012.1)に準拠します。すべての測定で、2S2P JEDECテスト・ボードを使用しています。

表31～表33の熱抵抗 θ_{JA} は、対流環境内でのパッケージとボードの性能に関する性能指数です。 θ_{JMA} は空気流の2つの条件下での熱抵抗です。 θ_{JB} は、ボード周辺から取り出される熱。 Ψ_{JT} は、 T_J と T_{CASE} との間の相関を表します。 θ_{JB} の値は、パッケージ比較とPCBデザイン考慮のために提供。

表31 BC-256-4 の熱特性
(17 mm × 17 mm) パッケージ

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	18.1	°C/W
θ_{JMA}	1 Linear m/s Airflow	15.9	°C/W
θ_{JMA}	2 Linear m/s Airflow	15.1	°C/W
θ_{JC}	Not Applicable	3.72	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.11	°C/W
Ψ_{JT}	1 Linear m/s Airflow	0.18	°C/W
Ψ_{JT}	2 Linear m/s Airflow	0.18	°C/W

表32 BC-256-1 の熱特性
(12 mm × 12 mm) パッケージ

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	25.6	°C/W
θ_{JMA}	1 Linear m/s Airflow	22.4	°C/W
θ_{JMA}	2 Linear m/s Airflow	21.6	°C/W
θ_{JB}	Not Applicable	18.9	°C/W
θ_{JC}	Not Applicable	4.85	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.15	°C/W
Ψ_{JT}	1 Linear m/s Airflow	n/a	°C/W
Ψ_{JT}	2 Linear m/s Airflow	n/a	°C/W

表33 B-297 パッケージの熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	20.6	°C/W
θ_{JMA}	1 Linear m/s Airflow	17.8	°C/W
θ_{JMA}	2 Linear m/s Airflow	17.4	°C/W
θ_{JB}	Not Applicable	16.3	°C/W
θ_{JC}	Not Applicable	7.15	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.37	°C/W
Ψ_{JT}	1 Linear m/s Airflow	n/a	°C/W
Ψ_{JT}	2 Linear m/s Airflow	n/a	°C/W

256 ボール CSP_BGA (17 mm)のボール配置

表34 に256ボールCSP_BGA (17 mm × 17 mm)のボール配置を示します(ボール番号順)。表35 に、ボール配置(信号名順)を示します。

表34 256 ボール CSP_BGA (17 mm × 17 mm)のボール配置 (ボール番号順)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A1	VDDEXT	C9	$\overline{\text{SMS3}}$	F1	CLKIN	H9	GND	L1	PPI0D3
A2	ADDR22	C10	$\overline{\text{SWE}}$	F2	PPI0D10	H10	GND	L2	PPI0D2
A3	ADDR18	C11	SA10	F3	$\overline{\text{RESET}}$	H11	GND	L3	PPI0D1
A4	ADDR14	C12	$\overline{\text{ABE0}}$	F4	BYPASS	H12	GND	L4	PPI0D0
A5	ADDR11	C13	ADDR07	F5	VDDEXT	H13	GND	L5	VDDEXT
A6	$\overline{\text{AMS3}}$	C14	ADDR04	F6	VDDEXT	H14	DATA21	L6	VDDEXT
A7	$\overline{\text{AMS0}}$	C15	DATA0	F7	VDDEXT	H15	DATA19	L7	VDDEXT
A8	ARDY	C16	DATA05	F8	GND	H16	DATA23	L8	VDDEXT
A9	$\overline{\text{SMS2}}$	D1	PPI0D15	F9	GND	J1	VR0UT1	L9	GND
A10	SCLK0	D2	PPI0SYNC3	F10	VDDEXT	J2	PPI0D8	L10	VDDEXT
A11	SCLK1	D3	PPI0SYNC2	F11	VDDEXT	J3	PPI0D7	L11	VDDEXT
A12	$\overline{\text{ABE2}}$	D4	ADDR21	F12	VDDEXT	J4	PPI0D9	L12	VDDEXT
A13	$\overline{\text{ABE3}}$	D5	ADDR15	F13	DATA11	J5	GND	L13	NC
A14	ADDR06	D6	ADDR09	F14	DATA08	J6	GND	L14	DT0PRI
A15	ADDR03	D7	$\overline{\text{AWE}}$	F15	DATA10	J7	GND	L15	DATA31
A16	VDDEXT	D8	$\overline{\text{SMS0}}$	F16	DATA16	J8	GND	L16	DATA28
B1	ADDR24	D9	$\overline{\text{SRAS}}$	G1	XTAL	J9	GND	M1	PPI1SYNC2
B2	ADDR23	D10	$\overline{\text{SCAS}}$	G2	VDDEXT	J10	GND	M2	PPI1D15
B3	ADDR19	D11	$\overline{\text{BGH}}$	G3	VDDEXT	J11	GND	M3	PPI1D14
B4	ADDR17	D12	$\overline{\text{ABE1}}$	G4	GND	J12	VDDINT	M4	PPI1D9
B5	ADDR12	D13	DATA02	G5	GND	J13	VDDINT	M5	VDDINT
B6	ADDR10	D14	DATA01	G6	VDDEXT	J14	DATA20	M6	VDDINT
B7	$\overline{\text{AMS1}}$	D15	DATA03	G7	GND	J15	DATA22	M7	GND
B8	$\overline{\text{AOE}}$	D16	DATA07	G8	GND	J16	DATA24	M8	VDDINT
B9	$\overline{\text{SMS1}}$	E1	PPI0D11	G9	GND	K1	PPI0D6	M9	GND
B10	SCKE	E2	PPI0D13	G10	GND	K2	PPI0D5	M10	VDDINT
B11	$\overline{\text{BR}}$	E3	PPI0D12	G11	VDDEXT	K3	PPI0D4	M11	GND
B12	$\overline{\text{BG}}$	E4	PPI0D14	G12	VDDEXT	K4	PPI1SYNC3	M12	VDDINT
B13	ADDR08	E5	PPI1CLK	G13	DATA17	K5	VDDEXT	M13	RSCLK0
B14	ADDR05	E6	VDDINT	G14	DATA14	K6	VDDEXT	M14	DR0PRI
B15	ADDR02	E7	GND	G15	DATA15	K7	GND	M15	TSCLK0
B16	DATA04	E8	VDDINT	G16	DATA18	K8	GND	M16	DATA29

表 34 256 ボール CSP_BGA (17 mm × 17 mm)のボール配置 (ボール番号順)(続き)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
C1	PPI0SYNC1	E9	GND	H1	VROUT0	K9	GND	N1	PPI1SYNC1
C2	ADDR25	E10	VDDINT	H2	GND	K10	GND	N2	PPI1D10
C3	PPI0CLK	E11	GND	H3	GND	K11	VDDEXT	N3	PPI1D7
C4	ADDR20	E12	VDDINT	H4	VDDINT	K12	GND	N4	PPI1D5
C5	ADDR16	E13	DATA06	H5	VDDINT	K13	GND	N5	PF0
C6	ADDR13	E14	DATA13	H6	GND	K14	DATA26	N6	PF04
C7	$\overline{\text{AMS2}}$	E15	DATA09	H7	GND	K15	DATA25	N7	PF09
C8	$\overline{\text{ARE}}$	E16	DATA12	H8	GND	K16	DATA27	N8	PF12
N9	GND	P5	PF01	R1	PPI1D12	R13	RSCLK1	T9	TDO
N10	BMODE1	P6	PF06	R2	PPI1D11	R14	TSCLK1	T10	TDI
N11	BMODE0	P7	PF08	R3	PPI1D4	R15	NC	T11	$\overline{\text{EMU}}$
N12	RX	P8	PF15	R4	PPI1D1	R16	TFS0	T12	MISO
N13	DR1SEC	P9	NMI1	R5	PF02	T1	VDDEXT	T13	TX
N14	DT1SEC	P10	TMS	R6	PF07	T2	NC	T14	DR1PRI
N15	RFS0	P11	NMI0	R7	PF11	T3	PPI1D3	T15	DT1PRI
N16	DATA30	P12	SCK	R8	PF14	T4	PPI1D2	T16	VDDEXT
P1	PPI1D13	P13	RFS1	R9	TCK	T5	PF03		
P2	PPI1D8	P14	TFS1	R10	$\overline{\text{TRST}}$	T6	PF05		
P3	PPI1D6	P15	DR0SEC	R11	SLEEP	T7	PF10		
P4	PPI1D0	P16	DT0SEC	R12	MOSI	T8	PF13		

表35 256 ボール CSP_BGA (17 mm × 17 mm)のボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ABE0}}$	C12	$\overline{\text{BR}}$	B11	DT0SEC	P16	GND	M9	PPI0D13	E2
$\overline{\text{ABE1}}$	D12	BYPASS	F4	DT1PRI	T15	GND	M11	PPI0D14	E4
$\overline{\text{ABE2}}$	A12	CLKIN	F1	DT1SEC	N14	GND	N9	PPI0D15	D1
$\overline{\text{ABE3}}$	A13	DATA0	C15	$\overline{\text{EMU}}$	T11	MISO	T12	PPI0SYNC1	C1
ADDR02	B15	DATA01	D14	GND	E7	MOSI	R12	PPI0SYNC2	D3
ADDR03	A15	DATA02	D13	GND	E9	NC	L13	PPI0SYNC3	D2
ADDR04	C14	DATA03	D15	GND	E11	NC	R15	PPI1CLK	E5
ADDR05	B14	DATA04	B16	GND	F8	NC	T2	PPI1D0	P4
ADDR06	A14	DATA05	C16	GND	F9	NMI0	P11	PPI1D1	R4
ADDR07	C13	DATA06	E13	GND	G4	NMI1	P9	PPI1D2	T4
ADDR08	B13	DATA07	D16	GND	G5	PF0	N5	PPI1D3	T3
ADDR09	D6	DATA08	F14	GND	G7	PF01	P5	PPI1D4	R3
ADDR10	B6	DATA09	E15	GND	G8	PF02	R5	PPI1D5	N4
ADDR11	A5	DATA10	F15	GND	G9	PF03	T5	PPI1D6	P3
ADDR12	B5	DATA11	F13	GND	G10	PF04	N6	PPI1D7	N3
ADDR13	C6	DATA12	E16	GND	H2	PF05	T6	PPI1D8	P2
ADDR14	A4	DATA13	E14	GND	H3	PF06	P6	PPI1D9	M4
ADDR15	D5	DATA14	G14	GND	H6	PF07	R6	PPI1D10	N2
ADDR16	C5	DATA15	G15	GND	H7	PF08	P7	PPI1D11	R2
ADDR17	B4	DATA16	F16	GND	H8	PF09	N7	PPI1D12	R1
ADDR18	A3	DATA17	G13	GND	H9	PF10	T7	PPI1D13	P1
ADDR19	B3	DATA18	G16	GND	H10	PF11	R7	PPI1D14	M3
ADDR20	C4	DATA19	H15	GND	H11	PF12	N8	PPI1D15	M2
ADDR21	D4	DATA20	J14	GND	H12	PF13	T8	PPI1SYNC1	N1
ADDR22	A2	DATA21	H14	GND	H13	PF14	R8	PPI1SYNC2	M1
ADDR23	B2	DATA22	J15	GND	J5	PF15	P8	PPI1SYNC3	K4
ADDR24	B1	DATA23	H16	GND	J6	PPI0CLK	C3	$\overline{\text{RESET}}$	F3
ADDR25	C2	DATA24	J16	GND	J7	PPI0D0	L4	RFS0	N15
$\overline{\text{AMS0}}$	A7	DATA25	K15	GND	J8	PPI0D1	L3	RFS1	P13
$\overline{\text{AMS1}}$	B7	DATA26	K14	GND	J9	PPI0D2	L2	RSCLK0	M13
$\overline{\text{AMS2}}$	C7	DATA27	K16	GND	J10	PPI0D3	L1	RSCLK1	R13
$\overline{\text{AMS3}}$	A6	DATA28	L16	GND	J11	PPI0D4	K3	RX	N12
$\overline{\text{AOE}}$	B8	DATA29	M16	GND	K7	PPI0D5	K2	SA10	C11
ARDY	A8	DATA30	N16	GND	K8	PPI0D6	K1	$\overline{\text{SCAS}}$	D10

表 35 256 ボール CSP_BGA (17 mm × 17 mm)のボール配置 (信号名順)(続き)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ARE}}$	C8	DATA31	L15	GND	K9	PPI0D7	J3	SCK	P12
$\overline{\text{AWE}}$	D7	DR0PRI	M14	GND	K10	PPI0D8	J2	SCKE	B10
$\overline{\text{BG}}$	B12	DR0SEC	P15	GND	K12	PPI0D9	J4	SCLK0	A10
$\overline{\text{BGH}}$	D11	DR1PRI	T14	GND	K13	PPI0D10	F2	SCLK1	A11
BMODE0	N11	DR1SEC	N13	GND	L9	PPI0D11	E1	SLEEP	R11
BMODE1	N10	DT0PRI	L14	GND	M7	PPI0D12	E3	$\overline{\text{SMS0}}$	D8
$\overline{\text{SMS1}}$	B9	TSCLK0	M15	VDDEXT	G3	VDDEXT	L11	VDDINT	M5
$\overline{\text{SMS2}}$	A9	TSCLK1	R14	VDDEXT	G6	VDDEXT	L12	VDDINT	M6
$\overline{\text{SMS3}}$	C9	TX	T13	VDDEXT	G11	VDDEXT	T1	VDDINT	M8
$\overline{\text{SRAS}}$	D9	VDDEXT	A1	VDDEXT	G12	VDDEXT	T16	VDDINT	M10
$\overline{\text{SWE}}$	C10	VDDEXT	A16	VDDEXT	K5	VDDINT	E6	VDDINT	M12
TCK	R9	VDDEXT	F5	VDDEXT	K6	VDDINT	E8	VR0UT0	H1
TDI	T10	VDDEXT	F6	VDDEXT	K11	VDDINT	E10	VR0UT1	J1
TDO	T9	VDDEXT	F7	VDDEXT	L5	VDDINT	E12	XTAL	G1
TFS0	R16	VDDEXT	F10	VDDEXT	L6	VDDINT	H4		
TFS1	P14	VDDEXT	F11	VDDEXT	L7	VDDINT	H5		
TMS	P10	VDDEXT	F12	VDDEXT	L8	VDDINT	J12		
$\overline{\text{TRST}}$	R10	VDDEXT	G2	VDDEXT	L10	VDDINT	J13		

図46 に256ボールCSP_BGA (17 mm × 17 mm)のボール配置 (上面図)を示します。図47 に裏面図を示します。

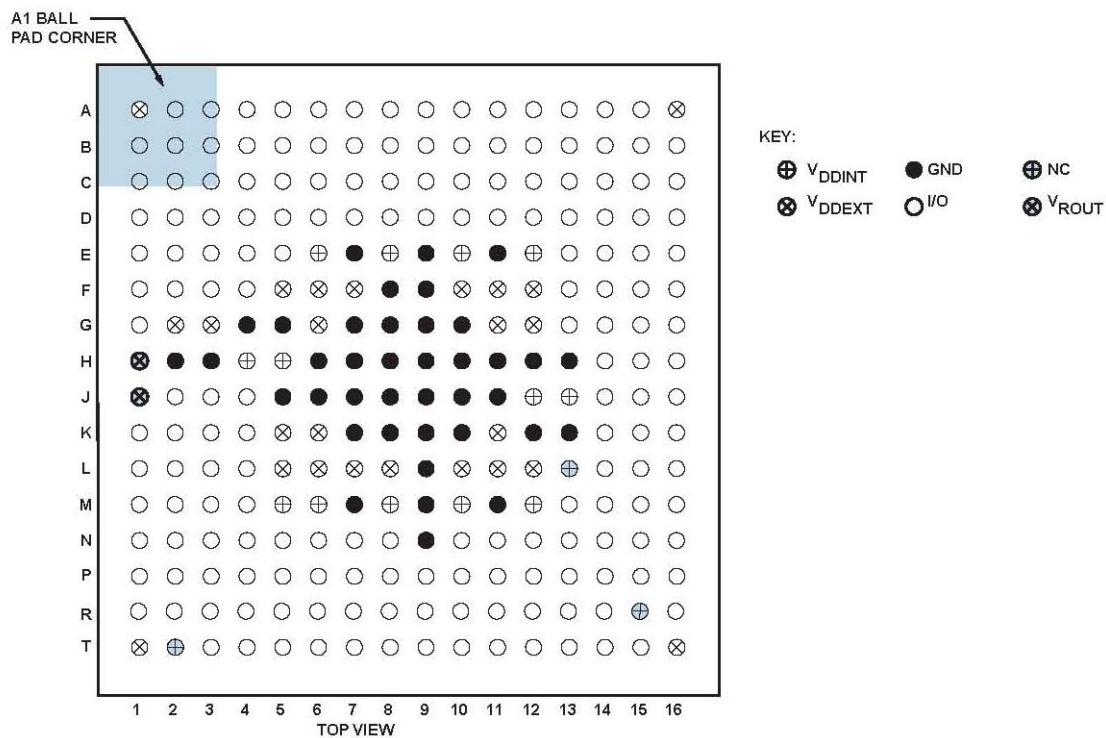


図46 256ボール CSP_BGAのボール配置 (上面図)

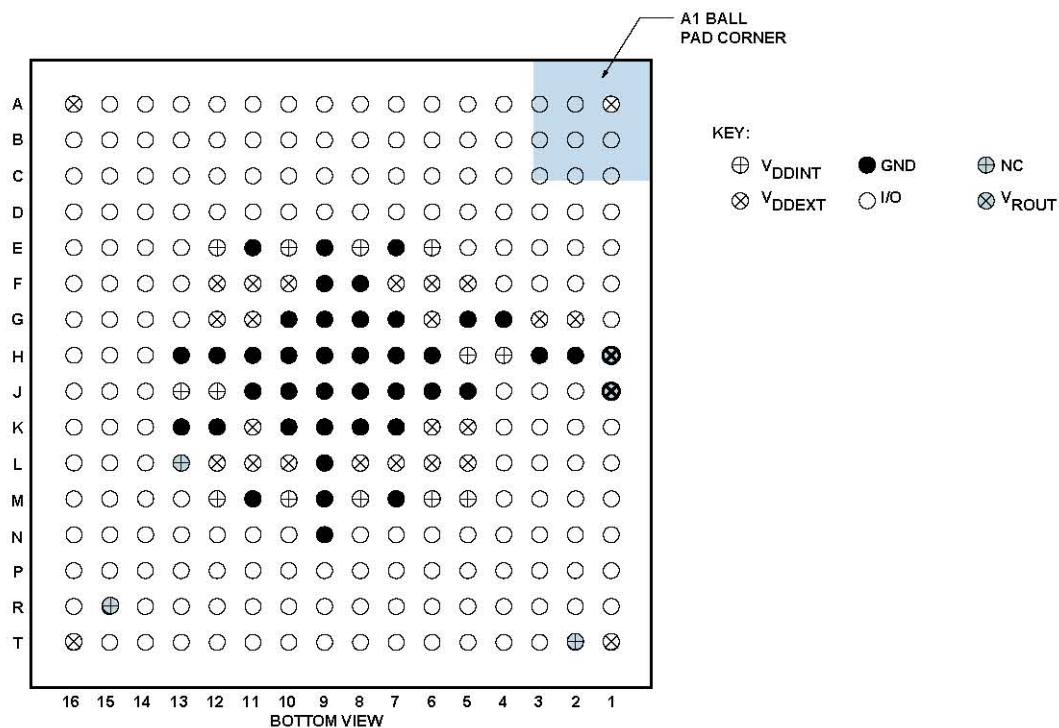


図47 256ボール CSP_BGA のボール配置 (裏面図)

256 ボール CSP_BGA (12 mm)のボール配置

表36 に256ボールCSP_BGA (12 mm × 12 mm)のボール配置を示します(ボール番号順)。表37 に、ボール配置(信号名順)を示します。

表36 256 ボール CSP_BGA (12 mm × 12 mm)のボール配置 (ボール番号順)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A01	VDDEXT	C09	SMS2	F01	CLKIN	H09	GND	L01	PPI0D0
A02	ADDR24	C10	SRAS	F02	VDDEXT	H10	GND	L02	PPI1SYNC2
A03	ADDR20	C11	GND	F03	RESET	H11	VDDINT	L03	GND
A04	VDDEXT	C12	BGH	F04	PPI0D10	H12	DATA16	L04	PPI1SYNC3
A05	ADDR14	C13	GND	F05	ADDR21	H13	DATA18	L05	VDDEXT
A06	ADDR10	C14	ADDR07	F06	ADDR17	H14	DATA20	L06	PPI1D11
A07	AMS3	C15	DATA1	F07	VDDINT	H15	DATA17	L07	GND
A08	AWE	C16	DATA3	F08	GND	H16	DATA19	L08	VDDINT
A09	VDDEXT	D01	PPI0D13	F09	VDDINT	J01	VROUT0	L09	GND
A10	SMS3	D02	PPI0D15	F10	GND	J02	VROUT1	L10	VDDEXT
A11	SCLK0	D03	PPI0SYNC3	F11	ADDR08	J03	PPI0D2	L11	GND
A12	SCLK1	D04	ADDR23	F12	DATA10	J04	PPI0D3	L12	DR0PRI
A13	BG	D05	GND	F13	DATA8	J05	PPI0D1	L13	TFS0
A14	ABE2	D06	GND	F14	DATA12	J06	VDDEXT	L14	GND
A15	ABE3	D07	ADDR09	F15	DATA9	J07	GND	L15	DATA27
A16	VDDEXT	D08	GND	F16	DATA11	J08	VDDINT	L16	DATA29
B01	PPI1CLK	D09	ARDY	G01	XTAL	J09	VDDINT	M01	PPI1D15
B02	ADDR22	D10	SCAS	G02	GND	J10	VDDINT	M02	PPI1D13
B03	ADDR18	D11	SA10	G03	VDDEXT	J11	GND	M03	PPI1D9
B04	ADDR16	D12	VDDEXT	G04	BYPASS	J12	DATA30	M04	GND
B05	ADDR12	D13	ADDR02	G05	PPI0D14	J13	DATA22	M05	NC
B06	VDDEXT	D14	GND	G06	GND	J14	GND	M06	PF3
B07	AMS1	D15	DATA5	G07	GND	J15	DATA21	M07	PF7
B08	ARE	D16	DATA6	G08	GND	J16	DATA23	M08	VDDINT
B09	SMS1	E01	GND	G09	VDDINT	K01	PPI0D6	M09	GND
B10	SCKE	E02	PPI0D11	G10	ADDR05	K02	PPI0D4	M10	BMODE0
B11	VDDEXT	E03	PPI0D12	G11	ADDR03	K03	PPI0D8	M11	SCK
B12	BR	E04	PPI0SYNC1	G12	DATA15	K04	PPI1SYNC1	M12	DR1PRI
B13	ABE1	E05	ADDR15	G13	DATA14	K05	PPI1D14	M13	NC
B14	ADDR06	E06	ADDR13	G14	GND	K06	VDDEXT	M14	VDDEXT
B15	ADDR04	E07	AMS2	G15	DATA13	K07	GND	M15	DATA31
B16	DATA0	E08	VDDINT	G16	VDDEXT	K08	VDDINT	M16	DT0PRI

表 36 256 ボール CSP_BGA (12 mm × 12 mm)のボール配置 (ボール番号順)(続き)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
C01	PPI0SYNC2	E09	$\overline{\text{SMS0}}$	H01	GND	K09	GND	N01	PPI1D12
C02	PPI0CLK	E10	$\overline{\text{SWE}}$	H02	GND	K10	GND	N02	PPI1D10
C03	ADDR25	E11	$\overline{\text{ABE0}}$	H03	PPI0D9	K11	VDDINT	N03	PPI1D3
C04	ADDR19	E12	DATA2	H04	PPI0D7	K12	DATA28	N04	PPI1D1
C05	GND	E13	GND	H05	PPI0D5	K13	DATA26	N05	PF1
C06	ADDR11	E14	DATA4	H06	VDDINT	K14	DATA24	N06	PF9
C07	$\overline{\text{AOE}}$	E15	DATA7	H07	VDDINT	K15	DATA25	N07	GND
C08	$\overline{\text{AMS0}}$	E16	VDDEXT	H08	GND	K16	VDDEXT	N08	PF13
N09	TDO	P05	GND	R01	PPI1D7	R13	TX/PF26	T09	TCK
N10	BMODE1	P06	PF5	R02	PPI1D6	R14	TSCLK1	T10	TMS
N11	MOSI	P07	PF11	R03	PPI1D2	R15	DT1PRI	T11	SLEEP
N12	GND	P08	PF15	R04	PPI1D0	R16	RFS0	T12	VDDEXT
N13	RFS1	P09	GND	R05	PF4	T01	VDDEXT	T13	RX/PF27
N14	GND	P10	$\overline{\text{TRST}}$	R06	PF8	T02	PPI1D4	T14	DR1SEC
N15	DT0SEC	P11	NMI0	R07	PF10	T03	VDDEXT	T15	DT1SEC
N16	TSCLK0	P12	GND	R08	PF14	T04	PF2	T16	VDDEXT
P01	PPI1D8	P13	RSCLK1	R09	NMI1	T05	PF6		
P02	GND	P14	TFS1	R10	TDI	T06	VDDEXT		
P03	PPI1D5	P15	RSCLK0	R11	$\overline{\text{EMU}}$	T07	PF12		
P04	PF0	P16	DR0SEC	R12	MISO	T08	VDDEXT		

表37 256 ボール CSP_BGA (12 mm × 12 mm)のボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ABE0}}$	E11	$\overline{\text{BR}}$	B12	DT0SEC	N15	GND	N14
$\overline{\text{ABE1}}$	B13	BYPASS	G04	DT1PRI	R15	GND	P02
$\overline{\text{ABE2}}$	A14	CLKIN	F01	DT1SEC	T15	GND	P05
$\overline{\text{ABE3}}$	A15	DATA0	B16	$\overline{\text{EMU}}$	R11	GND	P09
ADDR02	D13	DATA1	C15	GND	C05	GND	P12
ADDR03	G11	DATA2	E12	GND	C11	MISO	R12
ADDR04	B15	DATA3	C16	GND	C13	MOSI	N11
ADDR05	G10	DATA4	E14	GND	D05	NC	M05
ADDR06	B14	DATA5	D15	GND	D06	NC	M13
ADDR07	C14	DATA6	D16	GND	D08	NMIO	P11
ADDR08	F11	DATA7	E15	GND	D14	NMI1	R09
ADDR09	D07	DATA8	F13	GND	E01	PF0	P04
ADDR10	A06	DATA9	F15	GND	E13	PF1	N05
ADDR11	C06	DATA10	F12	GND	F08	PF2	T04
ADDR12	B05	DATA11	F16	GND	F10	PF3	M06
ADDR13	E06	DATA12	F14	GND	G02	PF4	R05
ADDR14	A05	DATA13	G15	GND	G06	PF5	P06
ADDR15	E05	DATA14	G13	GND	G07	PF6	T05
ADDR16	B04	DATA15	G12	GND	G08	PF7	M07
ADDR17	F06	DATA16	H12	GND	G14	PF8	R06
ADDR18	B03	DATA17	H15	GND	H01	PF9	N06
ADDR19	C04	DATA18	H13	GND	H02	PF10	R07
ADDR20	A03	DATA19	H16	GND	H08	PF11	P07
ADDR21	F05	DATA20	H14	GND	H09	PF12	T07
ADDR22	B02	DATA21	J15	GND	H10	PF13	N08
ADDR23	D04	DATA22	J13	GND	J07	PF14	R08
ADDR24	A02	DATA23	J16	GND	J11	PF15	P08
ADDR25	C03	DATA24	K14	GND	J14	PPIOCLK	C02
$\overline{\text{AMS0}}$	C08	DATA25	K15	GND	K07	PPIOD0	L01
$\overline{\text{AMS1}}$	B07	DATA26	K13	GND	K09	PPIOD1	J05
$\overline{\text{AMS2}}$	E07	DATA27	L15	GND	K10	PPIOD2	J03
$\overline{\text{AMS3}}$	A07	DATA28	K12	GND	L03	PPIOD3	J04
$\overline{\text{AOE}}$	C07	DATA29	L16	GND	L07	PPIOD4	K02
ARDY	D09	DATA30	J12	GND	L09	PPIOD5	H05

表 37 256 ボール CSP_BGA (12 mm × 12 mm)のボール配置 (信号名順)(続き)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
ARE	B08	DATA31	M15	GND	L11	PPI0D6	K01
AWE	A08	DR0PRI	L12	GND	L14	PPI0D7	H04
BG	A13	DR0SEC	P16	GND	M04	PPI0D8	K03
BGH	C12	DR1PRI	M12	GND	M09	PPI0D9	H03
BMODE0	M10	DR1SEC	T14	GND	N07	PPI0D10	F04
BMODE1	N10	DT0PRI	M16	GND	N12	PPI0D11	E02
PPI0D12	E03	PPI1SYNC1	K04	TDO	N09	VDDEXT	M14
PPI0D13	D01	PPI1SYNC2	L02	TFS0	L13	VDDEXT	T01
PPI0D14	G05	PPI1SYNC3	L04	TFS1	P14	VDDEXT	T03
PPI0D15	D02	RESET	F03	TMS	T10	VDDEXT	T06
PPI0SYNC1	E04	RFS0	R16	TRST	P10	VDDEXT	T08
PPI0SYNC2	C01	RFS1	N13	TSCLK0	N16	VDDEXT	T12
PPI0SYNC3	D03	RSCLK0	P15	TSCLK1	R14	VDDEXT	T16
PPI1CLK	B01	RSCLK1	P13	TX/PF26	R13	VDDINT	E08
PPI1D0	R04	RX	T13	VDDEXT	A01	VDDINT	F07
PPI1D1	N04	SA10	D11	VDDEXT	A04	VDDINT	F09
PPI1D2	R03	SCAS	D10	VDDEXT	A09	VDDINT	G09
PPI1D3	N03	SCK	M11	VDDEXT	A16	VDDINT	H06
PPI1D4	T02	SCKE	B10	VDDEXT	B06	VDDINT	H07
PPI1D5	P03	SCLK0	A11	VDDEXT	B11	VDDINT	H11
PPI1D6	R02	SCLK1	A12	VDDEXT	D12	VDDINT	J08
PPI1D7	R01	SLEEP	T11	VDDEXT	E16	VDDINT	J09
PPI1D8	P01	SMS0	E09	VDDEXT	F02	VDDINT	J10
PPI1D9	M03	SMS1	B09	VDDEXT	G03	VDDINT	K08
PPI1D10	N02	SMS2	C09	VDDEXT	G16	VDDINT	K11
PPI1D11	L06	SMS3	A10	VDDEXT	J06	VDDINT	L08
PPI1D12	N01	SRAS	C10	VDDEXT	K06	VDDINT	M08
PPI1D13	M02	SWE	E10	VDDEXT	K16	VROUT0	J01
PPI1D14	K05	TCK	T09	VDDEXT	L05	VROUT1	J02
PPI1D15	M01	TDI	R10	VDDEXT	L10	XTAL	G01

図48 に256ボールCSP_BGA (12 mm × 12 mm)のボール配置(上面図)を示します。図49 に裏面図を示します。

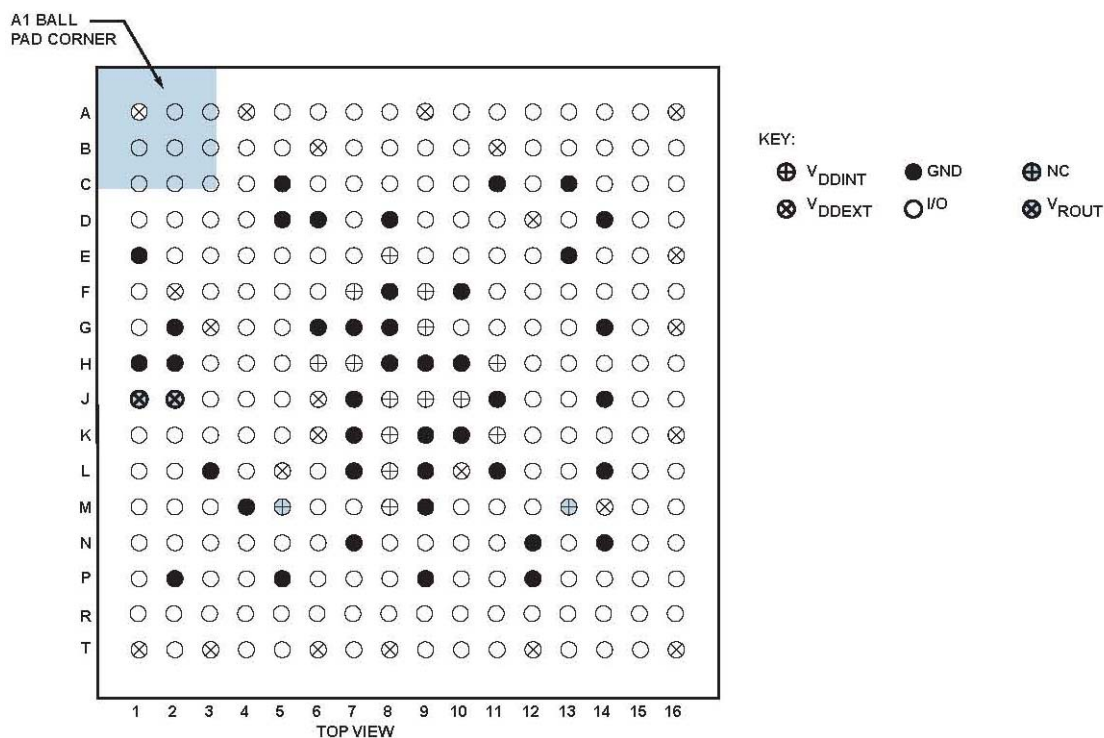


図48 256ボール CSP_BGAのボール配置 (上面図)

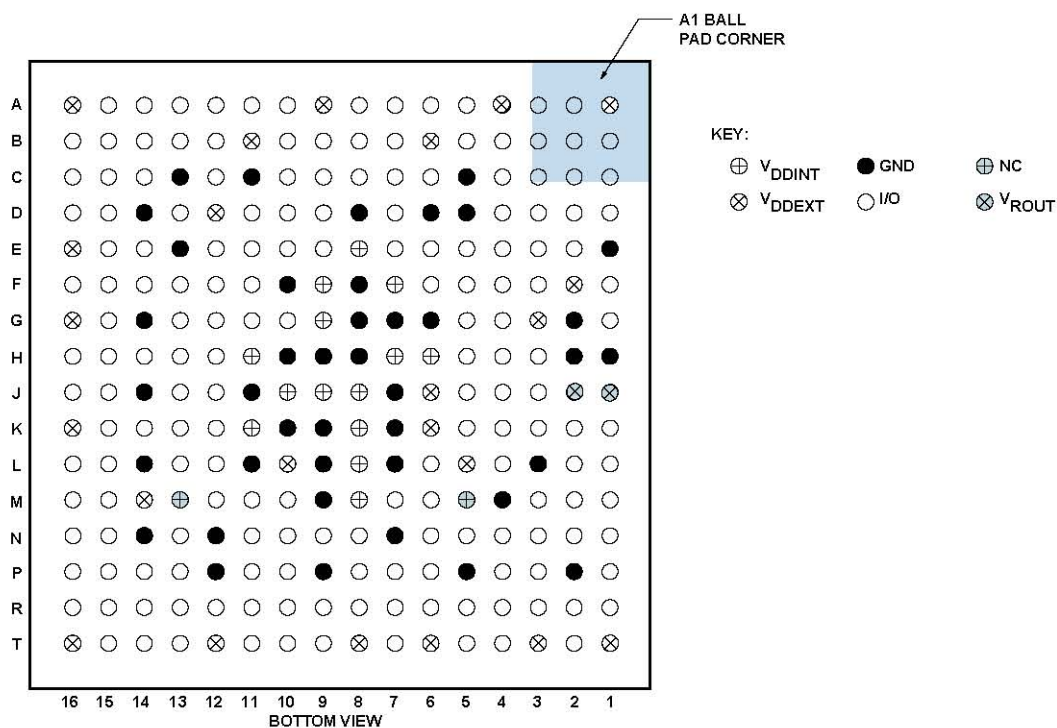


図49 256ボール CSP_BGA ボール設定 (Bottom View)

297 ボール PBGAのボール配置

表38 に、297ボールPBGAのボール配置 (ボール番号順)を示します。表39 に、ボール配置(信号名順)を示します。

表38 297 ボール PBGA のボール配置 (ボール番号順)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A01	GND	B15	$\overline{\text{SMS1}}$	G01	PPIOD11	L14	GND
A02	ADDR25	B16	$\overline{\text{SMS3}}$	G02	PPIOD10	L15	GND
A03	ADDR23	B17	SCKE	G25	DATA4	L16	GND
A04	ADDR21	B18	$\overline{\text{SWE}}$	G26	DATA7	L17	GND
A05	ADDR19	B19	SA10	H01	BYPASS	L18	VDDINT
A06	ADDR17	B20	$\overline{\text{BR}}$	H02	$\overline{\text{RESET}}$	L25	DATA12
A07	ADDR15	B21	$\overline{\text{BG}}$	H25	DATA6	L26	DATA15
A08	ADDR13	B22	$\overline{\text{ABE1}}$	H26	DATA9	M01	VROUT0
A09	ADDR11	B23	$\overline{\text{ABE3}}$	J01	CLKIN	M02	GND
A10	ADDR09	B24	ADDR07	J02	GND	M10	VDDEXT
A11	$\overline{\text{AMS3}}$	B25	GND	J10	VDDEXT	M11	GND
A12	$\overline{\text{AMS1}}$	B26	ADDR05	J11	VDDEXT	M12	GND
A13	$\overline{\text{AWE}}$	C01	PPIOSYNC3	J12	VDDEXT	M13	GND
A14	$\overline{\text{ARE}}$	C02	PPIOCLK	J13	VDDEXT	M14	GND
A15	$\overline{\text{SMS0}}$	C03	GND	J14	VDDEXT	M15	GND
A16	$\overline{\text{SMS2}}$	C04	GND	J15	VDDEXT	M16	GND
A17	$\overline{\text{SRAS}}$	C05	GND	J16	VDDINT	M17	GND
A18	$\overline{\text{SCAS}}$	C22	GND	J17	VDDINT	M18	VDDINT
A19	SCLK0	C23	GND	J18	VDDINT	M25	DATA14
A20	SCLK1	C24	GND	J25	DATA8	M26	DATA17
A21	$\overline{\text{BGH}}$	C25	ADDR04	J26	DATA11	N01	VROUT1
A22	$\overline{\text{ABE0}}$	C26	ADDR03	K01	XTAL	N02	PPIOD9
A23	$\overline{\text{ABE2}}$	D01	PPIOSYNC1	K02	NC	N10	VDDEXT
A24	ADDR08	D02	PPIOSYNC2	K10	VDDEXT	N11	GND
A25	ADDR06	D03	GND	K11	VDDEXT	N12	GND
A26	GND	D04	GND	K12	VDDEXT	N13	GND
B01	PPI1CLK	D23	GND	K13	VDDEXT	N14	GND
B02	GND	D24	GND	K14	VDDEXT	N15	GND
B03	ADDR24	D25	ADDR02	K15	VDDEXT	N16	GND
B04	ADDR22	D26	DATA1	K16	VDDINT	N17	GND
B05	ADDR20	E01	PPIOD15	K17	VDDINT	N18	VDDINT

表 38 297 ボール PBGA のボール配置 (ボール番号順)(続き)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
B06	ADDR18	E02	PPI0D14	K18	VDDINT	N25	DATA16
B07	ADDR16	E03	GND	K25	DATA10	N26	DATA19
B08	ADDR14	E24	GND	K26	DATA13	P01	PPI0D7
B09	ADDR12	E25	DATA0	L01	NC	P02	PPI0D8
B10	ADDR10	E26	DATA3	L02	NC	P10	VDDEXT
B11	$\overline{\text{AMS2}}$	F01	PPI0D13	L10	VDDEXT	P11	GND
B12	$\overline{\text{AMS0}}$	F02	PPI0D12	L11	GND	P12	GND
B13	$\overline{\text{AOE}}$	F25	DATA2	L12	GND	P13	GND
B14	ARDY	F26	DATA5	L13	GND	P14	GND
P15	GND	U11	VDDEXT	AC04	GND	AE21	RX
P16	GND	U12	VDDEXT	AC23	GND	AE22	RFS1
P17	GND	U13	VDDEXT	AC24	GND	AE23	DR1SEC
P18	VDDINT	U14	GND	AC25	DR0SEC	AE24	TFS1
P25	DATA18	U15	VDDINT	AC26	RFS0	AE25	GND
P26	DATA21	U16	VDDINT	AD01	PPI1D7	AE26	NC
R01	PPI0D5	U17	VDDINT	AD02	PPI1D6	AF01	GND
R02	PPI0D6	U18	VDDINT	AD03	GND	AF02	PPI1D4
R10	VDDEXT	U25	DATA24	AD04	GND	AF03	PPI1D2
R11	GND	U26	DATA27	AD05	GND	AF04	PPI1D0
R12	GND	V01	PPI1SYNC3	AD22	GND	AF05	PF1
R13	GND	V02	PPI0D0	AD23	GND	AF06	PF3
R14	GND	V25	DATA26	AD24	GND	AF07	PF5
R15	GND	V26	DATA29	AD25	NC	AF08	PF7
R16	GND	W01	PPI1SYNC1	AD26	RSCLK0	AF09	PF9
R17	GND	W02	PPI1SYNC2	AE01	PPI1D5	AF10	PF11
R18	VDDINT	W25	DATA28	AE02	GND	AF11	PF13
R25	DATA20	W26	DATA31	AE03	PPI1D3	AF12	PF15
R26	DATA23	Y01	PPI1D15	AE04	PPI1D1	AF13	NMI1
T01	PPI0D3	Y02	PPI1D14	AE05	PF0	AF14	TCK
T02	PPI0D4	Y25	DATA30	AE06	PF2	AF15	TDI
T10	VDDEXT	Y26	DT0PRI	AE07	PF4	AF16	TMS
T11	GND	AA01	PPI1D13	AE08	PF6	AF17	SLEEP
T12	GND	AA02	PPI1D12	AE09	PF8	AF18	NMI0
T13	GND	AA25	DT0SEC	AE10	PF10	AF19	SCK
T14	GND	AA26	TSCLK0	AE11	PF12	AF20	TX
T15	GND	AB01	PPI1D11	AE12	PF14	AF21	RSCLK1
T16	GND	AB02	PPI1D10	AE13	NC	AF22	DR1PRI
T17	GND	AB03	GND	AE14	TDO	AF23	TSCLK1
T18	VDDINT	AB24	GND	AE15	$\overline{\text{TRST}}$	AF24	DT1SEC
T25	DATA22	AB25	TFS0	AE16	$\overline{\text{EMU}}$	AF25	DT1PRI
T26	DATA25	AB26	DR0PRI	AE17	BMODE1	AF26	GND
U01	PPI0D1	AC01	PPI1D9	AE18	BMODE0		
U02	PPI0D2	AC02	PPI1D8	AE19	MISO		
U10	VDDEXT	AC03	GND	AE20	MOSI		

表39 297 ボール PBGA のボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ABE0}}$	A22	$\overline{\text{BR}}$	B20	DT0SEC	AA25	GND	N15
$\overline{\text{ABE1}}$	B22	BYPASS	H01	DT1PRI	AF25	GND	N16
$\overline{\text{ABE2}}$	A23	CLKIN	J01	DT1SEC	AF24	GND	N17
$\overline{\text{ABE3}}$	B23	DATA0	E25	$\overline{\text{EMU}}$	AE16	GND	P11
ADDR02	D25	DATA1	D26	GND	A01	GND	P12
ADDR03	C26	DATA2	F25	GND	A26	GND	P13
ADDR04	C25	DATA3	E26	GND	B02	GND	P14
ADDR05	B26	DATA4	G25	GND	B25	GND	P15
ADDR06	A25	DATA5	F26	GND	C03	GND	P16
ADDR07	B24	DATA6	H25	GND	C04	GND	P17
ADDR08	A24	DATA7	G26	GND	C05	GND	R11
ADDR09	A10	DATA8	J25	GND	C22	GND	R12
ADDR10	B10	DATA9	H26	GND	C23	GND	R13
ADDR11	A09	DATA10	K25	GND	C24	GND	R14
ADDR12	B09	DATA11	J26	GND	D03	GND	R15
ADDR13	A08	DATA12	L25	GND	D04	GND	R16
ADDR14	B08	DATA13	K26	GND	D23	GND	R17
ADDR15	A07	DATA14	M25	GND	D24	GND	T11
ADDR16	B07	DATA15	L26	GND	E03	GND	T12
ADDR17	A06	DATA16	N25	GND	E24	GND	T13
ADDR18	B06	DATA17	M26	GND	J02	GND	T14
ADDR19	A05	DATA18	P25	GND	L11	GND	T15
ADDR20	B05	DATA19	N26	GND	L12	GND	T16
ADDR21	A04	DATA20	R25	GND	L13	GND	T17
ADDR22	B04	DATA21	P26	GND	L14	GND	U14
ADDR23	A03	DATA22	T25	GND	L15	GND	AB03
ADDR24	B03	DATA23	R26	GND	L16	GND	AB24
ADDR25	A02	DATA24	U25	GND	L17	GND	AC03
$\overline{\text{AMS0}}$	B12	DATA25	T26	GND	M02	GND	AC04
$\overline{\text{AMS1}}$	A12	DATA26	V25	GND	M11	GND	AC23
$\overline{\text{AMS2}}$	B11	DATA27	U26	GND	M12	GND	AC24
$\overline{\text{AMS3}}$	A11	DATA28	W25	GND	M13	GND	AD03
$\overline{\text{AOE}}$	B13	DATA29	V26	GND	M14	GND	AD04
ARDY	B14	DATA30	Y25	GND	M15	GND	AD05
$\overline{\text{ARE}}$	A14	DATA31	W26	GND	M16	GND	AD22
$\overline{\text{AWE}}$	A13	DR0PRI	AB26	GND	M17	GND	AD23
$\overline{\text{BG}}$	B21	DR0SEC	AC25	GND	N11	GND	AD24
$\overline{\text{BGH}}$	A21	DR1PRI	AF22	GND	N12	GND	AE02

表 39 297 ボール PBGA のボール配置 (信号名順)(続き)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
BMODE0	AE18	DR1SEC	AE23	GND	N13	GND	AE25
BMODE1	AE17	DT0PRI	Y26	GND	N14	GND	AF01
GND	AF26	PPI0D7	P01	RSCLK0	AD26	VDDEXT	K13
MISO	AE19	PPI0D8	P02	RSCLK1	AF21	VDDEXT	K14
MOSI	AE20	PPI0D9	N02	RX	AE21	VDDEXT	K15
NC	K02	PPI0D10	G02	SA10	B19	VDDEXT	L10
NC	L01	PPI0D11	G01	SCAS	A18	VDDEXT	M10
NC	L02	PPI0D12	F02	SCK	AF19	VDDEXT	N10
NC	AD25	PPI0D13	F01	SCKE	B17	VDDEXT	P10
NC	AE13	PPI0D14	E02	SCLK0	A19	VDDEXT	R10
NC	AE26	PPI0D15	E01	SCLK1	A20	VDDEXT	T10
NMI0	AF18	PPI0SYNC1	D01	SLEEP	AF17	VDDEXT	U10
NMI1	AF13	PPI0SYNC2	D02	SMS0	A15	VDDEXT	U11
PF0	AE05	PPI0SYNC3	C01	SMS1	B15	VDDEXT	U12
PF1	AF05	PPI1CLK	B01	SMS2	A16	VDDEXT	U13
PF2	AE06	PPI1D0	AF04	SMS3	B16	VDDINT	J16
PF3	AF06	PPI1D1	AE04	SRAS	A17	VDDINT	J17
PF4	AE07	PPI1D2	AF03	SWE	B18	VDDINT	J18
PF5	AF07	PPI1D3	AE03	TCK	AF14	VDDINT	K16
PF6	AE08	PPI1D4	AF02	TDI	AF15	VDDINT	K17
PF7	AF08	PPI1D5	AE01	TDO	AE14	VDDINT	K18
PF8	AE09	PPI1D6	AD02	TFS0	AB25	VDDINT	L18
PF9	AF09	PPI1D7	AD01	TFS1	AE24	VDDINT	M18
PF10	AE10	PPI1D8	AC02	TMS	AF16	VDDINT	N18
PF11	AF10	PPI1D9	AC01	TRST	AE15	VDDINT	P18
PF12	AE11	PPI1D10	AB02	TSCLK0	AA26	VDDINT	R18
PF13	AF11	PPI1D11	AB01	TSCLK1	AF23	VDDINT	T18
PF14	AE12	PPI1D12	AA02	TX/PF26	AF20	VDDINT	U15
PF15	AF12	PPI1D13	AA01	VDDEXT	J10	VDDINT	U16
PPI0CLK	C02	PPI1D14	Y02	VDDEXT	J11	VDDINT	U17
PPI0D0	V02	PPI1D15	Y01	VDDEXT	J12	VDDINT	U18
PPI0D1	U01	PPI1SYNC1	W01	VDDEXT	J13	VROUT0	M01
PPI0D2	U02	PPI1SYNC2	W02	VDDEXT	J14	VROUT1	N01
PPI0D3	T01	PPI1SYNC3	V01	VDDEXT	J15	XTAL	K01
PPI0D4	T02	RESET	H02	VDDEXT	K10		
PPI0D5	R01	RFS0	AC26	VDDEXT	K11		
PPI0D6	R02	RFS1	AE22	VDDEXT	K12		

図50 に297ボールPBGAのボール配置(上面図)を示します。図51 に裏面図を示します。

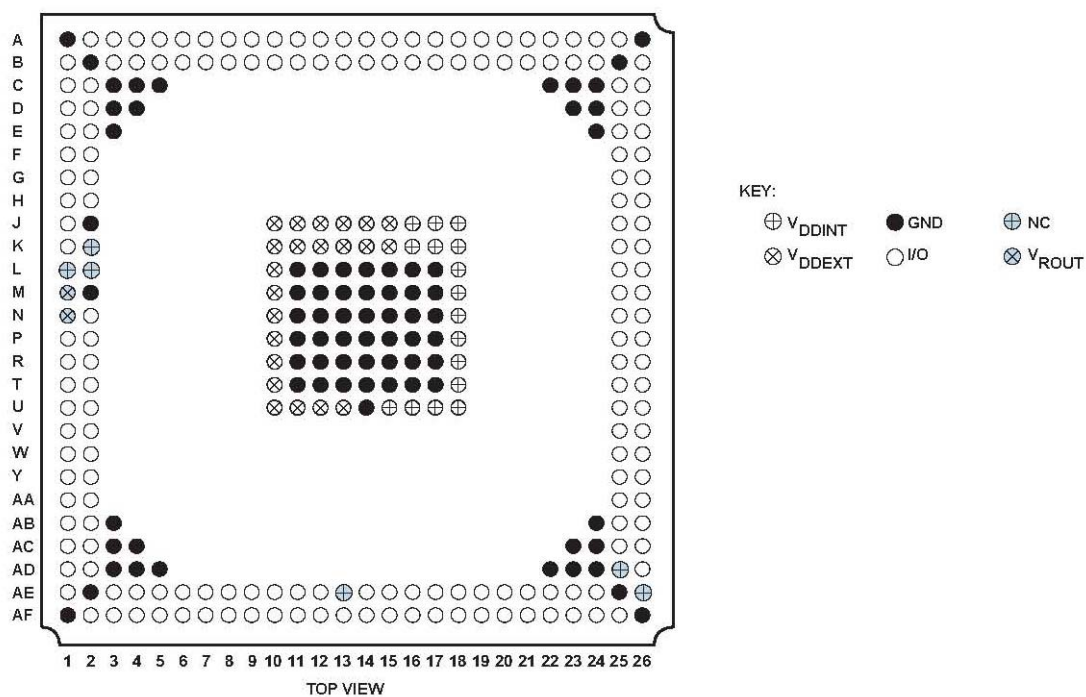


図50 297ボール PBGAのボール配置 (上面図)

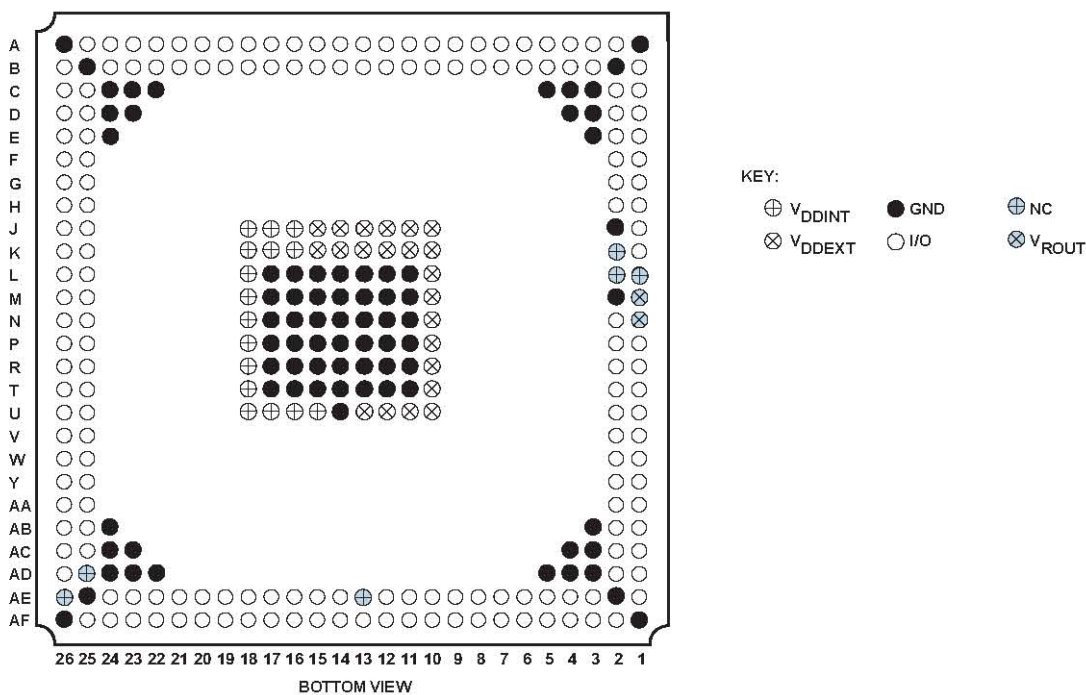


図51 297ボール PBGAのボール配置 (裏面図)

外形寸法

外形寸法はミリメートルで表示。

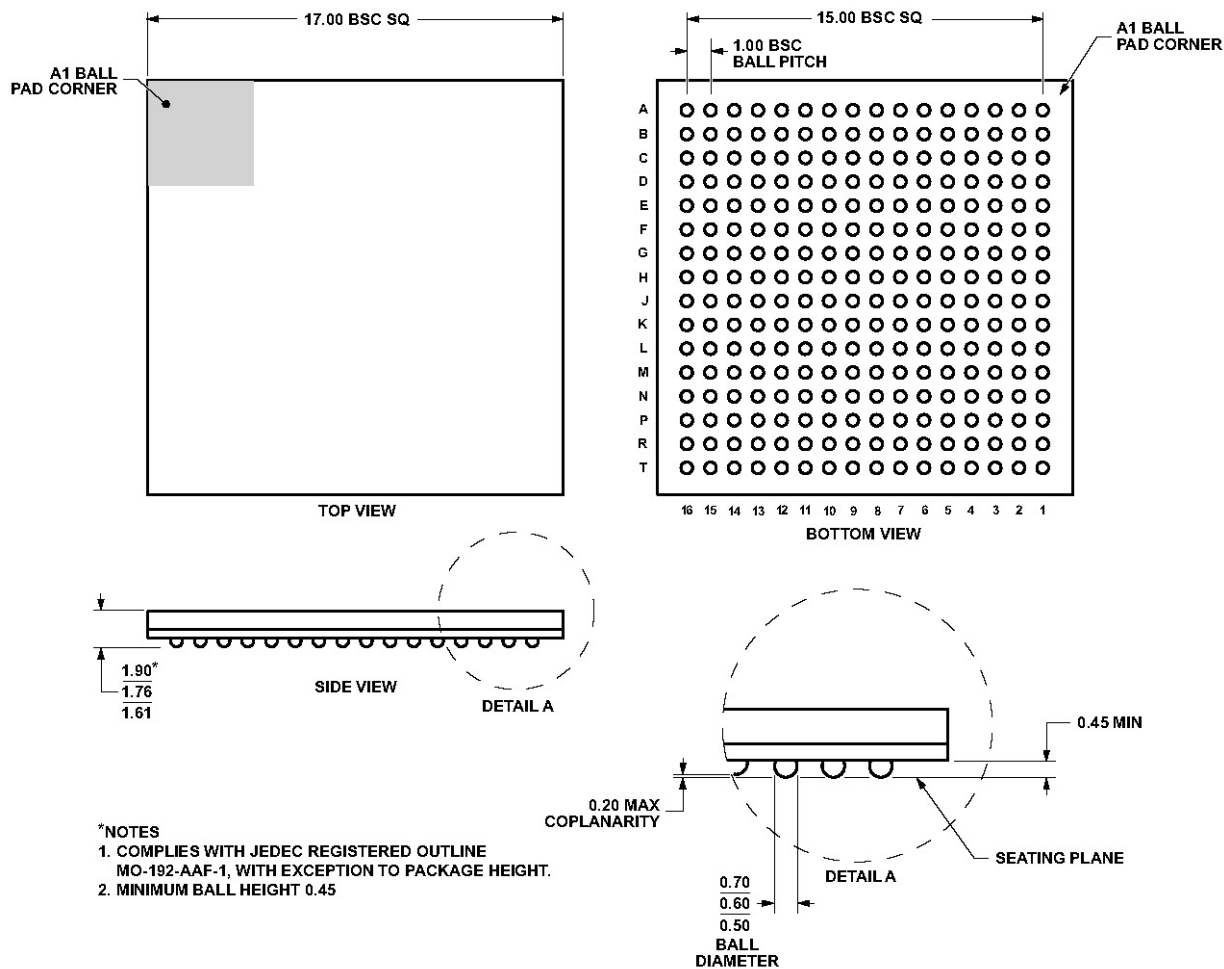


図52 256ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA) (BC-256-4)

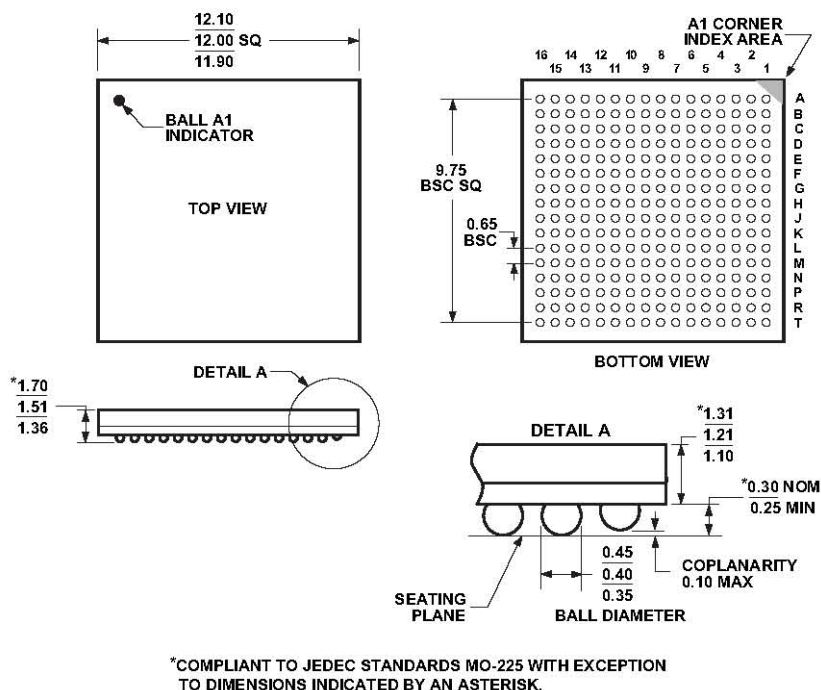


図53 256ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA) (BC-256-1)

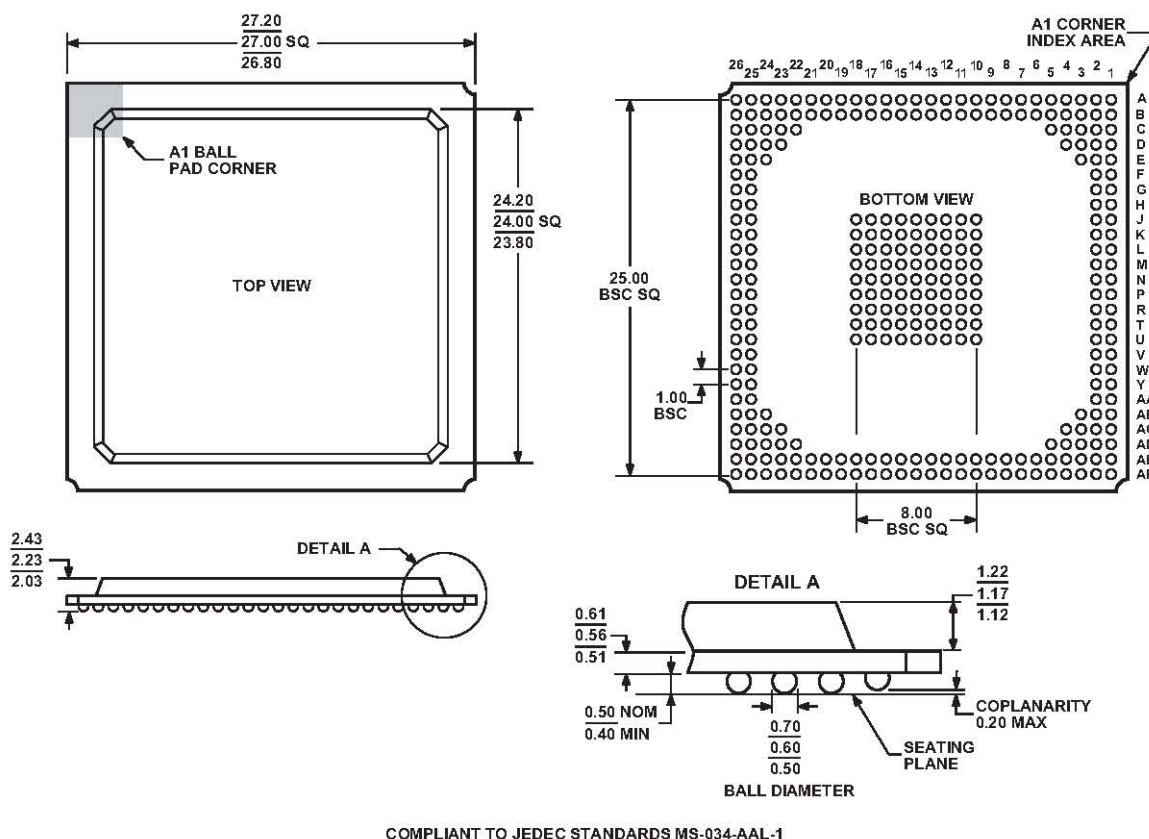


図54 297ボール・プラスチック・ボール・グリッド・アレイ (PBGA) (B-297)

表面実装デザイン

表40 は、PCBデザイン用に示します。業界標準のデザイン勧告については、IPC-7351の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

表40 表面実装デザイン用の BGA データ

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
256Ball CSP_BGA (BC-256-1)	Solder Mask Defined	0.30 mm diameter	0.43 mm diameter
256Ball CSP_BGA (BC-256-4)	Solder Mask Defined	0.43 mm diameter	0.55 mm diameter
297Ball PBGA (B-297)	Solder Mask Defined	0.43 mm diameter	0.58 mm diameter

車載製品

制御した製造過程で製造された、車載アプリケーション用の複数のADSP-BF561モデルも提供しています。これらの特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。

表41に示す車載グレード製品は、車載アプリケーション用に提供しています。特定製品の注文情報については、最寄りのADIまたはADIの認定代理店にお尋ねください。すべての車載製品はRoHS準拠製品です。

表41 車載製品

Product Family ¹	Temperature Range ²	Speed Grade (Max) ³	Package Description	Package Option
ADBF561WBBZ5xx	-40°C to +85°C	533 MHz	297-Ball PBGA	B-297
ADBF561WBBCZ5xx	-40°C to +85°C	533 MHz	256-Ball CSP_BGA	BC-256-4

¹xx はシリコン・レビジョン。

²基準温度は周囲温度。

³内部電圧レギュレータ機能は使用できません。これらのデバイスの動作には外部電圧レギュレーションが必要です。

オーダー・ガイド

Model	Temperature Range ¹	Speed Grade (Max)	Package Description	Package Option
ADSP-BF561SKBCZ-6V ²	0°C to +70°C	600 MHz	256-Ball CSP_BGA	BC-256-1
ADSP-BF561SKBCZ-5V ²	0°C to +70°C	533 MHz	256-Ball CSP_BGA	BC-256-1
ADSP-BF561SKBCZ500 ²	0°C to +70°C	500 MHz	256-Ball CSP_BGA	BC-256-1
ADSP-BF561SKB500	0°C to +70°C	500 MHz	297-Ball PBGA	B-297
ADSP-BF561SKB600	0°C to +70°C	600 MHz	297-Ball PBGA	B-297
ADSP-BF561SKBZ500 ²	0°C to +70°C	500 MHz	297-Ball PBGA	B-297
ADSP-BF561SKBZ600 ²	0°C to +70°C	600 MHz	297-Ball PBGA	B-297
ADSP-BF561SBB600	-40°C to +85°C	600 MHz	297-Ball PBGA	B-297
ADSP-BF561SBB500	-40°C to +85°C	500 MHz	297-Ball PBGA	B-297
ADSP-BF561SBBZ600 ²	-40°C to +85°C	600 MHz	297-Ball PBGA	B-297
ADSP-BF561SBBZ500 ²	-40°C to +85°C	500 MHz	297-Ball PBGA	B-297
ADSP-BF561SKBCZ-6A ²	0°C to +70°C	600 MHz	256-Ball CSP_BGA	BC-256-4
ADSP-BF561SKBCZ-5A ²	0°C to +70°C	500 MHz	256-Ball CSP_BGA	BC-256-4
ADSP-BF561SBBCZ-5A ²	-40°C to +85°C	500 MHz	256-Ball CSP_BGA	BC-256-4

¹基準温度は周囲温度。

²Z = RoHS 準拠製品。