

PowerPSoC[®] 智能 LED 驱动器

1. 特性

■ **集成的大功率外设**

- 四个内部 32 V 低端 N 通道功率 FET
 - 1.0 A 器件的 $R_{DS(ON)}$ 为 0.5 Ω 。
 - 可配置开关频率高达 2 MHz
- 四个迟滞控制器
 - 可独立编程上 / 下阈值
 - 可编程用于确定 ON/OFF (打开 / 关闭) 最短时间所需的定时器
- 四个具有可编程驱动强度的低端栅极驱动器
- 四个精密高端电流检测放大器
- 三个 16 位 LED 暗度调制器分别为: PriSM、DMM 和 PWM
- 六个快速响应 (100 ns) 电压比较器
- 六个 8 位参考 DAC
- 内置开关调节器去除了外部 5 V 电源
- 多种拓扑包括: 浮动负载降压拓扑、浮动负载降压 - 升压拓扑和升压拓扑

■ **M8C CPU 内核**

- 处理器的速度最高可达 24 MHz

■ **高级外设 (PSoC[®] 模块)**

- 具有电容式感应应用能力
- DMX512 接口
- I²C 主 / 从接口
- 全双工 UART
- 多个 SPI 主 / 从接口
- 集成的温度传感器
- 高达 12 位 ADC
- 6 位到 12 位增量 ADC
- 多达 9 位的 DAC

- 可编程增益放大器
- 可编程滤波器和比较器
- 8 位到 32 位定时器和计数器
- 通过组合多个模块, 能够构建复杂外设
- 可配置为所有 GPIO 引脚

■ **可编程引脚配置**

- 所有 GPIO 和功能引脚上都具有 25 mA 的灌电流和 10 mA 的拉电流
- 所有 GPIO 和功能引脚上都具有上拉、下拉、高阻、强或开漏驱动模式
- GPIO 上的模拟输入高达 10 个
- GPIO 上具有两个 30 mA 的模拟输出
- 所有 GPIO 上都具有可配置中断

■ **灵活的片上存储器**

- 16 K Flash 程序存储 50,000 擦除 / 写入周期
- 1 K SRAM 数据存储
- 系统内串行编程 (ISSP)
- 局部闪存更新
- 灵活的保护模式
- 闪存内 EEPROM 仿真

■ **完整的开发工具**

- 免费开发软件 (PSoC Designer[™])
- 功能齐全的在线仿真器 (ICE) 和编程器
- 全速仿真
- 复杂的断点结构
- 128 KB 的跟踪存储器

■ **应用**

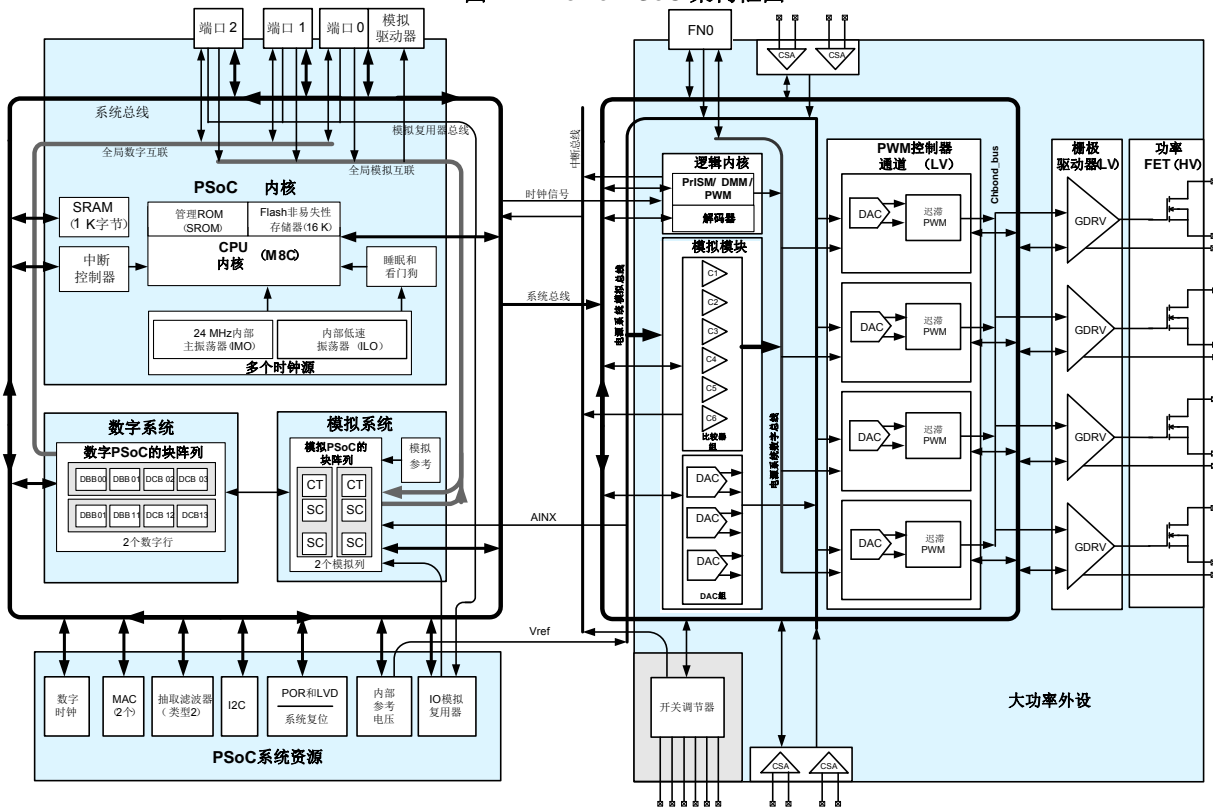
- LED 舞台照明
- LED 建筑照明
- LED 通用照明
- 汽车级和应急车辆 LED 照明
- LED 景观照明
- LED 显示灯
- LED 效果照明灯
- LED 标牌照明

■ **器件选项**

- CY8CLED04D0x
 - 四个带有 0.5 A 和 1.0 A 选项的内部 FET
 - 四个外部栅极驱动器
- CY8CLED04G01
 - 四个外部栅极驱动器
- CY8CLED03D0x
 - 三个带有 0.5 A 和 1.0 A 选项的内部 FET
 - 三个外部栅极驱动器
- CY8CLED03G01
 - 三个外部栅极驱动器
- CY8CLED02D01
 - 两个电流为 1.0 A 的内部 FET
 - 两个外部栅极驱动器
- CY8CLED01D01
 - 一个电流为 1.0 A 的内部 FET
 - 一个外部栅极驱动器

■ **56 引脚 QFN 封装**

图 1-1. PowerPSoC 架构框图



2. 目录

逻辑框图	3	寄存器映射组 0 表	28
PowerPSoC 功能概述	9	寄存器映射组 1 表: 用户空间	29
大功率外设	9	电气规范	30
迟滞控制器	9	最大绝对额定值	30
低端 N 通道 FET	10	工作温度	31
外部栅极驱动器	10	电气特性	31
暗度调制方案	10	系统级	31
电流检测放大器	10	芯片级	31
电压比较器	11	大功率外设低端 N 通道 FET	33
参考 DAC	11	大功率外设外部功率 FET 驱动器	34
内置式开关调节器	11	大功率外设迟滞控制器	34
模拟复用器	11	大功率外设比较器	35
数字复用器	12	大功率外设电流检测放大器	36
功能引脚 (FN0[0:3])	12	大功率外设 PWM/PrISM/DMM 规范表	37
PSoC 内核	13	大功率外设参考 DAC 规范	38
数字系统	13	大功率外设内置式开关调节器	38
模拟系统	13	通用 I/O/ 功能引脚 I/O	41
模拟复用器系统	14	PSoC 内核运算放大器规范	42
其它系统资源	14	PSoC 内核低功耗比较器	43
应用	15	PSoC 内核模拟输出缓冲区	44
PowerPSoC 器件特性	17	PSoC 内核模拟参考	46
入门	18	PSoC 内核模拟模块	46
应用笔记	18	PSoC 内核 POR 和 LVD	47
开发套件	18	PSoC 内核编程规范	47
培训	18	PSoC 内核数字模块规范	48
CYPros 顾问	18	PSoC 内核 I2C 规范	49
技术支持	18	订购信息	50
开发工具	18	订购代码定义	50
PSoC Designer 软件子系统	18	封装信息	51
在线仿真器	19	封装尺寸	51
使用用户模块设计	19	热阻	51
引脚信息	20	回流焊峰值温度	51
CY8CLED04D0x 56 引脚器件的引脚分布 (没有 OCD)	20	缩略语	52
CY8CLED04G01 56 引脚器件的引脚分布 (没有 OCD)	21	文档规范	52
CY8CLED04DOCD1 56 引脚器件的引脚分布 (带 OCD)	22	测量单位	52
CY8CLED03D0x 56 引脚器件的引脚分布 (没有 OCD)	23	文档修订记录	54
CY8CLED03G01 56 引脚器件的引脚分布 (没有 OCD)	24	销售、解决方案和法律信息	55
CY8CLED02D01 56 引脚器件的引脚分布 (没有 OCD)	25	全球销售和 design 支持	55
CY8CLED01D01 56 引脚器件的引脚分布 (没有 OCD)	26	产品	55
寄存器通用规范	27	PSoC® 解决方案	55
使用的缩略语	27	赛普拉斯开发者社区	55
寄存器名称规定	27	技术支持	55
寄存器映射表	27		

3. 逻辑框图

图 3-1. CY8CLED04D0x 逻辑框图

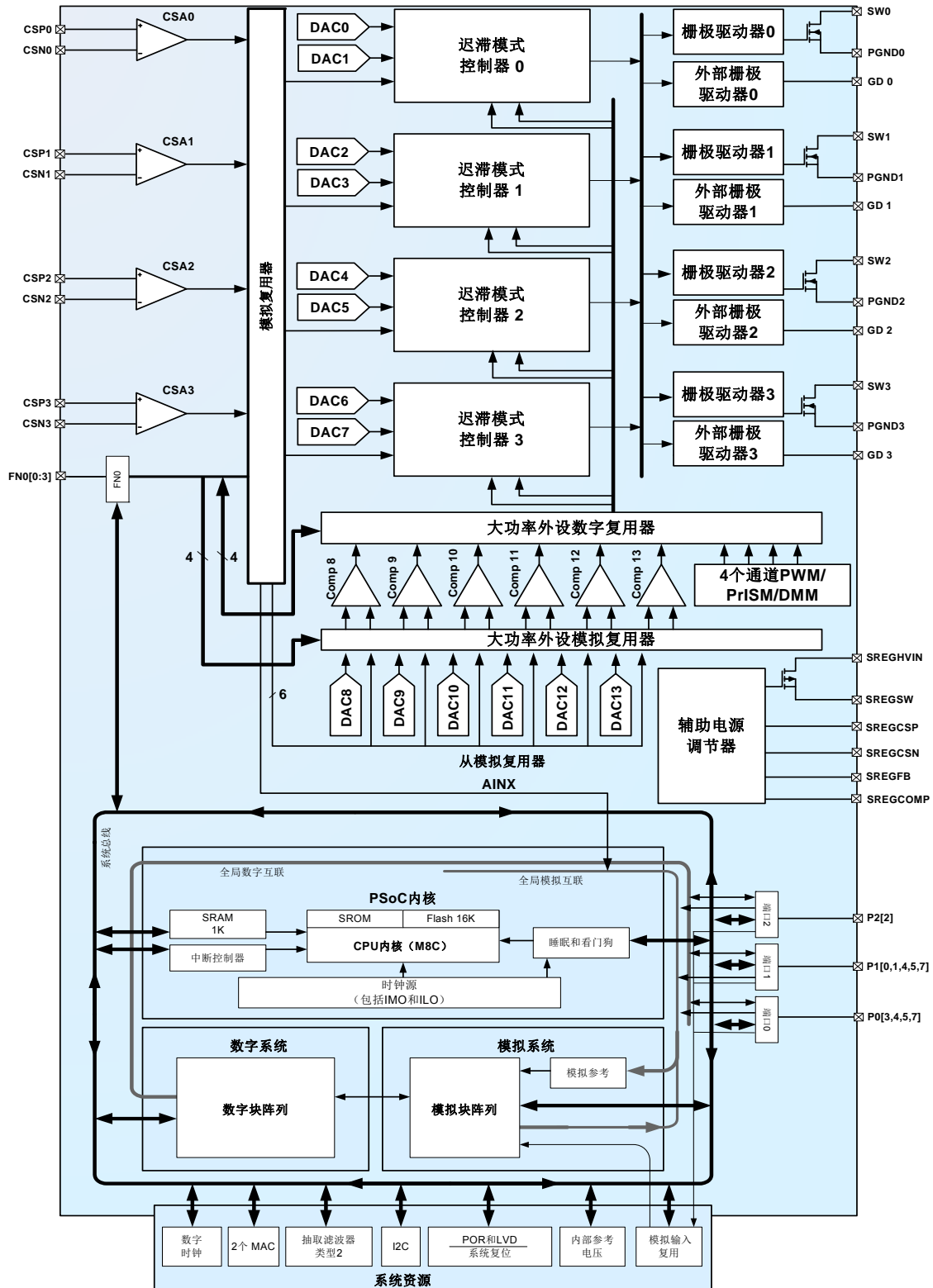


图 3-2. CY8CLED04G01 逻辑框图

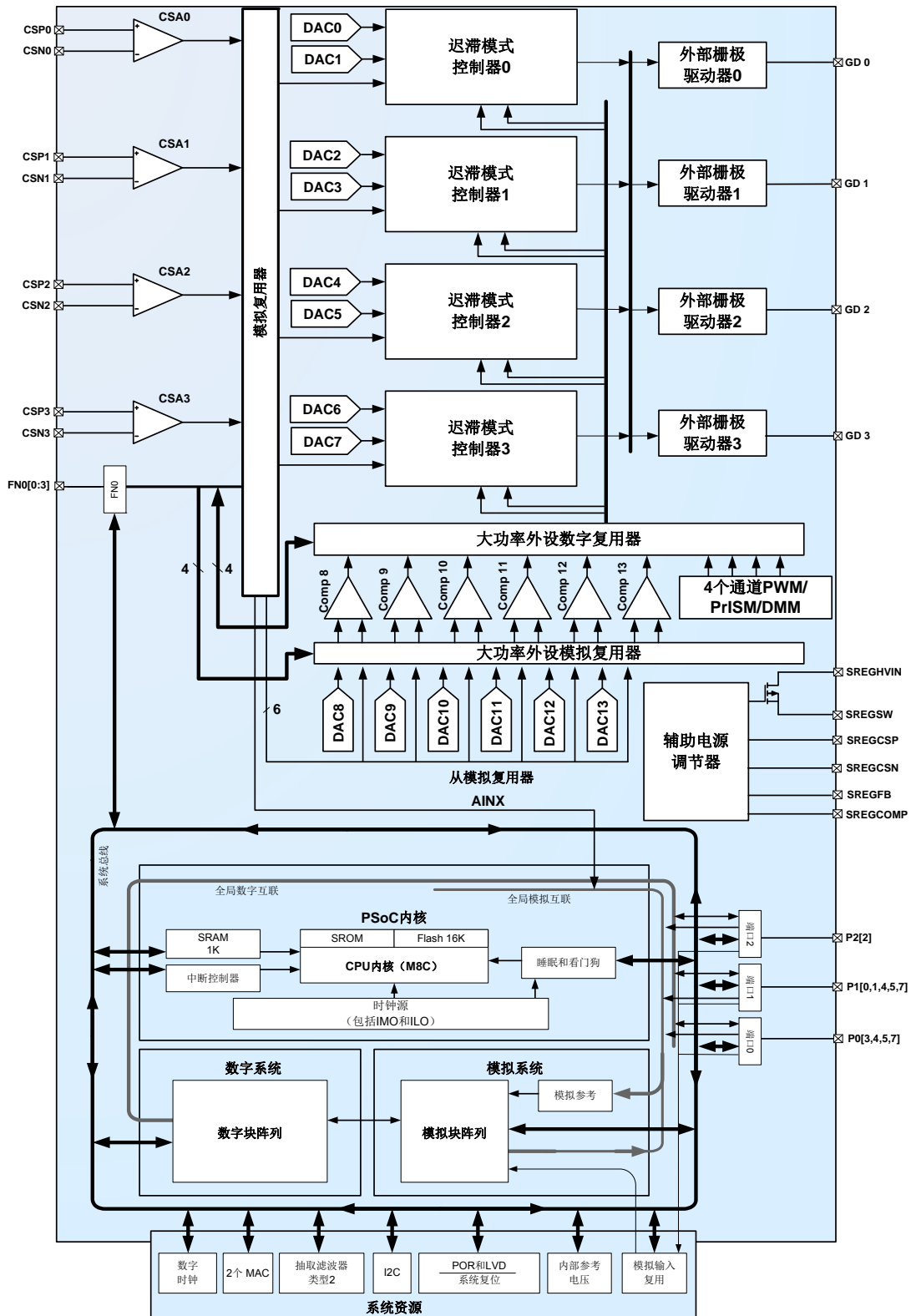


图 3-3. CY8CLED03D0x 逻辑框图

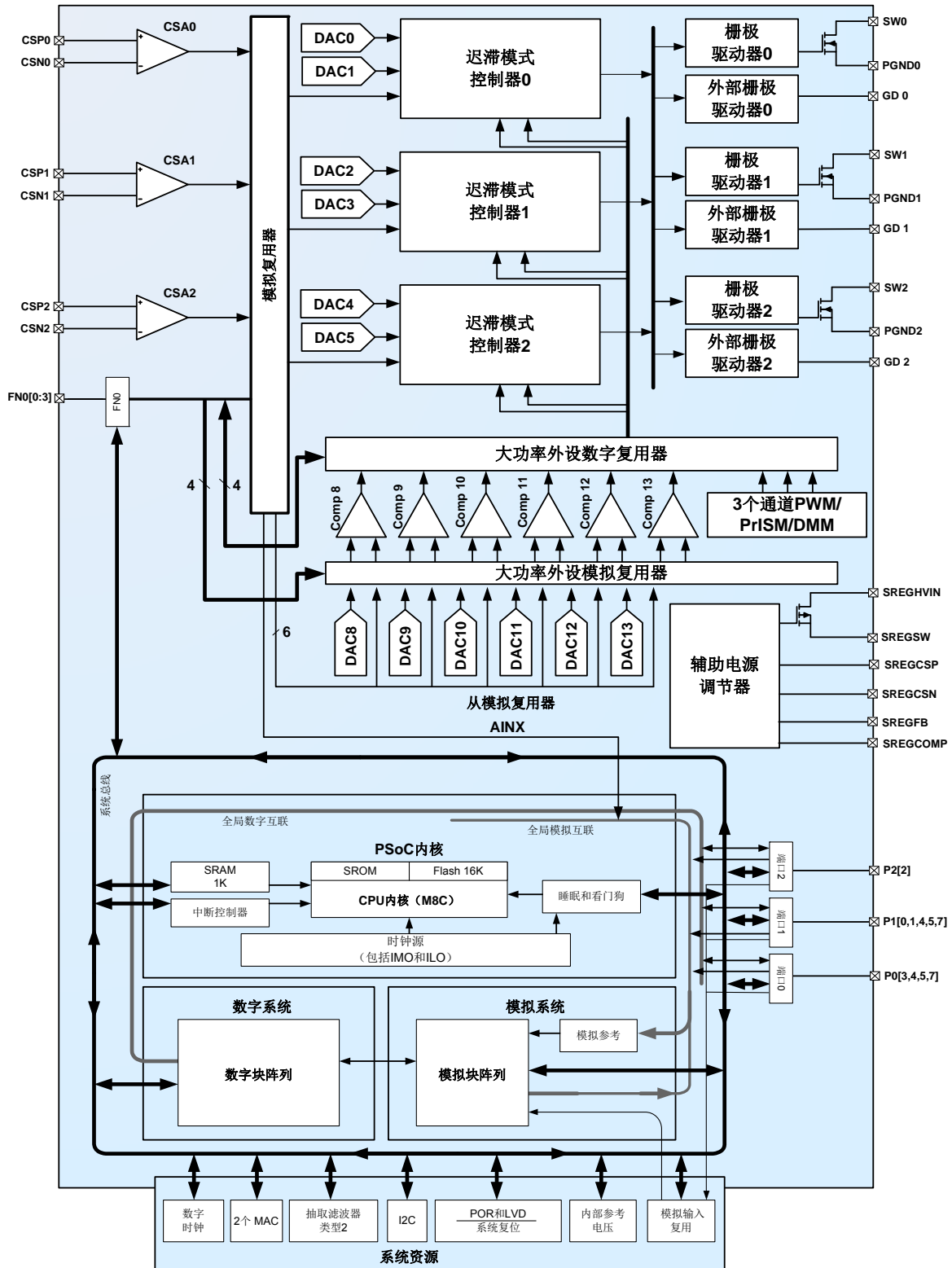


图 3-4. CY8CLED03G01 逻辑框图

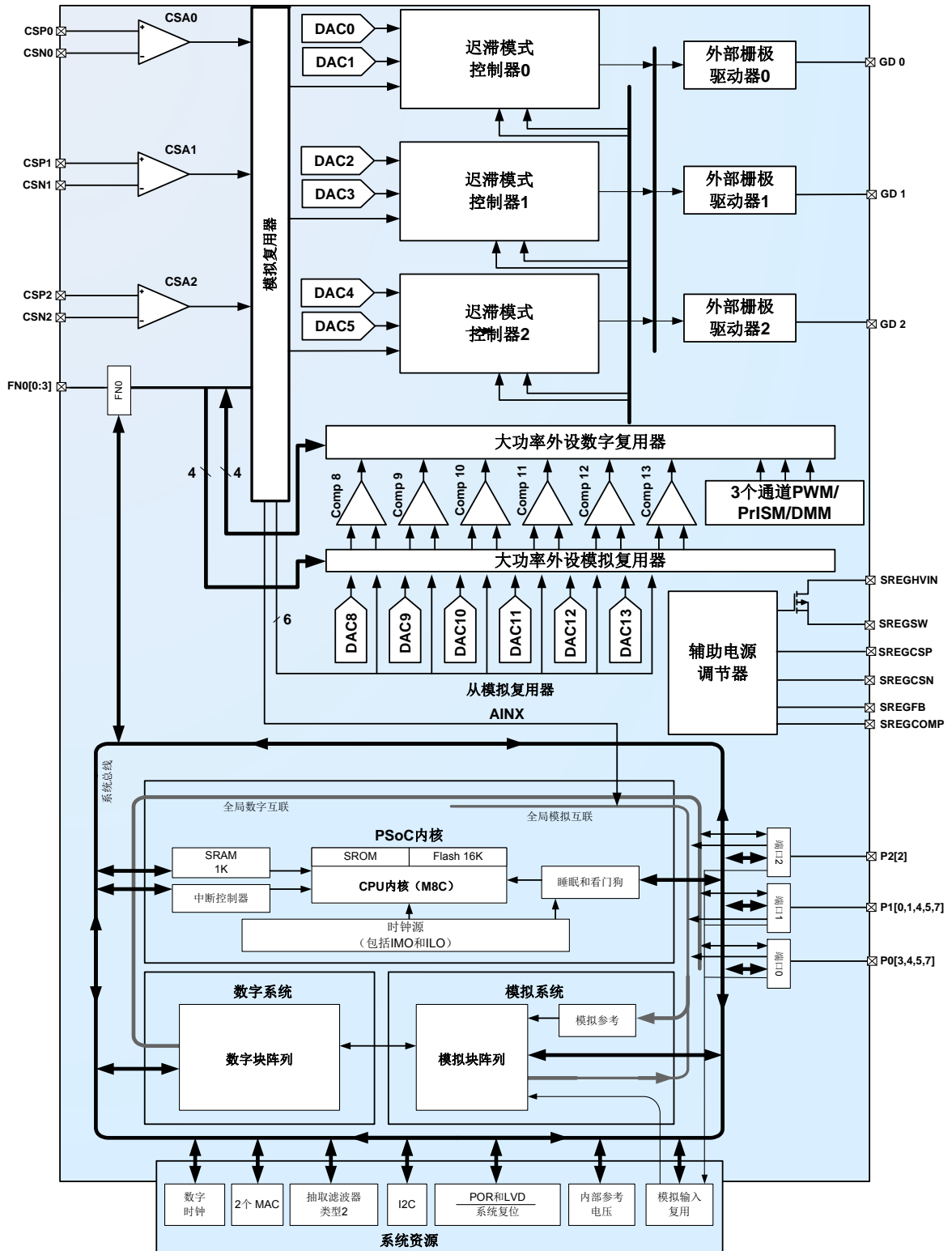


图 3-5. CY8CLED02D01 逻辑框图

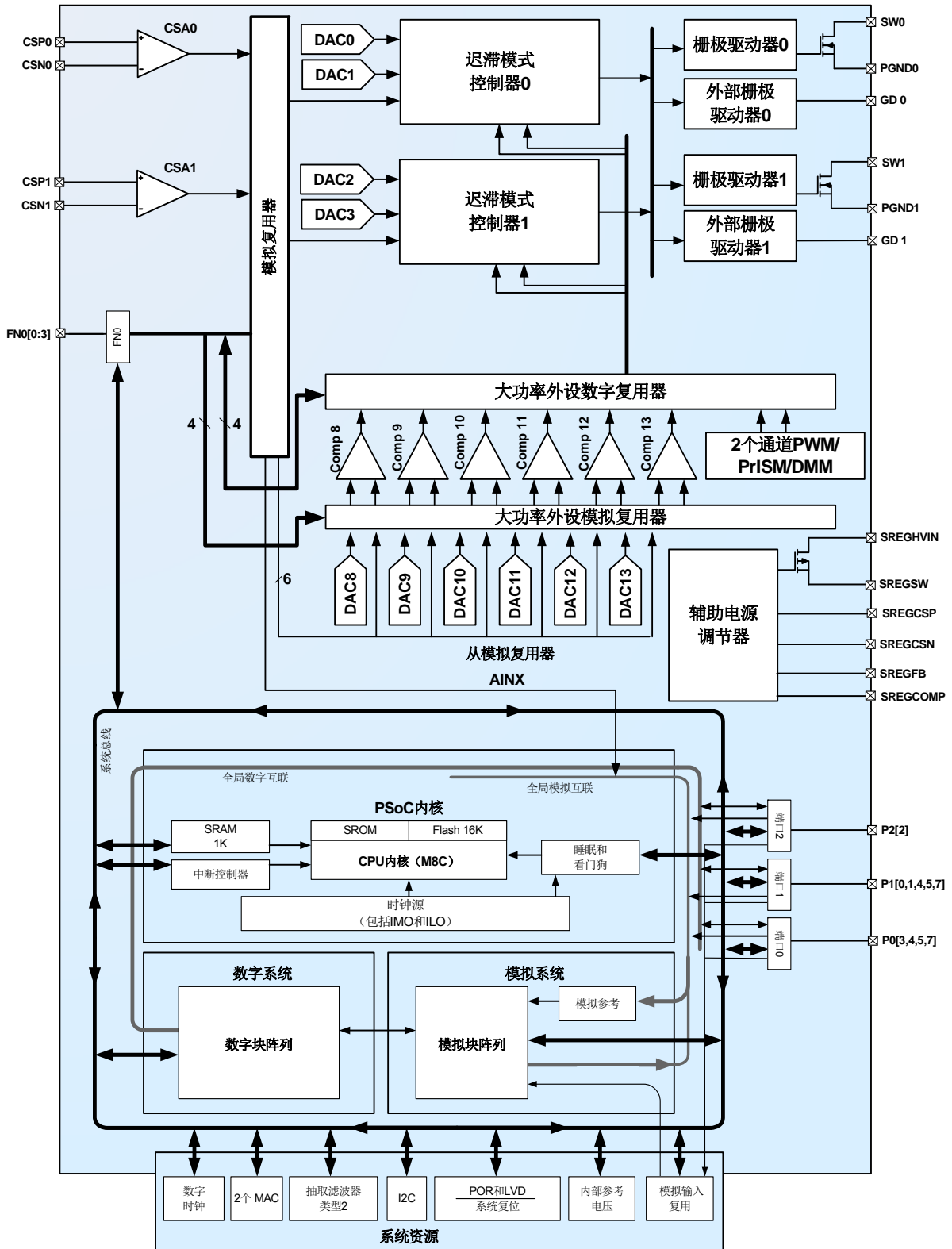
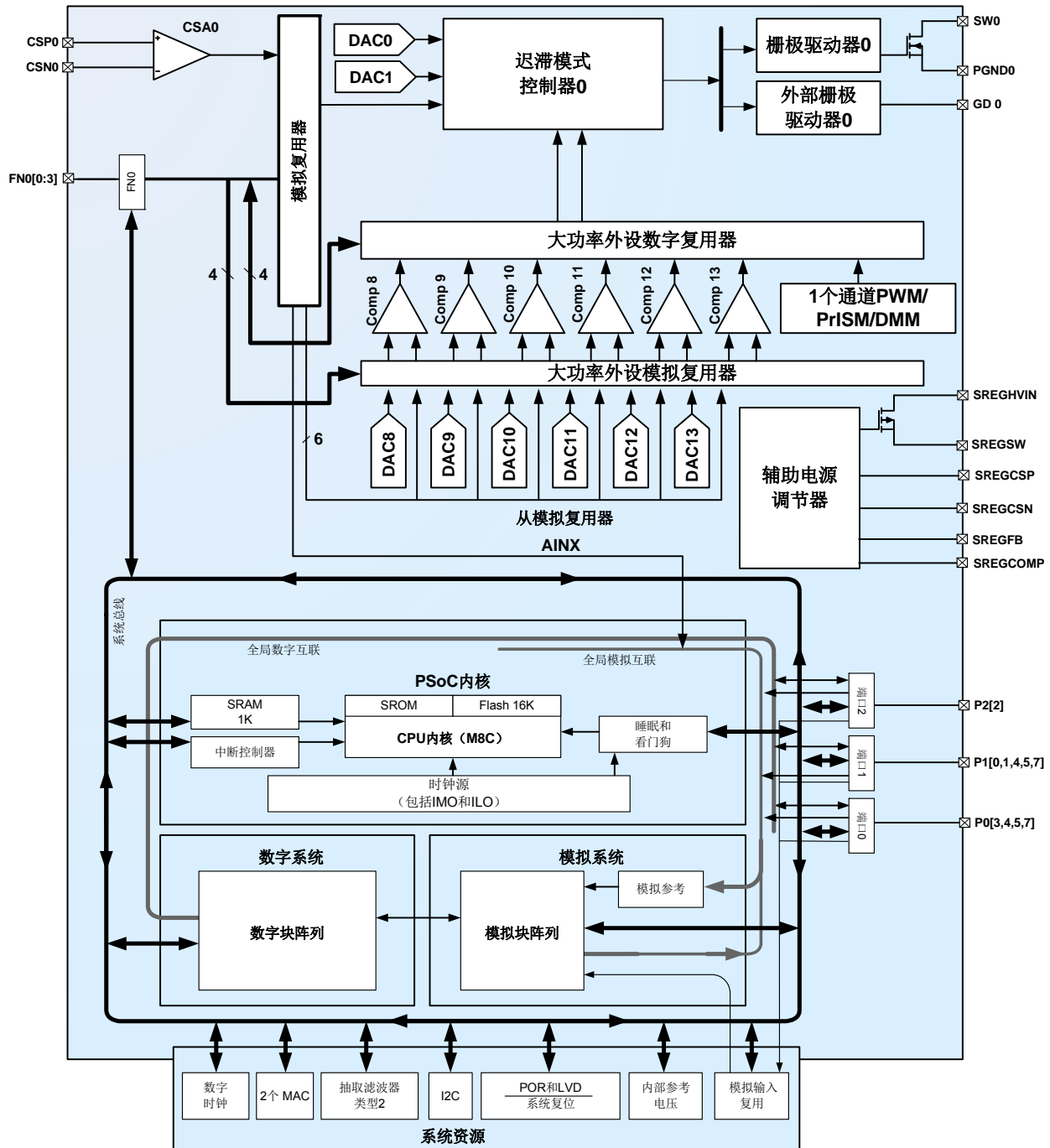


图 3-6. CY8CLED01D01 逻辑框图



4. PowerPSoC® 功能概述

PowerPSoC 系列将可编程片上系统技术集成到最佳的电力电子控制器和开关器件内，以便容易将电源片上系统解决方案使用于照明应用。

所有 PowerPSoC 系列器件都旨在替代传统的 MCU、系统 IC 以及与其相关的众多独立组件。PowerPSoC 器件具有高性能的电力电子设备，该电力电子设备包括电流为 1 安培、频率为 2 MHz 的功率 FET、迟滞控制器、电流检测放大器和 PriSM/PWM 调制器，以便创建用于 LED 电源管理的完整电力电子设备解决方案。可配置的电源、模拟、数字和互连电路均有助于在多种行业、商业和消费 LED 照明应用中实现高度集成。

这种架构集成可编程的模拟和数字模块，使得用户能够根据每个应用的要求来创建定制的外设配置。此外，在一系列方便易用的引脚布局和封装中包含 24 MHz CPU、闪存程序存储器、SRAM 数据存储器和可配置的 I/O。

如框图所示，PowerPSoC 架构由五个主要部分组成：PSoC 内核、数字系统、模拟系统、系统资源以及功率外设，其中功率外设包括了功率 FET、迟滞控制器、电流检测放大器和 PriSM/PWM 调制器。通过可配置的全局总线，可将所有器件资源整合到一个完全定制的系统。PowerPSoC 系列具有多达 10 个连接到全局数字和模拟互连的 I/O 端口，能够访问八个数字模块和六个模拟模块。

5. 大功率外设

PowerPSoC 的设计工作电压范围为 7 V 到 32 V，使用内部 MOSFET 开关可驱动高达 1 安培的电流，使用外部 MOSFET 可驱动超过 1 安培的电流。

该器件系列 (CY8CLED0xD/G0y) 兼备了高达四个恒流驱动器的独立通道。这些驱动器具有包含 8 位微控制器的可编程片上系统 (PSoC) 的迟滞控制器、可配置数字与模拟外设和嵌入式闪存存储器。

CY8CLED0xD/G0y 是 PowerPSoC 系列中第一个产品集成大功率外设，它支持电力电子应用的集成。智能功耗控制器 IC 的 PowerPSoC 系列用于照明应用，该应用需要传统的 MCU 和分立电力电子设备的支持。CY8CLED0xD/G0y 的功率外设包括高达四个 32 V 的功率 MOSFET，每个 MOSFET 的额定电流值高达 1 安培。它还包含栅极驱动器，从而能够使应用驱动外部 MOSFET，以获得更大的电流和电压能力。控制器是一个可编程阈值迟滞控制器，它具有可供用户选择的反馈路径，该路径在电流模式下的浮动负载降压、浮动负载降压 - 升压和升压配置中使用 IC。

5.1 迟滞控制器

PowerPSoC 包含了四个迟滞控制器。每个器件通道都有一个迟滞控制器。

迟滞控制器支持周期性切换控制和快速瞬态响应。使用这些迟滞控制器可简化系统设计，因为它们不需要外部补偿。迟滞控制器包括下面各特性：

- 四个独立的通道
- DAC 可配置阈值
- 切换频率范围为 20 kHz 到 2 MHz
- 可编程用于确定打开 / 关闭状态的最短时间所需的定时器
- 浮动负载降压、浮动负载降压 - 升压和升压拓扑控制器

迟滞控制器的参考输入 (图 5-1 中的 REF_A 和 REF_B) 由参考 DAC 提供，如顶层框图所示 (请参见第 3 页上的图 3-1)。

将反馈值与两个阈值进行比较，可以生成迟滞控制功能输出。如果低于下阈值，则接通开关；如果超过上阈值，则断开开关，如图 5-1 所示。图 5-2 显示的是输出电流波形。

迟滞控制器也会控制最短的接通时间和断开时间。该电路可阻止振荡器的频率过高，因此可以避免破坏输出开关。

Trip 信号、DIM 信号和 Enable 信号会关断栅极驱动器的输出。迟滞控制器中控制寄存器的“使能”位可直接生成 Enable 信号。

Trip 信号可以是任意的数字信号，允许 TTL 逻辑 (逻辑高和逻辑低)。它是一个高电平有效输入。

DIM 调制信号是在功率外设或任何其他数字调制信号中存在的专用调制器的输出。

图 5-1. 生成迟滞控制功能输出

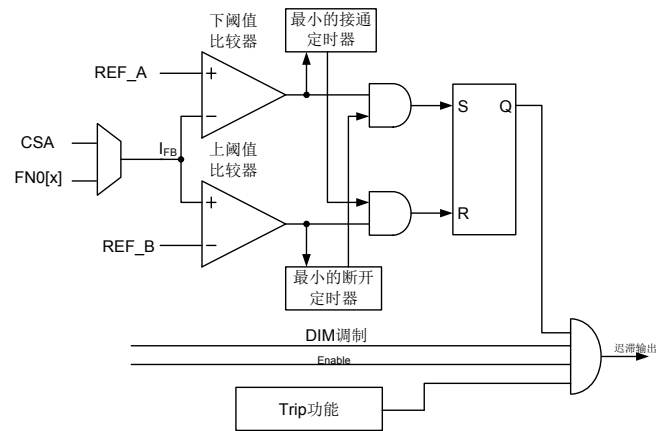
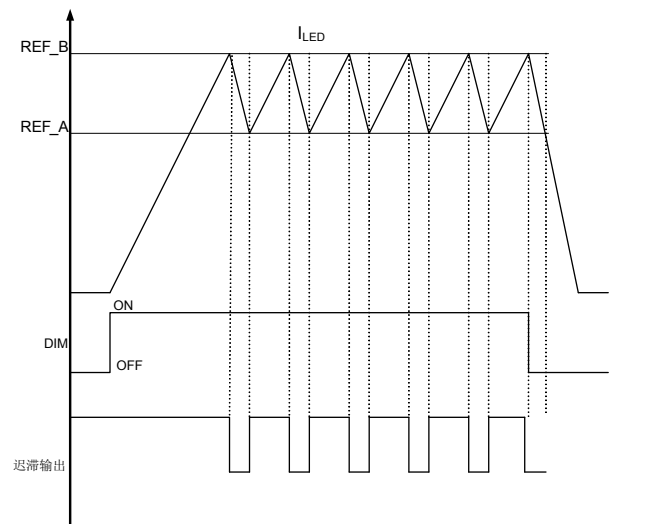


图 5-2. 电流波形



PowerPSoC 中最小接通时间和断开时间的电路可阻止振荡器的频率过高，因此可以避免破坏输出开关。

5.2 低端 N 通道 FET

设计内部低端 N 通道 FET 是为了提高系统的集成。低端 N 通道 FET 包括以下各特性：

- 能输出高达 1 A 的电流
- 切换时间为 20 ns（上升和下降时间），可确保高效率（大于 90%）
- 漏极和源极的电势差额定值为 32 V
- 低 $R_{DS(ON)}$ ，可确保高效率
- 切换频率高达 2 MHz

5.3 外部栅极驱动器

通过这些栅极驱动器能够使用电流更大且 $R_{DS(ON)}$ 更小的外部 FET。外部栅极驱动器可直接驱动在开关应用中使用的 MOSFET。栅极驱动器提供了多种可编程驱动强度的措施，用以提高 EMI 管理。外部栅极驱动器包括以下各关键特性：

- 具有可编程驱动强度选项（25%、50%、75%、100%），以提高 EMI 管理
- 负载为 4 nF 时，上升和下降时间为 55 ns（最大值）

5.4 暗度调制方案

具有三个可用于 PowerPSoC 的暗度调制方案。下面列出了可配置的调制方案：

- 高精度照明信号强度调制（PrISM）
- delta sigma 调制模式（DMM）
- 脉冲宽度调制器（PWM）

5.4.1 PrISM 模式配置

- 最高分辨率可达 16 位
- 通过专用的 PrISM 模块，用户可将内核 PSoC 数字模块用于其他需求。
- 时钟频率高达 48 MHz
- 可选的输出信号密度
- 降低电磁干扰

PrISM 模式将伪随机计数器的输出与信号密度值进行比较。当计数值小于或等于信号密度寄存器中的值时，比较器输出被激活。

5.4.2 DMM 模式配置

- 最高分辨率可达 16 位
- 可配置的输出频率和 delta sigma 调制器宽度进行权衡重复率与分辨率
- 通过专用的 DMM 模块，用户可将 PSoC 数字模块用于其他目的。
- 时钟频率高达 48 MHz

DMM 调制器包含一个 12 位 PWM 模块和一个 4 位 delta sigma 调制器（DSM）模块。PWM 的宽度、DMM 的宽度和时钟定义了输出频率。通过使用具有可选择分辨率高达 4 位的 DSM 模块进行抖动 PWM 输出的占空比。

5.4.3 PWM 模式配置

- 最高分辨率可达 16 位
 - 用户可编程周期为 1 到 65535 个时钟
 - 通过专用的 PWM 模块，用户可以将内核 PSoC 数字模块用于其他目的。
 - 在输出或终端计数的上升沿上可选择中断
 - 正确控制 PWM 相位，以管理系统电流边沿
 - 四个通道间的相位同步
 - PWM 输出可以是左对齐、右对齐或中心对齐
- PWM 具有一个递减计数器和一个脉冲宽度寄存器。当计数值小于或等于脉冲宽度寄存器中的值时，会置位比较器输出。

5.5 电流检测放大器

高端电流检测放大器提供了一个差分检测能力，从而能够通过照明系统的电流检测电阻电压。电流检测放大器包括以下关键特性：

- 工作时的共模电压高达 32 V
- 高共模抑制比
- 可编程带宽，用于优化系统抗噪能力

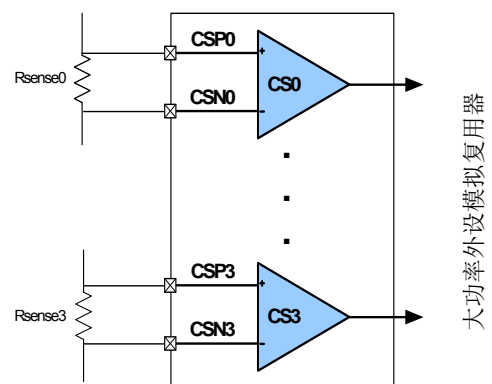
片外电阻 R_{sense} 使用于高端电流检测，如第 10 页上的图 5-3 所示。电流检测放大器的输出被输送给大功率外设模拟复用器，用户可以从这里选择路由到的迟滞控制器。表 5-1 显示了不同电流的 R_{sense} 示例值。

计算所需平均电流时 R_{sense} 值的方法，在应用笔记 [CY8CLED0xx0x：使用 PowerPSoC 的电路拓扑结构和设计指南 — AN52699](#) 中进行了介绍。

表 5-1. 电流不同的 R_{sense} 值

最大负载电流 (mA)	典型的 R_{sense} ($m\Omega$)
1000	100
750	130
500	200
350	300

图 5-3. 高端电流测量



5.6 电压比较器

有六个比较器，能够为过压、过流以及其他各种系统事件检测提供快速比较操作。例如，比较器用于 AC 输入线的过零检测或监控总直流总线电流。可编程的内部模拟布线会使能这些比较器，用于监控各种模拟信号。这些比较器具有下面的关键特性：

- 高速比较器操作：100 ns 响应时间
- 可编程中断生成
- 低输入偏移电压和输入偏置电流

六个精密电压比较器均可用。比较器的差分正端和负端输入均来自于模拟复用器，并且输出到数字复用器。使用可编程的反相器进行选择输出极性。可以使能或禁用用户可选择的迟滞，从而对抗噪能力和比较器的灵敏度进行权衡。

5.7 参考 DAC

使用参考 DAC 可以生成各种模拟模块（比如：迟滞控制器和比较器）的设置点。参考 DAC 包括以下的关键特性：

- 8 位分辨率
- 保证单调操作
- 低增益误差
- 10 us 的建立时间

这些 DAC 可向各种模拟和比较器功能提供可编程参考，并由存储器映射的寄存器控制。

DAC[0:7] 被嵌入到迟滞控制器中，并且需要设置通道 0~3 的上下阈值。

DAC[8:13] 被连接到功率外设模拟复用器，并为比较器组提供可编程参考。使用它们进行设置使能过压、过流和其他系统事件检测的激发点。

5.8 内置开关调节器

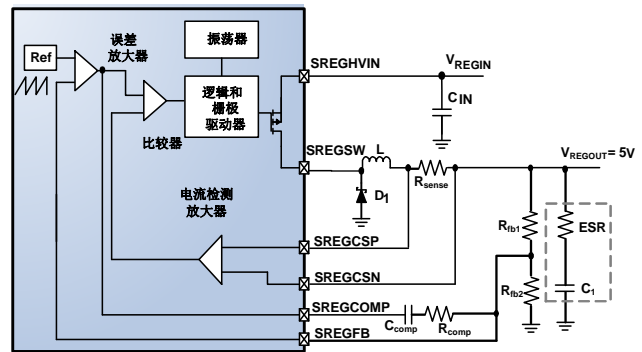
开关调节器用于从输入端为 PowerPSoC 的低电压（5 V）供电。该调节器根据峰值电流控制环路提供高达 250 mA 的输出电流。未被 PowerPSoC 消耗的电流用于给其它系统外设供电。内置开关调节器的关键特性包括：

- 通过输入导线实现自供电的能力
- 滤波器组件尺寸很小
- 快速瞬态响应

有关组件数值的信息，请参见表 15-20。

形成误差放大器参考的 ‘Ref’ 信号被内部生成，并且用户不控制它。

图 5-4. 内置开关调节器



5.9 模拟复用器

PowerPSoC 系列的模拟复用器专用于将 CSA 输出中的信号、功能 I/O 引脚和 DAC 路由给迟滞控制器的比较器输入和电流检测输入。此外，使用该复用器可以将 CSA 输出路由给 AINX 模块。

对于所有可能使用复用器进行路由的完整矩阵，请参阅《PowerPSoC 技术参考手册》。

CPU 使用存储器映射的寄存器对功率外设模拟复用器的连接进行配置。模拟复用器包括以下各关键特性：

- 信号的完整性，以尽可能降低信号的损坏

5.10 数字复用器

PowerPSoC 系列的数字复用器是一个与功率外设数字资源相连接的可配置切换矩阵。

对于所有使用复用器可能路由的完整矩阵，请参阅《PowerPSoC 技术参考手册》。

该功率外设数字复用器与 PSoC 内核的主 PSoC 数字总线或全局互连无关。数字复用器包括以下各关键特性：

- 连接信号，用以确保所需的灵活性

5.11 功能引脚（FN0[0:3]）

功能 I/O 引脚是一组专用的控制引脚，使用它们可以为 PowerPSoC 的功率外设模块执行系统级功能。并且这些引脚是动态配置的，使能它们可以执行多种输入和输出功能。使用这些 I/O 可以直接访问电压比较器的输入输出端、迟滞控制器的输入端和数字 PWM 模块的输出端。功能 I/O 引脚被映射到寄存器。微控制器可以控制并读取这些引脚的状态和中断功能。

功能 I/O 的主要优点包括：

- 使能外部更高电压电流检测放大器，如图 5-5 所示。
- 同步多 PowerPSoC 控制器的暗度，如图 5-6 所示。
- 提供可编程失效安全的监控器和迟滞控制器的专用关机，如图 5-7 所示。

除上述功能外，这些 I/O 还提供了中断功能，从而能够使智能系统响应功率控制照明系统的状态。

图 5-5. 外部 CSA 和 FET 应用

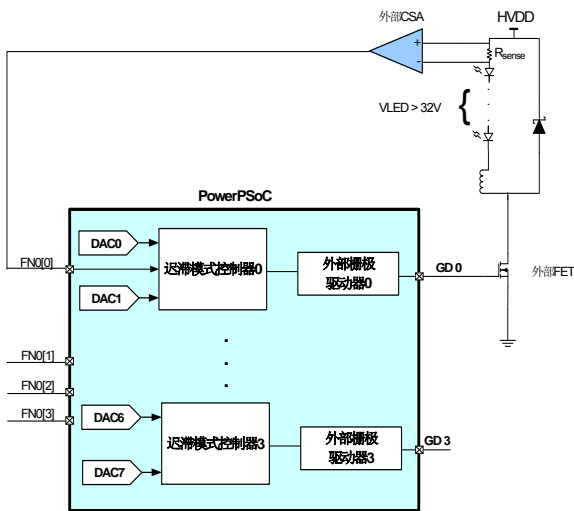


图 5-6. 被配置为主 / 从设备时的 PowerPSoC

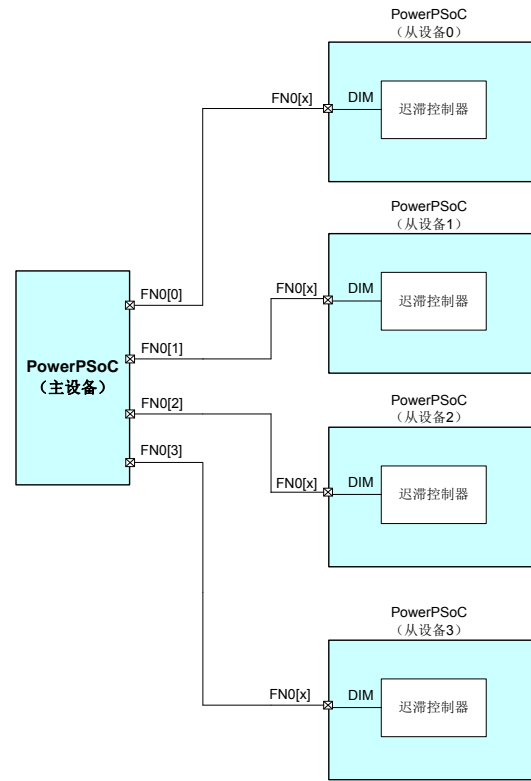
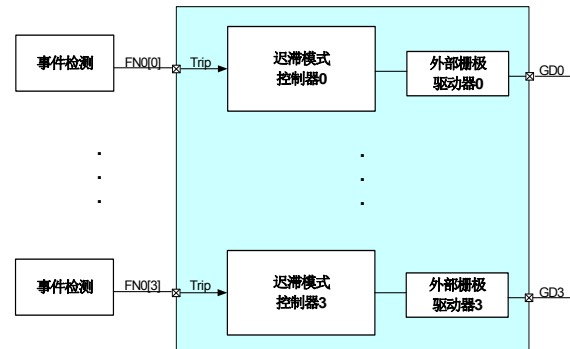


图 5-7. 事件检测



6. PSoC 内核

PSoC 内核是一个强大的引擎，支持丰富的功能集。内核包括 CPU、存储器、时钟和可配置的通用 I/O（GPIO）。

M8C CPU 内核是一个频率高达 24 MHz 的强大处理器，能够提供提供一个 4 MIPS 的 8 位 Harvard 架构微处理器。CPU 使用具有多达 20 个矢量的中断控制器，能够简化实时嵌入式事件的编程。程序执行流程由附带的睡眠定时器和看门狗定时器（WDT）和保护程序提供定时和保护功能。

存储器包括 16 K 的闪存（用于存储程序）和 1 K 的 SRAM（用于存储数据），以及高达 2 K 且使用闪存进行仿真的 EEPROM。程序闪存存在 64 字节的模块上采用四个保护级别，能够提供定制的软件 IP 保护。

PSoC 器件采用多个非常灵活的内部时钟发生器，其中包括在有效工作温度和电压下精度高达 4% 的 24 MHz 内部主振荡器（IMO）。24 MHz IMO 的频率还可以倍增至 48 MHz，以便供数字系统使用。PowerPSoC 器件为睡眠定时器和 WDT 提供了一个低功耗 32 kHz 内部低速振荡器（ILO）。时钟以及可编程时钟分频器（属于系统资源）具有高度的灵活性，能够使 PowerPSoC 器件满足几乎任何时序要求。

PowerPSoC GPIO 能够提供至器件 CPU、数字资源和模拟资源的连接。每个引脚都有 8 种驱动模式可供选择，在进行外部连接方面具有极大的灵活性。每个引脚还能够在处于高电平、低电平以及自上次读取后发生变化时生成系统中断。

6.1 数字系统

数字系统由 8 个数字 PSoC 模块组成。每个模块都是一个 8 位资源，既可以单独使用，也可以与其他模块一起组成 8、16、24 和 32 位外设（称为用户模块参考）。

数字外设配置包括：

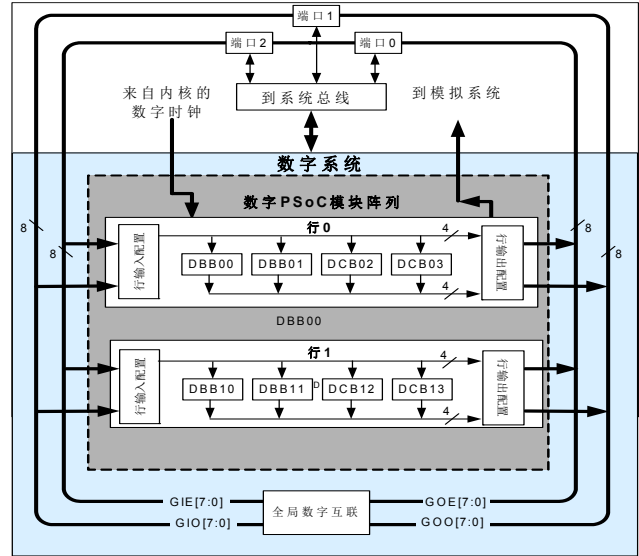
- DMX512
- 计数器（8 到 32 位）
- 定时器（8 到 32 位）
- 带可逃奇偶校验位的 8 位 UART
- SPI 主 / 从接口
- I²C 主、从或多主接口
- 循环冗余检验器 / 发生器（8 到 32 位）
- IrDA
- 伪随机序列发生器（8 到 32 位）

注意： 通过结合使用上面提到的用户模块，能够支持 DALI 接口。有关正确配置和示例项目的详细信息，请参考应用笔记：[PowerPSoC 固件设计指南，照明控制接口 — AN51012](#)。

通过一系列能够将任何信号路由至任何引脚的全局总线，数字模块可以连接到任何 GPIO。此外，通过总线还可以实现信号复用和执行逻辑运算。这种可配置性使设计不再受固定外设控制器的限制。

每行都有四个数字模块。这样有助于为应用选择最佳的系统资源。

图 6-1. 数字系统框图



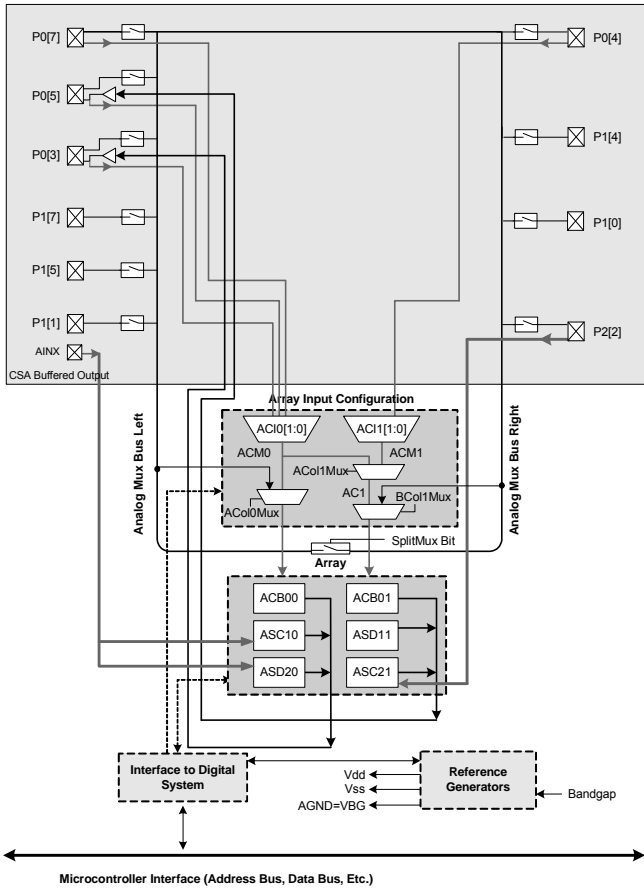
6.2 模拟系统

模拟系统包括 6 个可配置的模块，其中每个模块都包含一个能够创建复杂模拟信号流的运算放大器电路。模拟外设非常灵活，并能够对其进行定制，以支持具体的应用要求。一些更常用的 PowerPSoC 模拟功能（大部分都作为用户模块使用）包括：

- 模数转换器（最多 2 个，6 到 12 位分辨率，可选择为增量、Delta Sigma 和 SAR）
- 滤波器（2 极和 4 极带通、低通和陷波滤波器）
- 放大器（多达 2 个，可选增益达 48x）
- 仪表放大器（1 个，可选增益达 93x）
- 比较器（多达 2 个，有 16 个可选阈值）
- DAC（多达 2 个，6 到 9 位分辨率）
- 乘法 DAC（多达 2 个，6 到 9 位分辨率）
- 大电流输出驱动器（2 个，驱动能力为 30 mA，属于 PSoC 内核资源）
- 1.3 V 参考电压（属于系统资源）
- 调制器
- 相关器
- 峰值检测器
- 可以使用许多其他拓扑

模拟模块都采用三个两列的排列方式，其中包括一个连续时间（CT）和两个开关电容（SC）模块，如第 14 页上的图 6-2 所示。

图 6-2. 模拟系统框图



6.3 模拟复用器系统

模拟复用器总线可以连接至端口 0 到 2 的每个 GPIO 引脚。引脚可以单独连接至总线，也可以采用任意组合方式连接至总线。该总线还可连接到模拟系统，以便使用比较器和模数转换器进行分析。它可以拆分成两个部分，以同时进行双通道处理。一个额外的模拟输入复用器提供了将端口 0 引脚连接至模拟阵列的另一个路径。

借助开关控制逻辑，选定的引脚可以在硬件控制下连续预充电。从而能够对触摸感应等应用进行电容式感应。其他复用器应用包括：

- 触控板、手指感应。
- 任意 I/O 引脚组合之间的交叉点连接

与其他 PSoC 器件相同，PowerPSoC 也带有分配到参考电容器和调制电阻器的指定引脚。在器件的引脚分布（第 13 节）图上显示了具体的情况。有关电容式感应的更多信息，请参考设计指南 — [CapSense 入门](#)。此外，在赛普拉斯网站上还有很多有关电容式感应的应用笔记。PowerPSoC 技术参考手册提供了有关模拟系统配置的详细信息，可将器件的所有 I/O 作为 CapSense 输入。

6.4 其它系统资源

系统资源能够提供对整个系统非常有用的附加功能。除此之外还包括乘法器、抽取滤波器、欠压检测和加电复位。以下简要介绍了每种资源的优点：

- 两个乘累加 (MAC) 单元能够提供具有 32 位累加运算能力的 8 位快速乘法器，以便协助通用数学和数字滤波器。
- 抽取滤波器能够针对数字信号处理应用（包括创建 Delta Sigma ADC）提供定制硬件滤波器。
- 欠压检测 (LVD) 中断可以在电压下降时向应用发出信号，而高级 POR（加电复位）电路则消除了系统监控方面的需要。
- 数字时钟分频器能够提供三个可定制的时钟频率，以便在应用中使用。这些时钟既可以路由到数字系统，也可以路由到模拟系统。通过将数字 PSoC 模块作为时钟分频器使用，设计者可以生成更多时钟。
- I²C 模块能够通过两条线路提供 100 和 400 kHz 的通信。支持从接口、主接口和多主接口的应用。
- 内部 1.3V 参考电压为 ADC、DAC 等模拟系统提供了一个绝对参考电压。
- 通用模拟复用器系统。

7. 应用

可使用 PowerPSoC 系列器件将迟滞电流控制功能添加到功率应用。可使用这些器件进行控制 LED、加热元件和螺线管等器件的电流。对于 LED 应用，通过使用 PowerPSoC 可以控制所有高亮度 LED（HBLED）。下图显示的是应用示例，其中 PowerPSoC 系列器件为各功率应用添加了智能功率控制功能。

图 7-1. 将 RRGB 混色的照明 LED 配置为浮动负载降压转换器

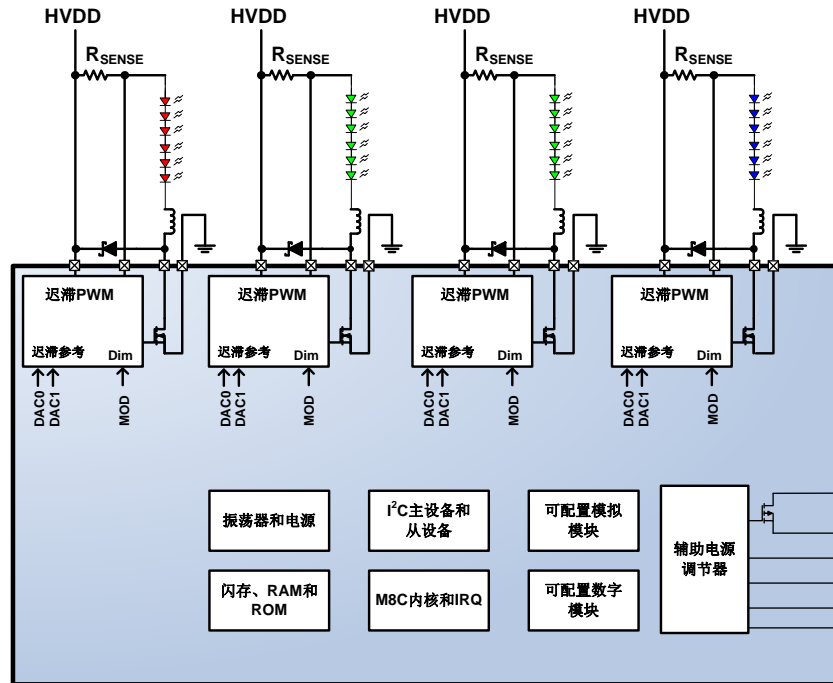


图 7-2. RGBA 混色的照明 LED 将外部 MOSFETS 驱动为浮动负载降压转换器

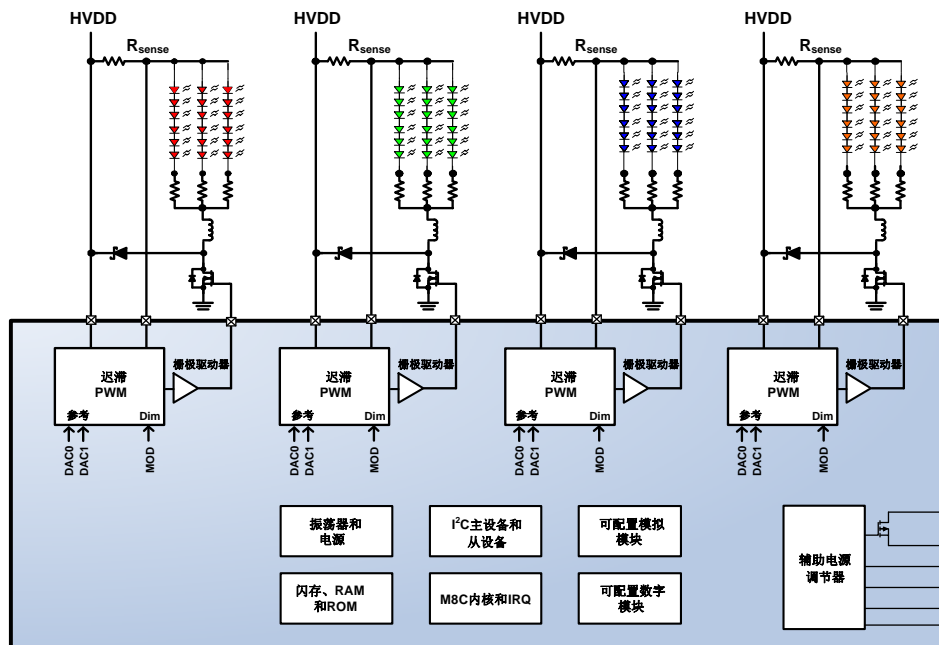
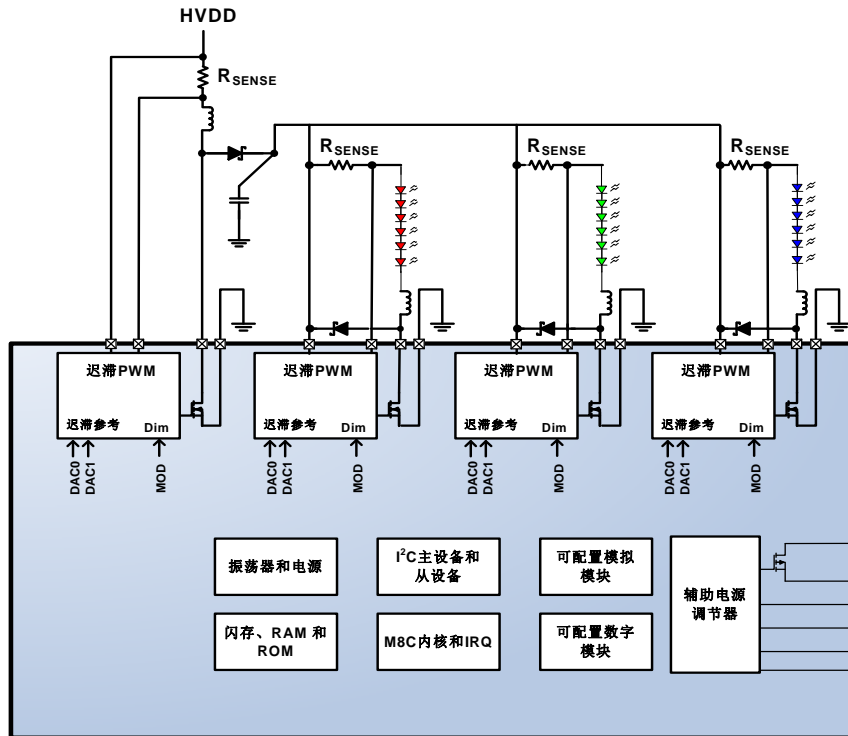


图 7-3. 使用单一通道升压的照明 LED 驱动三个浮动负载降压通道



8. PowerPSoC 器件特性

PowerPSoC 系列具有两组主要器件。一组是 4 通道的 56 引脚 QFN，另一组是 3 通道的 56 引脚 QFN。下面的表格对这两组进行了总结。

表 8-1. PowerPSoC 器件特性

器件组	内部功率 FET	外部栅极驱动器	数字 I/O	数字行	数字模块	模拟输入	模拟输出	模拟列	模拟模块	SRAM 大小	闪存大小
CY8CLED04D01-56LTXI	4X1.0 A	4	14	2	8	14	2	2	6	1 K	16 K
CY8CLED04D02-56LTXI	4X0.5 A	4	14	2	8	14	2	2	6	1K	16K
CY8CLED04G01-56LTXI	0	4	14	2	8	14	2	2	6	1K	16K
CY8CLED03D01-56LTXI	3X1.0 A	3	14	2	8	14	2	2	6	1K	16K
CY8CLED03D02-56LTXI	3X0.5 A	3	14	2	8	14	2	2	6	1K	16K
CY8CLED03G01-56LTXI	0	3	14	2	8	14	2	2	6	1K	16K
CY8CLED02D01-56LTXI	2X1.0 A	2	14	2	8	14	2	2	6	1K	16K
CY8CLED01D01-56LTXI	1X1.0 A	1	14	2	8	14	2	2	6	1K	16K
CY8CLED01D01-56LTXQ	1X1.0 A	1	14	2	8	14	2	2	6	1K	16K

9. 入门

了解 PowerPSoC 器件的最快方式是先阅读本数据手册，然后再使用 PSoC Designer 集成开发环境 (IDE)。本数据手册概要介绍了 PowerPSoC 集成电路，并包含具体的引脚、寄存器和电气规范。有关详细信息及详细的编程信息，请参见 *PowerPSoC 技术参考手册*。

如需最新的订购、封装和电气规范信息，请参见 www.cypress.com 网站上最新的 PowerPSoC 器件数据手册。

9.1 应用笔记

应用笔记是对众多 PowerPSoC 设计方案的绝佳介绍。布局指南、热管理和固件设计指南是涉及的一些主题。要了解 PowerPSoC 应用笔记的内容，请访问网页 <http://www.cypress.com/powerpsoc>，然后点击应用笔记的连接。

9.2 开发套件

可在 Digi-Key、Avnet、Arrow 以及 Future 等分销商中获得开发套件。赛普拉斯在线商店包含 PowerPSoC 项目所需的开发套件、C 编译器和附件。更多有关套件或购买套件的信息，请访问 <http://www.cypress.com/powerpsoc>，然后点击开发套件的链接。

9.3 培训

www.cypress.com/training 网站在线提供免费的 PowerPSoC 技术培训（按需提供的培训、在线研讨会和专题讨论会）。培训涵盖了可协助您进行设计的众多主题和技能。

9.4 CYPros 顾问

从技术协助到完成 PowerPSoC 设计，认证的 PSoC 顾问能够提供一切支持。如要联系或成为 PSoC 顾问，请访问 www.cypress.com/cypros。

9.5 技术支持

PowerPSoC 应用工程师对快速、准确的响应引以自豪。保证提供 <http://www.cypress.com/support/> 网页上全天候的技术支持。如果找不到问题的答案，请致电 1-800-541-4736 联系技术支持。

10. 开发工具

PSoC Designer 是基于 Microsoft® Windows 的集成开发环境，适用于可编程片上系统 (PSoC) 器件。PSoC Designer IDE 可在 Windows XP、Windows Vista 或 Windows 7 上运行。

该系统能够提供按项目管理设计数据库的功能、带在线仿真器的集成调试器、系统内编程支持，以及针对第三方汇编程序与 C 语言编译器的内置支持。

PSoC Designer 还支持专为 PowerPSoC 系列器件开发的 C 语言编译器。

10.1 PSoC Designer 软件子系统

10.1.1 芯片级视图

芯片级视图是一个基于 PSoC Designer 且更为传统的集成开发环境 (IDE)。选择要使用的基本器件，然后选择不同的板上模拟和数字组件。这些组件称为用户模块，并采用 PowerPSoC 模块。电流检测放大器、PrISM、PWM、DMM、浮动负载降压和升压均是用户模块实例。为所选应用配置用户模块，将它们互连并连接至适当的引脚。然后生成项目。这会在项目中加入 API 和库，您可以使用它们来对应用进行编程。

通过器件编辑器，用户还可以轻松开发多个配置和动态重新配置。动态配置允许在运行时更改配置。

10.1.2 代码生成工具

PSoC Designer 支持多种第三方 C 语言编译器和汇编程序。这些代码生成工具能够在 PSoC Designer 界面内无缝工作，并已采用一整套调试工具进行测试，您可以随意选用。

汇编程序。汇编程序可将汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块链接，以实现绝对寻址。

C 语言编译器。C 语言编译器支持 PowerPSoC 系列器件。这些产品可让您为 PowerPSoC 系列器件创建完整的 C 语言程序。

优化 C 语言编译器能够提供针对 PowerPSoC 架构定制的所有 C 语言功能，并随附有嵌入式库，这些库能够提供端口和总线操作、标准键盘和显示器支持，以及扩展的数学功能。

10.1.3 调试器

PSoC Designer 调试器子系统具有硬件在线仿真功能，不仅能够提供 PowerPSoC 器件的内部视图，而且可让您在物理系统中测试程序。借助调试器指令，设计者可以对数据存储寄存器进行读、编程以及读写操作，对 I/O 寄存器和 CPU 寄存器进行读写操作，设置和清除断点，以及提供程序运行、暂停和步进控制。调试器还可让设计者创建相关寄存器和存储器位置的跟踪缓冲区。

10.1.4 在线帮助系统

在线帮助系统可给用户提供上下文关联的在线帮助。每个功能子系统都有上下文关联的帮助，以便提供程式化的快速参考。此外，该系统还提供相关教程及指向常见问题和在线支持论坛的连接，以帮助设计者入门。

10.2 在线仿真器

功能强大的低成本在线仿真器（ICE）可用于支持开发。此硬件可以编程单个器件。

仿真器包含一个通过 USB 端口连接到 PC 的基本装置。该基本装置是通用的，能够用于所有 PowerPSoC 器件。

11. 使用用户模块设计

PowerPSoC 器件的开发过程不同于传统的固定功能微处理器的开发过程。可配置的电源、模拟和数字硬件模块赋予 PowerPSoC 架构独特的灵活性，有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PowerPSoC 模块）能够实现众多可供用户选择的功能。PowerPSoC 开发过程可概括为以下四个步骤：

1. 选择组件
2. 配置组件
3. 组织和连接
4. 生成、验证和调试

选择组件。在芯片级视图中，这些组件称为“用户模块”。用户模块可以简化外设器件的选择和实现，有电源、模拟、数字和混合信号。标准的用户模块库包含了 50 多种通用外设，如：电流检测放大器、PrISM、PWM、DMM、浮动降压、升压、ADC、DAC、定时器、计数器以及 UART；其他用户模块库中不包含的通用外设：DTMF 发生器和双二阶模拟滤波器部分。

配置组件。所选择的每个组件都能够建立用于实现所选功能的基本寄存器设置。此外，它们还提供参数，使您针对特定应用定制精确配置。例如，PWM 用户模块能够配置一个或多个数字 PSoC 模块（每个 8 位分辨率的模块）。根据所选应用配置参数和属性。您可以直接输入值或从下拉菜单中选择值。

芯片级用户模块都记录在 PSoC Designer 中直接查看的数据手册中。这些数据手册介绍了组件的内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接。您可以在芯片级编译信号链，方法是将用户模块互连，并与 I/O 引脚连接。在芯片级视图中，通过进行选择、配置和路由，可完全控制所有片上资源的使用。

生成、验证和调试。当测试硬件配置准备就绪或接下来要开发项目代码时，请执行“生成应用”这一步。这会使 PSoC Designer 生成源代码，而源代码会自动按照您的规范配置器件，并提供高级用户模块 API 函数。

芯片级设计会根据您的设计生成软件。芯片级视图提供具有高级功能的应用编程接口（API），以便在运行时控制与响应硬件事件和可根据需要调整的中断服务例程。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和定制应用。

开发过程的最后一步是在 PSoC Designer 的调试器子系统中完成的。调试器会将 HEX 镜像下载到全速运行的 ICE 中。调试器的功能能够与成本高达数倍的系统相媲美。除了传统的单步执行、运行到断点和监视变量功能外，调试器还提供大的跟踪缓冲区，并允许您定义包括监控地址和数据总线值、存储器位置和外部信号的复杂断点事件。

12. 引脚信息

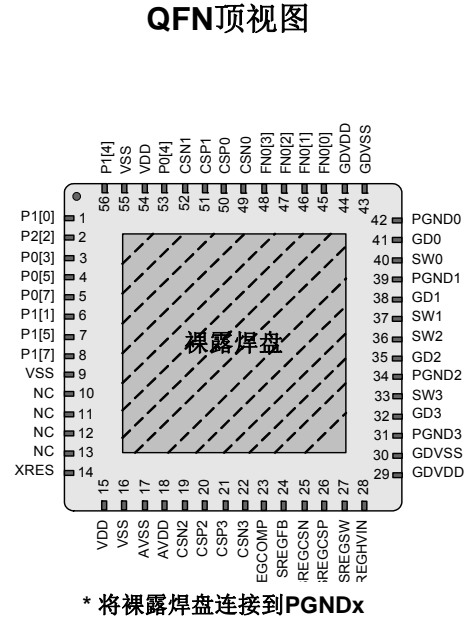
12.1 CY8CLED04D0x56 引脚器件的引脚分布（没有 OCD）

CY8CLED04D01 和 CY8CLED04D02 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-1. CY8CLED04D0x 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDATA
2	I/O	I		P2[2]	GPIO/ 直接开关电容连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCL（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19			I	CSN2	电流检测负输入端 — CSA2
20				CSP2	电流检测正输入端和电源 — CSA2
21				CSP3	电流检测正输入端和电源 — CSA3
22			I	CSN3	电流检测负输入端 3
23				SREGCOMP	电压调节器误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[1]	功率 FET 地 3
32		O		GD3	外部低端栅极驱动器 3
33				SW3	电源开关 3
34				PGND2 ^[1]	功率 FET 地 2
35		O		GD2	外部低端栅极驱动器 2
36				SW2	电源开关 2
37				SW1	电源开关 1
38				GD1	外部低端栅极驱动器 1
39				PGND1 ^[1]	功率 FET 地 1
40				SW0	电源开关 0
41		O		GD0	外部低端栅极驱动器 0
42				PGND0 ^[1]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端
44				GDV _{DD}	栅极驱动器供电
45				FN0[0]	功能 I/O
46				FN0[1]	功能 I/O
47				FN0[2]	功能 I/O
48				FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				CSP1	电流检测正输入端和电源 — CSA1
52			I	CSN1	电流检测负输入端 1
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

图 12-1. CY8CLED04D0x 56 引脚 PowerPSoC 器件



注释:

1. 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚都必须连接至 PCB 上的接地层。

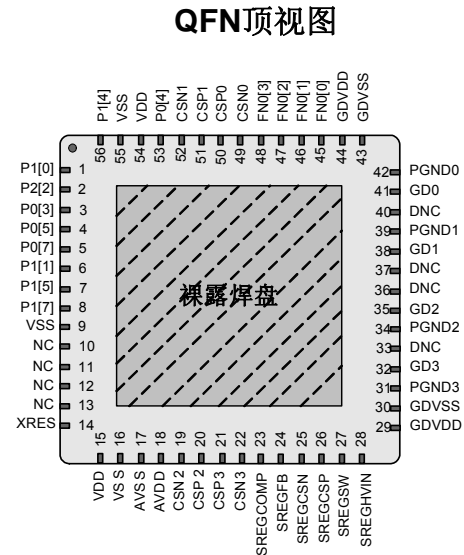
12.2 CY8CLED04G01 56 引脚器件的引脚分布（没有 OCD）

CY8CLED04G01 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-2. CY8CLED04G01 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDATA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCL（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19			I	CSN2	电流检测负输入端 2
20				CSP2	电流检测正输入端和电源 — CSA2
21				CSP3	电流检测正输入端和电源 — CSA3
22			I	CSN3	电流检测负输入端 3
23				SREGCOMP	电压调节器的误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[3]	功率 FET 地 3
32		O		GD3	外部低端栅极驱动器 3
33				DNC ^[2]	请勿连接
34				PGND2 ^[3]	功率 FET 地 2
35		O		GD2	外部低端栅极驱动器 2
36				DNC ^[2]	请勿连接
37				DNC ^[2]	请勿连接
38		O		GD1	外部低端栅极驱动器 1
39				PGND1 ^[3]	功率 FET 地 1
40				DNC ^[2]	请勿连接
41		O		GD0	外部低端栅极驱动器 0
42				PGND0 ^[3]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端

图 12-2. CY8CLED04G01 56 引脚 PowerPSoC 器件



* 将裸露焊盘连接到 PGNDx

引脚编号	类型			名称	说明	
	数字行	模拟列	大功率外设			
44				GDV _{DD}	栅极驱动器供电	
45				I/O	FN0[0]	功能 I/O
46				I/O	FN0[1]	功能 I/O
47				I/O	FN0[2]	功能 I/O
48				I/O	FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0	
50				CSP0	电流检测正输入端和电源 — CSA0	
51				CSP1	电流检测正输入端和电源 — CSA1	
52			I	CSN1	电流检测负输入端 1	
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出	
54				V _{DD}	数字供电	
55				V _{SS}	数字地	
56	I/O	I		P1[4]	GPIO/ 外部时钟输入	

注释:

- 不连接（DNC）的引脚必须处于未连接状态或悬空状态。将这些引脚连接至电源或接地，会导致不正确操作或器件的故障。
- 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

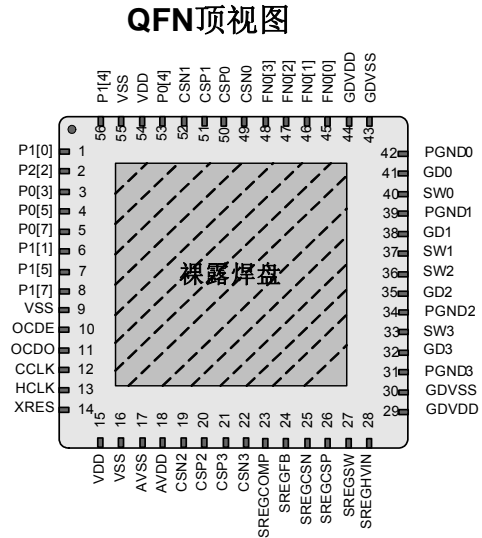
12.3 CY8CLED04DOCD1 56 引脚器件的引脚分布（带 OCD）

CY8CLED04DOCD1 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-3. CY8CLED04DOCD1 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCL（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10	I/O			OCDE	片上调试器端口
11	I/O			OCDO	片上调试器端口
12	I/O			CCLK	片上调试器端口
13	I/O			HCLK	片上调试器端口
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19			I	CSN2	电流检测负输入端 2
20				CSP2	电流检测正输入端和电源 — CSA2
21				CSP3	电流检测正输入端和电源 — CSA3
22			I	CSN3	电流检测负输入端 3
23				SREGCOMP	电压调节器的误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[4]	功率 FET 地 3
32			O	GD3	外部低端栅极驱动器 3
33				SW3	电源开关 3
34				PGND2 ^[4]	功率 FET 地 2
35			O	GD2	外部低端栅极驱动器 2
36				SW2	电源开关 2
37				SW1	电源开关 1
38			O	GD1	外部低端栅极驱动器 1
39				PGND1 ^[4]	功率 FET 地 1
40				SW0	电源开关 0
41			O	GD0	外部低端栅极驱动器 0
42				PGND0 ^[4]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端

图 12-3. CY8CLED04DOCD1 56 引脚 PowerPSoC 器件



引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
44				GDV _{DD}	栅极驱动器供电
45			I/O	FN0[0]	功能 I/O
46			I/O	FN0[1]	功能 I/O
47			I/O	FN0[2]	功能 I/O
48			I/O	FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				CSP1	电流检测正输入端和电源 — CSA1
52			I	CSN1	电流检测负输入端 1
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

注释:

4. 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

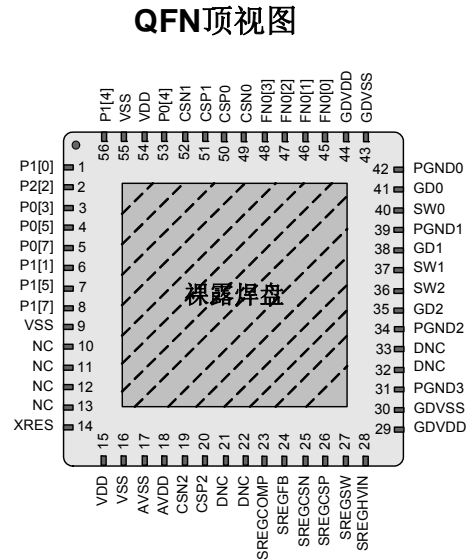
12.4 CY8CLED03D0x 56 引脚器件的引脚分布（没有 OCD）

CY8CLED03D01 和 CY8CLED03D02 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-4. CY8CLED03D0x 56 引脚器件引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDATA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCL（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19			I	CSN2	电流检测负输入端 — CSA2
20				CSP2	电流检测正输入端和电源 — CSA2
21				DNC ^[5]	请勿连接
22				DNC ^[5]	请勿连接
23				SREGCOMP	电压调节器的误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[6]	功率 FET 地 3
32				DNC ^[5]	请勿连接
33				DNC ^[5]	请勿连接
34				PGND2 ^[6]	功率 FET 地 2
35			O	GD2	外部低端栅极驱动器 2
36				SW2	电源开关 2
37				SW1	电源开关 1
38			O	GD1	外部低端栅极驱动器 1
39				PGND1 ^[6]	功率 FET 地 1
40				SW0	电源开关 0
41			O	GD0	外部低端栅极驱动器 0
42				PGND0 ^[6]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端

图 12-4. CY8CLED03D0x 56 引脚 PowerPSoC 器件



* 将裸露焊盘连接到 PGNDx

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
44				GDV _{DD}	栅极驱动器供电
45			I/O	FN0[0]	功能 I/O
46			I/O	FN0[1]	功能 I/O
47			I/O	FN0[2]	功能 I/O
48			I/O	FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				CSP1	电流检测正输入端和电源 — CSA1
52			I	CSN1	电流检测负输入端 1
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

注释:

- 不连接（DNC）的引脚必须处于未连接状态或悬空状态。将这些引脚连接至电源或接地，会导致不正确操作或器件的故障。
- 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

12.5 CY8CLED03G01 56 引脚器件的引脚分布（没有 OCD）

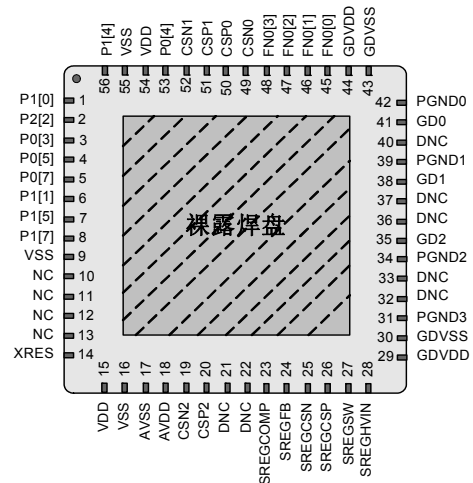
CY8CLED03G01 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-5. CY8CLED03G01 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCL（辅助）/ ISSP SCL
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19			I	CSN2	电流检测负输入端 2
20				CSP2	电流检测正输入端和电源 — CSA2
21				DNC ^[7]	请勿连接
22				DNC ^[7]	请勿连接
23				SREGCOMP	电压调节器的误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[8]	功率 FET 地 3
32				DNC ^[7]	请勿连接
33				DNC ^[7]	请勿连接
34				PGND2 ^[8]	功率 FET 地 2
35			O	GD2	外部低端栅极驱动器 2
36				DNC ^[7]	请勿连接
37				DNC ^[7]	请勿连接
38			O	GD1	外部低端栅极驱动器 1
39				PGND1 ^[8]	功率 FET 地 1
40				DNC ^[7]	请勿连接
41			O	GD0	外部低端栅极驱动器 0
42				PGND0 ^[8]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端

图 12-5. CY8CLED03G01 56 引脚 PowerPSoC 器件

QFN 顶视图



* 将裸露焊盘连接到 PGNDx

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
44				GDV _{DD}	栅极驱动器供电
45			I/O	FN0[0]	功能 I/O
46			I/O	FN0[1]	功能 I/O
47			I/O	FN0[2]	功能 I/O
48			I/O	FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				CSP1	电流检测正输入端和电源 — CSA1
52			I	CSN1	电流检测负输入端 1
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

注释:

- 不连接（DNC）的引脚必须处于未连接状态或悬空状态。将这些引脚连接至电源或接地，会导致不正确操作或器件的故障。
- 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

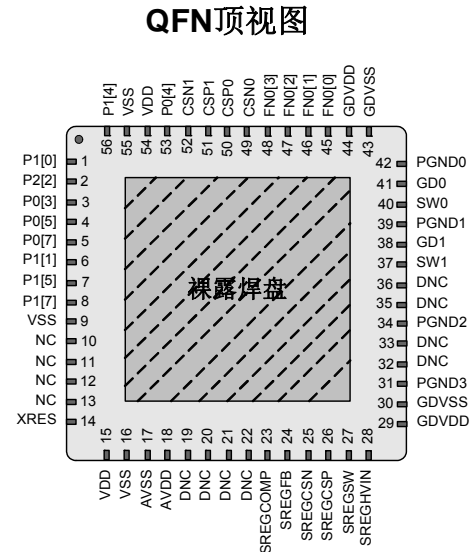
12.6 CY8CLED02D01 56 引脚器件的引脚分布（没有 OCD）

CY8CLED02D01 PowerPSoC 器件包含以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-6. CY8CLED02D01 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCLK（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19				DNC ^[9]	请勿连接
20				DNC ^[9]	请勿连接
21				DNC ^[9]	请勿连接
22				DNC ^[9]	请勿连接
23				SREGCOMP	电压调节器的误差放大器补偿
24			I	SREGFB	调节器电压模式反馈节点
25			I	SREGCSN	电流模式的负反馈
26			I	SREGCSP	电流模式的正反馈
27			O	SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[10]	功率 FET 地 3
32				DNC ^[9]	请勿连接
33				DNC ^[9]	请勿连接
34				PGND2 ^[10]	功率 FET 地 2
35				DNC ^[9]	请勿连接
36				DNC ^[9]	请勿连接
37				SW1	电源开关 1
38			O	GD1	外部低端栅极驱动器 1
39				PGND1 ^[10]	功率 FET 地 1
40				SW0	电源开关 0
41			O	GD0	外部低端栅极驱动器 0
42				PGND0 ^[10]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端

图 12-6. CY8CLED02D01 56 引脚 PowerPSoC 器件



引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
44				GDV _{DD}	栅极驱动器供电
45			I/O	FN0[0]	功能 I/O
46			I/O	FN0[1]	功能 I/O
47			I/O	FN0[2]	功能 I/O
48			I/O	FN0[3]	功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				CSP1	电流检测正输入端和电源 — CSA1
52			I	CSN1	电流检测负输入端 1
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

注释:

- 不连接（DNC）的引脚必须处于未连接状态或悬空状态。将这些引脚连接至电源或接地，会导致不正确操作或器件的故障。
- 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

12.7 CY8CLED01D01 56 引脚器件的引脚分布（没有 OCD）

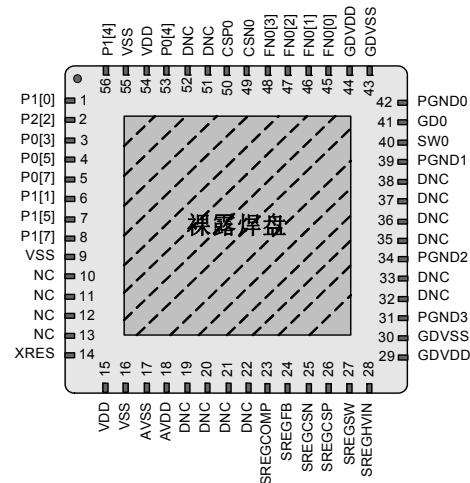
CY8CLED01D01 PowerPSoC 器件包括以下引脚分布信息。每个端口引脚（标志为“P”和“FN0”）都能用作数字 I/O。

表 12-7. CY8CLED01D01 56 引脚器件的引脚分布（QFN）

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
1	I/O	I		P1[0]	GPIO/I ² C SDA（辅助）/ ISSP SDA
2	I/O	I		P2[2]	GPIO/ 直接开关电容的连接
3	I/O	I/O		P0[3]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 0）
4	I/O	I/O		P0[5]	GPIO/ 模拟输入（列 0）/ 模拟输出（列 1）/ Capsense 参考电容
5	I/O	I		P0[7]	GPIO/ 模拟输入（列 0）/ Capsense 参考电容
6	I/O	I		P1[1]	GPIO/I ² C SCLK（辅助）/ ISSP SCLK
7	I/O	I		P1[5]	GPIO/I ² C SDA（主）
8	I/O	I		P1[7]	GPIO/I ² C SCL（主）
9				V _{SS}	数字地
10				NC	无连接
11				NC	无连接
12				NC	无连接
13				NC	无连接
14	I			XRES	外部复位
15				V _{DD}	数字供电
16				V _{SS}	数字地
17				AV _{SS}	模拟地
18				AV _{DD}	模拟供电
19				DNC ^[11]	请勿连接
20				DNC ^[11]	请勿连接
21				DNC ^[11]	请勿连接
22				DNC ^[11]	请勿连接
23				SREGCOMP	电压调节器的误差放大器补偿
24		I		SREGFB	调节器电压模式反馈节点
25		I		SREGCSN	电流模式的负反馈
26		I		SREGCSP	电流模式的正反馈
27		O		SREGSW	切换模式的调节器输出
28				SREGHVIN	切换模式的调节器输入
29				GDV _{DD}	栅极驱动器供电
30				GDV _{SS}	栅极驱动器地端
31				PGND3 ^[12]	功率 FET 地 3
32				DNC ^[11]	请勿连接
33				DNC ^[11]	请勿连接
34				PGND2 ^[12]	功率 FET 地 2
35				DNC ^[11]	请勿连接
36				DNC ^[11]	请勿连接
37				DNC ^[11]	请勿连接
38				DNC ^[11]	请勿连接
39				PGND1 ^[12]	功率 FET 地 1
40				SW0	电源开关 0
41		O		GD0	外部低端栅极驱动器 0
42				PGND0 ^[12]	功率 FET 地 0
43				GDV _{SS}	栅极驱动器地端
44				GDV _{DD}	栅极驱动器供电
45				I/O	FN0[0] 功能 I/O
46				I/O	FN0[1] 功能 I/O
47				I/O	FN0[2] 功能 I/O
48				I/O	FN0[3] 功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				DNC ^[11]	请勿连接
52				DNC ^[11]	请勿连接
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

图 12-7. CY8CLED01D01 56 引脚 PowerPSoC 器件

QFN顶视图



* 将裸露焊盘连接到PGNDx

引脚编号	类型			名称	说明
	数字行	模拟列	大功率外设		
44				GDV _{DD}	栅极驱动器供电
45				I/O	FN0[0] 功能 I/O
46				I/O	FN0[1] 功能 I/O
47				I/O	FN0[2] 功能 I/O
48				I/O	FN0[3] 功能 I/O
49			I	CSN0	电流检测负输入端 0
50				CSP0	电流检测正输入端和电源 — CSA0
51				DNC ^[11]	请勿连接
52				DNC ^[11]	请勿连接
53	I/O	I		P0[4]	GPIO/ 模拟输入（列 1）/ 带隙输出
54				V _{DD}	数字供电
55				V _{SS}	数字地
56	I/O	I		P1[4]	GPIO/ 外部时钟输入

注释:

11. 必须使没有连接（DNC）的引脚处于未连接状态或悬空状态。将这些引脚连接至电源或接地，会导致不正确操作或器件故障。
12. 无论是否使用相应的 PowerPSoC 通道，所有 PGNDx 引脚必须连接至 PCB 上的接地层。

13. 寄存器通用规范

13.1 所使用的缩略语

在表 13-1 中，列出了针对本节的寄存器规范。

表 13-1. 寄存器规定

格式	说明
R	读寄存器或位
W	写寄存器或位
L	逻辑寄存器或位
C	可清除寄存器或位
#	针对位进行的访问

13.2 寄存器名称规定

PowerPSoC 模块的 PSoC 内核部分和它们的寄存器名称规范为：

<Prefix>mn<Suffix>

其中，m 表示行索引，n 表示列索引

因此，ASD13CR3 是一个模拟 PowerPSoC 模块的寄存器，该模块的位置为行 1、列 3。

PowerPSoC 模块的大功率外设部分和它们的寄存器名称规范是：

<Prefix>x<Suffix>

其中，x 表示通道数量

因此，CSA0_CR 是一个功率外设 PowerPSoC 模块的寄存器，该模块位于电流检测放大器的通道 0。

13.3 寄存器映射表

PowerPSoC 器件共有 512 个字节的寄存器地址空间。该寄存器空间也称为 I/O 空间，分为两个部分。标记寄存器（CPU_F）中的 XIO 位用于确定 CPU 指令访问哪个寄存器组。当设置 XIO 位时，用户应在“扩展”地址空间或“配置”寄存器中。

有关更多寄存器的详细描述，请参考《PowerPSoC TRM》。通过访问 <http://www.cypress.com/powerpsoc>，然后点击“技术参考手册”的链接可以找到 TRM。

13.4 寄存器映射组 0 表

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
PRT0DR	00	RW	DPWM0PCF	40	RW	ASC10CR0	80	RW	VDAC0_CR	C0	RW
PRT0IE	01	RW	DPWM0PDH	41	RW	ASC10CR1	81	RW	VDAC0_DR0	C1	RW
PRT0GS	02	RW	DPWM0PDL	42	RW	ASC10CR2	82	RW	VDAC0_DR1	C2	RW
PRT0DM2	03	RW	DPWM0PWH	43	RW	ASC10CR3	83	RW		C3	
PRT1DR	04	RW	DPWM0PWL	44	RW	ASD11CR0	84	RW	VDAC1_CR	C4	RW
PRT1IE	05	RW	DPWM0PCH	45	RW	ASD11CR1	85	RW	VDAC1_DR0	C5	RW
PRT1GS	06	RW	DPWM0PCL	46	RW	ASD11CR2	86	RW	VDAC1_DR1	C6	RW
PRT1DM2	07	RW	DPWM0GCFG	47	RW	ASD11CR3	87	RW		C7	
PRT2DR	08	RW	DPWM1PCF	48	RW		88		VDAC2_CR	C8	RW
PRT2IE	09	RW	DPWM1PDH	49	RW		89		VDAC2_DR0	C9	RW
PRT2GS	0A	RW	DPWM1PDL	4A	RW		8A		VDAC2_DR1	CA	RW
PRT2DM2	0B	RW	DPWM1PWH	4B	RW		8B			CB	
FN0DR	0C	RW	DPWM1PWL	4C	RW		8C		VDAC3_CR	CC	RW
FN0IE	0D	RW	DPWM1PCH	4D	RW		8D		VDAC3_DR0	CD	RW
FN0GS	0E	RW	DPWM1PCL	4E	RW		8E		VDAC3_DR1	CE	RW
FN0DM2	0F	RW	DPWM1GCFG	4F	RW		8F			CF	
	10		DPWM2PCF	50	RW	ASD20CR0	90	RW	CUR_PP	D0	RW
	11		DPWM2PDH	51	RW	ASD20CR1	91	RW	STK_PP	D1	RW
	12		DPWM2PDL	52	RW	ASD20CR2	92	RW		D2	
	13		DPWM2PWH	53	RW	ASD20CR3	93	RW	IDX_PP	D3	RW
	14		DPWM2PWL	54	RW	ASC21CR0	94	RW	MVR_PP	D4	RW
	15		DPWM2PCH	55	RW	ASC21CR1	95	RW	MVW_PP	D5	RW
	16		DPWM2PCL	56	RW	ASC21CR2	96	RW	I2C_CFG	D6	RW
	17		DPWM2GCFG	57	RW	ASC21CR3	97	RW	I2C_SCR	D7	#
PDMUX_S1	18	RW	DPWM3PCF	58	RW		98		I2C_DR	D8	RW
PDMUX_S2	19	RW	DPWM3PDH	59	RW		99		I2C_MSCR	D9	#
PDMUX_S3	1A	RW	DPWM3PDL	5A	RW		9A		INT_CLR0	DA	RW
PDMUX_S4	1B	RW	DPWM3PWH	5B	RW		9B		INT_CLR1	DB	RW
PDMUX_S5	1C	RW	DPWM3PWL	5C	RW	VDAC6_CR	9C	RW	INT_CLR2	DC	RW
PDMUX_S6	1D	RW	DPWM3PCH	5D	RW	VDAC6_DR0	9D	RW	INT_CLR3	DD	RW
	1E		DPWM3PCL	5E	RW	VDAC6_DR1	9E	RW	INT_MSK3	DE	RW
CHBOND_CR	1F	RW	DPWM3GCFG	5F	RW		9F		INT_MSK2	DF	RW
DBB00DR0	20	#	AMX_IN	60	RW	VDAC4_CR	A0	RW	INT_MSK0	E0	RW
DBB00DR1	21	W	AMUX_CFG	61	RW	VDAC4_DR0	A1	RW	INT_MSK1	E1	RW
DBB00DR2	22	RW		62		VDAC4_DR1	A2	RW	INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#	VDAC5_CR	A4	RW	DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#	VDAC5_DR0	A5	RW	DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW	VDAC5_DR1	A6	RW	DEC_CR0	E6	RW
DBB01CR0	27	#	PAMUX_S1	67	RW		A7		DEC_CR1	E7	RW
DCB02DR0	28	#	PAMUX_S2	68	RW	MUL1_X	A8	W	MUL0_X	E8	W
DCB02DR1	29	W	PAMUX_S3	69	RW	MUL1_Y	A9	W	MUL0_Y	E9	W
DCB02DR2	2A	RW	PAMUX_S4	6A	RW	MUL1_DH	AA	R	MUL0_DH	EA	R
DCB02CR0	2B	#		6B		MUL1_DL	AB	R	MUL0_DL	EB	R
DCB03DR0	2C	#	TMP_DR0	6C	RW	ACC1_DR1	AC	RW	ACC0_DR1	EC	RW
DCB03DR1	2D	W	TMP_DR1	6D	RW	ACC1_DR0	AD	RW	ACC0_DR0	ED	RW
DCB03DR2	2E	RW	TMP_DR2	6E	RW	ACC1_DR3	AE	RW	ACC0_DR3	EE	RW
DCB03CR0	2F	#	TMP_DR3	6F	RW	ACC1_DR2	AF	RW	ACC0_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	DPWM0PCFG	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	DPWM1PCFG	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	DPWM2PCFG	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	DPWM3PCFG	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	DPWMINTFLG	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	DPWMINTMSK	7D	RW	RDI1RO0	BD	RW	DAC_D	FD	RW
DCB13DR2	3E	RW	DPWMSYNC	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#		7F			BF		CPU_SCR0	FF	#

13.5 寄存器映射组 1 表：用户空间

名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问
PRT0DM0	00	RW	CSA0_CR	40	RW	ASC10CR0	80	RW	CMPCH0_CR	C0	RW
PRT0DM1	01	RW		41		ASC10CR1	81	RW	CMPCH2_CR	C1	RW
PRT0IC0	02	RW		42		ASC10CR2	82	RW	CMPCH4_CR	C2	RW
PRT0IC1	03	RW		43		ASC10CR3	83	RW	CMPCH6_CR	C3	RW
PRT1DM0	04	RW	CSA1_CR	44	RW	ASD11CR0	84	RW	CMPBNK8_CR	C4	RW
PRT1DM1	05	RW		45		ASD11CR1	85	RW	CMPBNK9_CR	C5	RW
PRT1IC0	06	RW		46		ASD11CR2	86	RW	CMPBNK10_CR	C6	RW
PRT1IC1	07	RW		47		ASD11CR3	87	RW	CMPBNK11_CR	C7	RW
PRT2DM0	08	RW	CSA2_CR	48	RW		88		CMPBNK12_CR	C8	RW
PRT2DM1	09	RW		49			89		CMPBNK13_CR	C9	RW
PRT2IC0	0A	RW		4A			8A			CA	
PRT2IC1	0B	RW		4B			8B			CB	
FN0DM0	0C	RW	CSA3_CR	4C	RW		8C			CC	
FN0DM1	0D	RW		4D			8D			CD	
FN0IC0	0E	RW		4E			8E			CE	
FN0IC1	0F	RW		4F			8F			CF	
	10			50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
	11			51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
	12			52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
	13			53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
	14			54		ASC21CR0	94	RW	HYCTRLR0CR	D4	RW
	15			55		ASC21CR1	95	RW	HYCTRLR1CR	D5	RW
	16			56		ASC21CR2	96	RW	HYCTRLR2CR	D6	RW
	17			57		ASC21CR3	97	RW	HYCTRLR3CR	D7	RW
	18			58			98		MUX_CR0	D8	RW
	19			59			99		MUX_CR1	D9	RW
	1A			5A			9A		MUX_CR2	DA	RW
	1B			5B			9B			DB	
	1C			5C			9C		SREG_TST	DC	RW
	1D			5D			9D		OSC_GO_EN	DD	RW
	1E			5E			9E		OSC_CR4	DE	RW
	1F			5F			9F		OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW	CMP_GO_EN	64	RW		A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7		DEC_CR2	E7	RW
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	RW
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	RW
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB			EB	
DCB03FN	2C	RW	TMP_DR0	6C	RW		AC			EC	
DCB03IN	2D	RW	TMP_DR1	6D	RW		AD			ED	
DCB03OU	2E	RW	TMP_DR2	6E	RW		AE			EE	
	2F		TMP_DR3	6F	RW	AMUX_CLK	AF	RW		EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB01IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB01OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW		78		RDI1RI	B8	RW		F8	
DCB12IN	39	RW	GDRV0_CR	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW		7A		RDI1IS	BA	RW		FA	
	3B		GDRV1_CR	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW		7C		RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	GDRV2_CR	7D	RW	RDI1RO0	BD	RW	DAC_CR	FD	RW
DCB13OU	3E	RW		7E		RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		GDRV3_CR	7F	RW		BF		CPU_SCR0	FF	#

14. 电气规范

本节介绍了 PowerPSoC 器件系列中 CY8CLED04D0X、CY8CLED04G01、CY8CLED03D0X、CY8CLED03G01、CY8CLED02D01 和 CY8CLED01D01 的直流和交流电气规范。如需最新的电气规范，请访问网站 <http://www.cypress.com/powerpsoc>。除非另有说明，这里指的工业额定值器件的规范为 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 、 $T_J \leq 115\text{ }^{\circ}\text{C}$ ，并且扩展的温度额定值器件的规范为 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$ 、 $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

14.1 最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。并不是所有用户指南都经过了生产过程中的测试。

表 14-1. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注意
T_{STG}	存放温度	-55	-	+115	$^{\circ}\text{C}$	存放温度越高，数据保留时间就越短。推荐的存放温度为 $0\text{ }^{\circ}\text{C}$ 至 $50\text{ }^{\circ}\text{C}$ 。
T_A	加电时的环境温度	-40 -40	- -	+85 +105	$^{\circ}\text{C}$ $^{\circ}\text{C}$	$T_J \leq 115\text{ }^{\circ}\text{C}$ (工业级额定值) $T_J \leq 125\text{ }^{\circ}\text{C}$ (扩展的温度额定值)
V_{DD} , AV_{DD} , GDV_{DD}	在 V_{DD} 、 AV_{DD} 和 GDV_{DD} 上供电电压	-0.5	-	+6.0	V	分别同 V_{SS} 、 AV_{SS} 和 GDV_{SS} 相对应
V_{IO}	直流输入电压	$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V	仅适用于 GPIO 和 FN0 引脚
V_{IO2}	适用于三态的直流电压	$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V	
V_{FET}	从功率开关 (SWx) 到功率 FET 地端 (PGNDx) 的最大电压	-	-	$36^{[13]}$	V	PGNDx 被连接到 GDV_{SS}
V_{REGIN}	SREGHVIN 引脚上对应于 V_{SS} 的最大电压	-	-	$36^{[13]}$	V	
V_{CSP} , V_{CSN}	相对于 V_{SS} 适用于 CSA 引脚的最大电压	-0.5	-	$36^{[13]}$	V	
V_{SENSE}	CSA 输入上最大的输入差分电压	-1.0	-	1.0	V	
I_{MAIO}	被配置为模拟驱动器的任意端口引脚上输入的最大电流	-50	-	+50	mA	
I_{MIO}	任意端口引脚和功能引脚中的最大电流	-25	-	+50	mA	
LU	门锁电流	200	-	-	mA	JESD78A 兼容
ESD	静电放电电压	2000	-	-	V	人体模型 ESD。
SR_{REGIN}	SREGHVIN 引脚的上升斜率	-	-	32	V/ μs	
SR_{CSP}	CSPx 引脚的上升斜率	-	-	3.2	V/ μs	
$SR_{HV_{DD-FLB}}$	用于浮动负载降压配置的高压电源升降速率	-	-	15	V/ms	对于其他拓扑结构，要使用更快的升降速率开始操作；如果 LED 字符串电压低于 6.5 V，请参阅 <i>PowerPSoC 技术参考手册</i> 。
$SR_{V_{DD-EXT}}$	外部 V_{DD} 供电电压的升降速率 (V_{DD} 、 AV_{DD} 和 GDV_{DD} 引脚)	-	-	0.2	V/ μs	由电源供电（而不是内置式开关调节器供电）时才会使用该符号

14.2 工作温度

符号	说明	最小值	典型值	最大值	单位	注意
T_A	环境温度	-40 -40	- -	+85 +105	$^{\circ}\text{C}$ $^{\circ}\text{C}$	$T_J \leq 115\text{ }^{\circ}\text{C}$ (工业级额定值) $T_J \leq 125\text{ }^{\circ}\text{C}$ (扩展的温度额定值)
T_J	结温	-40 -40	- -	+115 +125	$^{\circ}\text{C}$ $^{\circ}\text{C}$	工业级额定值 扩展的温度额定值

注释：

13. 使用高于第 30 页上的最大绝对额定值下面所列出的值工作可能会造成永久性的损坏。必须确保最大绝对额定值永远不超过该表所列的值。如果超过了第 31 页上的电气特性中的任何条件，则不能实现功能操作。长期使用第 30 页上的最大绝对额定值可能会影响器件的可靠性。

15. 电气特性

15.1 系统级

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-1. 系统级工作规范

符号	说明	最小值	典型值	最大值	单位	注意
f_{SW}	迟滞控制回路的电路切换频率范围	0.02	–	2	MHz	
$t_{\text{D,MAX}}$	从 CSA 输入到 FET 状态改变经过的最长延迟时间	–	–	100	ns	$HV_{\text{DD}} = 24\text{ V}$, $I_{\text{D}} = 1\text{ A}$, $f_{\text{SW}} = 2\text{ MHz}$ (工业级额定值)
		–	–	115	ns	$HV_{\text{DD}} = 24\text{ V}$, $I_{\text{D}} = 1\text{ A}$, $f_{\text{SW}} = 2\text{ MHz}$ (扩展的温度额定值)
D	迟滞控制器的输出占空比	5	–	95	%	$f_{\text{SW}} < 0.25\text{ MHz}$
E	电源转换效率	90	95	–	%	$HV_{\text{DD}} = 24\text{ V}$, $I_{\text{D}} = 1\text{ A}$, $f_{\text{SW}} = 2\text{ MHz}$

15.2 芯片级

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

注意：请参考《PowerPSoC 技术参考手册》的内容，了解 DPWMxPCF 寄存器的详细信息。

表 15-2. 芯片级直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{DD} , AV_{DD} , GDV_{DD}	数字、模拟和栅极驱动器的供电电压范围	4.75	–	5.25	V	所有模块应由同一个电源供电。
HV_{DD}	电源转换器的高压范围	7	–	32	V	
HV_{PINS}	CSPx 和 SREGHVIN 引脚的电压范围	7	–	32	V	所有引脚需要的电压是不一样的。
I_{VDD}	供电电流 (V_{DD} 引脚), $IMO = 24\text{ MHz}$	–	16	50	mA	条件为: $V_{\text{DD}} = 5\text{ V}$, $T_J = 25^\circ\text{C}$, CPU = 3 MHz, SYSCLK 倍频器处于禁用状态, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz, 模拟电源 = 关闭。
I_{AVDD}	供电电流 (AV_{DD} 引脚)	–	–	25	mA	条件为: $V_{\text{DD}} = 5\text{ V}$, $T_J = 25^\circ\text{C}$,
I_{GDVDD}	每个通道上的供电电流 (GDV_{DD} 引脚)	–	–	25	mA	内部功率 FET 在 2 MHz 频率下运行 外部栅极驱动器的运行频率为 1 MHz $V_{\text{DD}} = 5\text{ V}$ 时, $C_L = 4\text{ nF}$
		–	–	100	mA	
I_{SB}	使用 POR、LVD、睡眠定时器和 WDT 时的睡眠 (模式) 电流。	–	18	25	μA	$T_J = 25^\circ\text{C}$, 内置开关调节器被禁用, DPWMxPCF = 0, 大功率外设被禁用, 模拟电源 = 关闭
		–	30	550	μA	$T_J = 115^\circ\text{C}$ (工业级额定值) 和 $T_J = 125^\circ\text{C}$ (扩展的温度额定值), 内置开关调节器被禁用, DPWMxPCF = 0, 大功率外设被禁用, 模拟电源 = 关闭

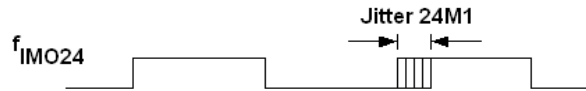
表 15-3. 芯片级交流规范

符号	说明	最小值	典型值	最大值	单位	注意
$f_{\text{IMO24}}^{[15]}$	24 MHz 对应的内部主振荡器频率	23.04	24	24.96	MHz	–
f_{CPU1}	CPU 频率	0.093	24	24.96	MHz	–
f_{BLK}	PSoC 数字模块频率	0	48	49.92 ^[14]	MHz	请参考第 48 页上的 PSoC 内核数字模块规范。
f_{32K1}	内部低速振荡器频率	15	32	64	kHz	

表 15-3. 芯片级交流规范

符号	说明	最小值	典型值	最大值	单位	注意
f_{32K_U}	内部低速振荡器 (ILO) 未调整频率	5	–	–	kHz	在复位后以及 M8C 开始运行前, 未对 ILO 进行调整。有关对其进行调整的详细信息, 请参见《PowerPSoC 技术参考手册》的“系统复位”一节。
DC_{ILO}	内部低速振荡器占空比	20	50	80	%	–
$Jitter_{32K}$	32 kHz 周期抖动	–	100	–	ns	–
$Jitter_{24M1}$	24 MHz 周期抖动 (IMO) 峰峰值	–	600	–	ps	–
$t_{POWERUP}$	从 POR 结束到 CPU 执行代码的时间	–	30	100	ms	从 0 V 开始加电。请参见《PowerPSoC 技术参考手册》的“系统复位”一节。

图 15-1. 24 MHz 周期抖动 (IMO) 时序图



注释:

14. 有关用户模块最大频率的信息, 请参见各个用户模块数据手册。

15. 随温度的变化, 内部 24/48 MHz 时钟的精度为 $\pm 5\%$, 电压范围为 $5.0 V \pm 0.25 V$ 。获得该精度等级无需任何外部组件。请参考《PowerPSoC 技术参考手册》中的内部主振荡器 (IMO) 一节。

15.3 大功率外设低端 N 通道 FET

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

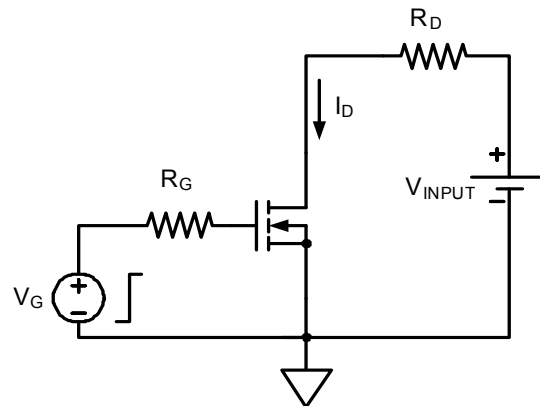
表 15-4. 低端 N 通道 FET 的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{DS}	活动模式下漏极和源极的压差	-	-	32	V	
$V_{DS,INST}$	瞬时漏极和源极的压差	-	-	36	V	
I_D	平均漏电流	-	-	1 0.5	A A	CY8CLED04/3/2/1D01 器件 CY8CLED04/3D02 器件
$I_{D,MAX}$	重复脉冲的最大瞬时电流	-	-	3 1.5	A A	脉冲电流占空比低于 33% (平均电流为 1 A, $f_{SW} = 0.1\text{ MHz}$)。 CY8CLED04/3/2/1D01 器件 脉冲电流占空比低于 33% (平均电流为 0.5 A, $f_{SW} = 0.1\text{ MHz}$)。 CY8CLED04/3D02 器件
$R_{DS(ON)}$	漏极到源极的导通电阻规范	-	-	0.5 1	Ω Ω	$I_D = 1\text{ A}$, $GDV_{DD} = 5\text{ V}$, $T_J = 25^\circ\text{C}$ CY8CLED04/3/2/1D01 器件 $I_D = 0.5\text{ A}$, $GDV_{DD} = 5\text{ V}$, $T_J = 25^\circ\text{C}$ CY8CLED04/3D02 器件
I_{DSS}	切换节点时的 PGND 漏电	-	-	10 250	μA μA	$T_J = 25^\circ\text{C}$ $T_J = 115^\circ\text{C}$ (工业级额定值) 和 $T_J = 125^\circ\text{C}$ (扩展的温度额定值)
I_{SFET}	每个通道的供电电流 — FET (内部栅极驱动器)	-	-	6.25	mA	$f_{SW} = 2\text{ MHz}$

表 15-5. 低端 N 通道 FET 的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_R	上升时间	-	-	20	ns	$I_D = 1\text{ A}$, $R_D = 32\ \Omega$
t_F	下降时间	-	-	20	ns	$I_D = 1\text{ A}$, $R_D = 32\ \Omega$

图 15-2. I_{DSS} 、 t_R 和 t_F 的低端 N 通道 FET 测试电路



15.4 大功率外设外部功率 FET 驱动器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-6. 功率 FET 驱动器的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OHN}	N 通道 FET 驱动器输出电压 — 驱动高电平	$V_{DD} - 0.45$	—	—	V	$I_{OH} = 100\text{ mA}$ $I_{OH} = 10\text{ mA}$
		$V_{DD} - 0.10$	—	—	V	
V_{OLN}	N 通道 FET 驱动器输出电压 — 驱动低电平	—	—	0.45	V	$I_{OL} = 100\text{ mA}$ $I_{OL} = 10\text{ mA}$
		—	—	0.1	V	
$I_{SFETDRV}$	每个通道的供电电流 — 外部 FET 驱动器	—	—	25	mA	$C_L = 4\text{ nF}$ $f_{SW} = 1\text{ MHz}$

表 15-7. 功率 FET 驱动器的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_R	上升时间	—	45	55	ns	$C_L = 4\text{ nF}$
t_F	下降时间	—	45	55	ns	
$t_{P(LH)}$	传输延迟（低到高）	—	—	10	ns	
$t_{P(HL)}$	传输延迟（高到低）	—	—	10	ns	

15.5 大功率外设迟滞控制器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-8. 迟滞控制器直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{IO}	比较器输入偏移电压	—	—	7.5	mV	$1\text{ V} \leq V_{ICM} \leq 3\text{ V}$ （工业级额定值） $1\text{ V} \leq V_{ICM} \leq 3\text{ V}$ （扩展的温度额定值） $0\text{ V} \leq V_{ICM} \leq V_{DD}$
		—	—	10	mV	
		—	—	15	mV	
V_{ICM}	输入共模电压范围	0	—	V_{DD}	V	
V_{HYS}	迟滞电压	4.5	—	11	mV	$1.5\text{ V} \leq V_{ICM} \leq 2.5\text{ V}$ （工业级额定值） $1.5\text{ V} \leq V_{ICM} \leq 2.5\text{ V}$ （扩展的温度额定值）
		4.5	—	13	mV	
I_{SHYST}	供电电流 — 迟滞控制器	—	2	—	mA	包括两个大功率的外设比较器和一个参考 DAC, $f_{SW} = 2\text{ MHz}$

表 15-9. 迟滞控制器交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_{ON} / t_{OFF}	确定打开 / 关闭时间最短的定时器					
	MONOSHOT<1:0> = 00	10	—	30	ns	
	MONOSHOT<1:0> = 01	20	—	60	ns	
	MONOSHOT<1:0> = 10	40	—	110	ns	
	MONOSHOT<1:0> = 11	—	—	—	ns	禁用定时器

15.6 大功率外设比较器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

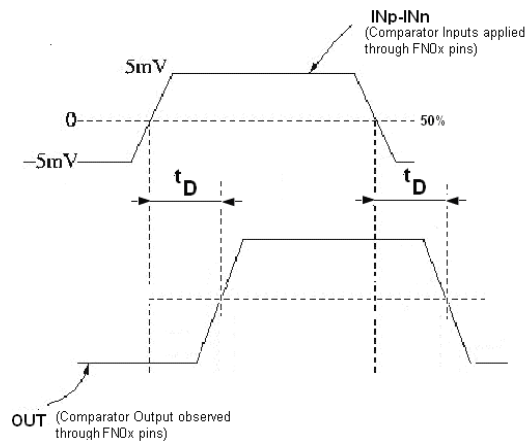
表 15-10. 比较器直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{IN}	输入电压范围	0	-	V_{DD}	V	-
V_{IO}	比较器输入偏移电压	-	-	7.5 10 15	mV mV mV	$1\text{ V} \leq V_{ICM} \leq 3\text{ V}$ (工业级额定值) $1\text{ V} \leq V_{ICM} \leq 3\text{ V}$ (扩展的温度额定值) $0\text{ V} \leq V_{ICM} \leq V_{DD}$
V_{HYS}	迟滞电压	2.5 4.5 4.5	- - -	30 11 13	mV mV mV	$0\text{ V} < V_{ICM} < V_{DD}$ $1.5\text{ V} \leq V_{ICM} \leq 2.5\text{ V}$ (工业级额定值) $1.5\text{ V} \leq V_{ICM} \leq 2.5\text{ V}$ (扩展的温度额定值)
V_{OVDRV}	过载电压	5	-	-	mV	-
I_{SCOMP}	比较器的供电电流	-	-	650	μA	-
$V_{ICM,COMP}$	比较器输入共模电压范围	0	-	V_{DD}	V	-

表 15-11. 比较器交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_D	比较器延迟时间 (FN0[x] 引脚到 FN0[x] 引脚)	-	150	-	ns	$V_{DD} = 5\text{ V}$ 时, $V_{OVDRV} = 5\text{ mV}$, $C_L = 10\text{ pF}$

图 15-3. 比较器时序图



15.7 大功率外设电流检测放大器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。温度为 25 °C 时，典型参数适用于 V_{DD} 为 5 V 和 HV_{DD} 为 32 V。这些参数仅供设计指导之用。

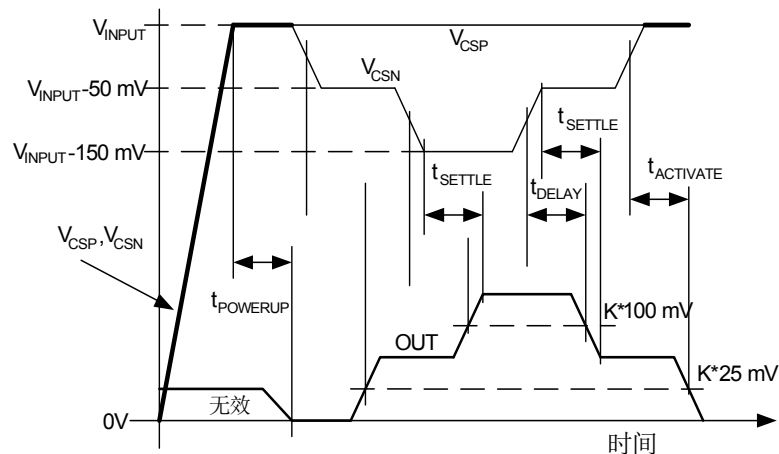
表 15-12. 电流检测放大器的直流电规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{ICM}	共模输入电压的工作范围	7	-	32	V	为了使器件在正确的功能下运行，要求放大器的输入端电压不能超过该范围
$V_{ICM(Tolerant)}$	非功能工作范围	0	-	32		不应超过 V_{SENSE} 的最大绝对额定值。请参见第 30 页上的最大绝对额定值
V_{SENSE}	差分输入电压范围	0	-	150	mV	
$I_{S,CSA}$	CSA 的供电电流	-	-	1	mA	使能 CSA 会在 AV_{DD} 上多消耗 1 mA 的电流。
I_{BIASP}	输入偏置电流 (+)	-	-	600	μA	
I_{BIASN}	输入偏置电流 (-)	-	-	1	μA	
PSR_{HV}	电源抑制 (CSP 引脚)	-	-	-25	dB	$f_{SW} < 2\text{ MHz}$
K	增益	19.7	20	20.3	V/V	$V_{SENSE} = 50\text{ mV} \sim 130\text{ mV}$ (工业级额定值) $V_{SENSE} = 50\text{ mV} \sim 130\text{ mV}$ (扩展的温度额定值)
		19.4	20	20.6	V/V	
V_{IOS}	输入偏移	-	2	4	mV	$V_{SENSE} = 50\text{ mV} \sim 130\text{ mV}$
C_{IN_CSP}	CSP 输入电容	-	-	5	pF	
C_{IN_CSN}	CSN 输入电容	-	-	2	pF	

表 15-13. 电流检测放大器的交流电规范

符号	说明	最小值	典型值	最大值	单位	注意
t_{SETTLE}	达到最终值的 1% 所需的输出建立时间	-	-	5	μs	
$t_{POWERUP}$	达到最终值的 1% 所需的上电时间	-	-	5	μs	

图 15-4. 电流检测放大器时序图



15.8 大功率外设 PWM/PrISM/DMM 规范表

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。有关更多 PWM/PrISM/DMM 的信息，请参见《PowerSoC 技术参考手册》。

表 15-14. PWM/PrISM/DMM 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
$I_{S,Modulation}$	供电电流 — PWM, PrISM 或 DMM	-	-	5	mA	

表 15-15. PWM/PrISM/DMM 交流规范

符号	说明	最小值	典型值	最大值	单位	注意
PWM 模式						
$f_{RANGE16}$	采用 16 位周期时的 PWM 输出频率范围	24,000,000/ ($256 \cdot 2^{16}$)	-	48,000,000/ 2^{16}	Hz	周期值 = $2^{16} - 1$, 最小值: N = 255, 最大值: N = 0
f_{RANGE8}	采用 8 位周期时的 PWM 输出频率范围	24,000,000/ ($256 \cdot 2^8$)	-	48,000,000/ 2^8	Hz	周期值 = $2^8 - 1$, 最小值: N = 255, 最大值: N = 0
PrISM 模式						
f_{RANGE}	PrISM 输入频率范围	24,000,000/ ($256^* \cdot 2^{M-1}$)	-	48,000,000/2	Hz	最小值: N = 255, 最大值: N = 0, M = 2 ~ 16
DMM 模式						
$f_{RANGE,Dimming}$	DMM 调光频率范围	24,000,000/ ($256^* \cdot$ 最大的 DMM 周期)	-	48,000,000/ (最小的 DMM 周期)	Hz	最小的 DMM 周期: 2 (右对齐), 3 (中心对齐) 4 (左对齐) 最大的 DMM 周期: 2^{12} (右对齐), 8190 (中心对齐), 2^{12} (左对齐)
$f_{RANGE,Dither}$	DMM 抖动频率范围	(1/16)* ($f_{RANGE,Dimming}$ 的 最小值)	-	(15/16)* ($f_{RANGE,Dimming}$ 的最大值)	Hz	

15.9 大功率外设参考 DAC 规范

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-16. 参考 DAC 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
I_{SDAC}	供电电源 - 参考 DAC	-	-	600	μA	模式 0 和模式 1
INL	积分非线性	-1	-	1	LSB	模式 0
		-1.5	-	1.5	LSB	模式 1
DNL	微分非线性	-0.5	-	0.5	LSB	模式 0 和模式 1
A_{ERROR}	增益误差	-5	-	5	LSB	模式 0
		-7	-	7	LSB	模式 1
OS_{ERROR}	偏移误差	-	-	1	LSB	模式 0 和模式 1
V_{DACFS}	满量程电压 - 参考 DAC	-	-	2.6	LSB	模式 0
		-	-	1.3	LSB	模式 1
V_{DACMM}	满量程电压不匹配（一对参考 DAC（偶和奇））	-	-	9	LSB	模式 0（DAC0 至 DAC7）
		-	-	14	LSB	模式 1（DAC0 至 DAC7）
		-	-	10.5	LSB	模式 0（DAC8 至 DAC13）
		-	-	15.5	LSB	模式 1（DAC8 至 DAC13）

表 15-17. 参考 DAC 交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_{SETTLE}	达到不超过最终值的 0.5 LSB 所需的输出建立时间	-	-	10	μs	模式 0 和模式 1
$t_{STARTUP}$	达到小于最终值的 0.5 LSB 需要的启动时间	-	-	10.5	μs	模式 0 和模式 1

15.10 大功率外设内置开关调节器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-18. 内置开关调节器的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{REGIN}	输入供电电压范围	7	-	32	V	工业级额定值 扩展的温度额定值 请参阅第 30 页上的最大绝对额定值
		8	-	32	V	
V_{REGOUT}	输出电压范围	4.8	5.0	5.2	V	不包含 V_{RIPPLE}
V_{RIPPLE}	输出纹波	-	-	100	mV	
V_{UVLO}	欠压锁定电压	5.5	-	6.5	V	$V_{REGIN} < V_{UVLO}$: 掉电模式 $V_{REGIN} > V_{UVLO}$: 活动模式
I_{LOAD}	活动模式下的直流输出电流	0.01	-	250	mA	-
$I_{S,BSR}$	内置开关调节器的供电电流	-	-	4	mA	-
$I_{SB,HV}$	待机电流（高电压）	-	-	250	μA	-
I_{INRUSH}	浪涌电流	-	-	1.2	A	$V_{REGIN} = 32\text{ V}$, $SR_{REGIN} = 32\text{ V/ms}$ (工业级额定值) $V_{REGIN} = 32\text{ V}$, $SR_{REGIN} = 32\text{ V/ms}$ (扩展的温度额定值)
		-	-	1.5	A	
$R_{DS(ON),PFET}$	PFET 漏极到源极的导通电阻规范	-	2.5	-	Ω	
$Line_{REG}$	线路调节	-	1	-	mV	$I_{LOAD} = 250\text{ mA}$, $V_{REGIN} = 7\text{ V} \sim 32\text{ V}$
$Load_{REG}$	负载调整率	-	1	-	mV	$V_{REGIN} = 24\text{ V}$, $I_{LOAD} = 2.5\text{ mA} \sim 250\text{ mA}$

表 15-18. 内置开关调节器的直流规范 (续)

符号	说明	最小值	典型值	最大值	单位	注意
PSRR	电源抑制比	-	-60	-	dB	$V_{\text{RIPPLE}} = 0.2 * V_{\text{REGIN}}$, $f_{\text{RIPPLE}} = 1 \text{ kHz} \sim 10 \text{ kHz}$
E_{BSR}	内置式开关调节器的效率	80	-	-	%	$V_{\text{REGIN}} = 24 \text{ V}$, $I_{\text{LOAD}} = 250 \text{ mA}$

表 15-19. 内置开关调节器的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
f_{SW}	开关频率	0.956	1	1.04	MHz	-
t_{RESP}	最终值达到 99.5% 所需的响应时间	-	10	-	μs	-
t_{SU}	启动时间	-	-	1	ms	-
t_{PD}	掉电时间	-	-	100	μs	-
$t_{\text{PD ACT}}$	从断电状态到活动状态经过的时间	-	-	1	ms	-
$t_{\text{ACT PD}}$	活动状态到断电状态的时间	-	-	50	μs	-
SR_{REGIN}	SREGHVIN 引脚的上升斜率	-	-	32	V/ μs	请参阅 第 30 页上的最大绝对额定值

表 15-20. 内置开关调节器推荐的组件

组件名称	数值	单位	注意
R_{fb1}	2	k Ω	容差为 1%，并且额定值为 0.05 W 或更好时的额定值
R_{fb2}	0.698	k Ω	容差为 1%，并且额定值为 0.05 W 或更好时的额定值
C_{comp}	2200	pF	容差为 20%，并且额定值为 6.3 V 或更好时的额定值
R_{comp}	20	k Ω	容差为 5%，并且额定值为 0.05 W 或更好时的额定值
L	47	μH	容差为 20% 或更小值，饱和电流额定值为 1.5 A 或更高时
R_{sense}	0.5	Ω	容差为 1%，额定值为 0.05 W ($I_{\text{LOAD}} = 0.250 \text{ A}$) 或更好时
C_1	10	μF	陶瓷，X7R 标准，ESR 最小值为 0.1 Ω ，电压额定值为 6.3 V
C_{in}	1	μF	陶瓷，X7R 标准，电压额定值为 50 V ($V_{\text{REGIN}} = 32 \text{ V}$)
D1	40/0.5	V/A	肖特基二极管 — 反向电压为 40 V，正向平均整流电流为 0.5 A ($V_{\text{REGIN}} = 32 \text{ V}$)

注意： 如果在设计中没有使用内置开关调节器，那么必须将它配置为以下指令，确保它被禁用安全状态下。

SREGFB: 5 V

SREGCSN: 5 V

SREGCSP: 5 V

SREGCOMP: 浮动

SREGHVIN: \geq VDD 轨

SREGSW: 悬空 / 连接到 SREGHVIN

如果开关调节器是通过布线其输入引脚（如前面解释）被禁用的，那么必须通过软件并将位 SREG_TST[0] 设置为 1 来禁用开关调节器（在 PSoC Designer 的互连视图中全局资源下设置）。

图 15-5. 内置开关调节器时序图

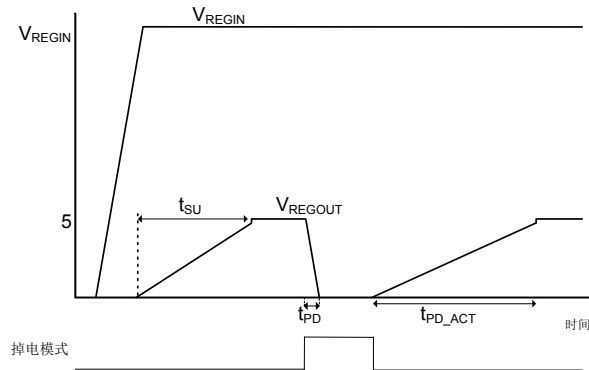
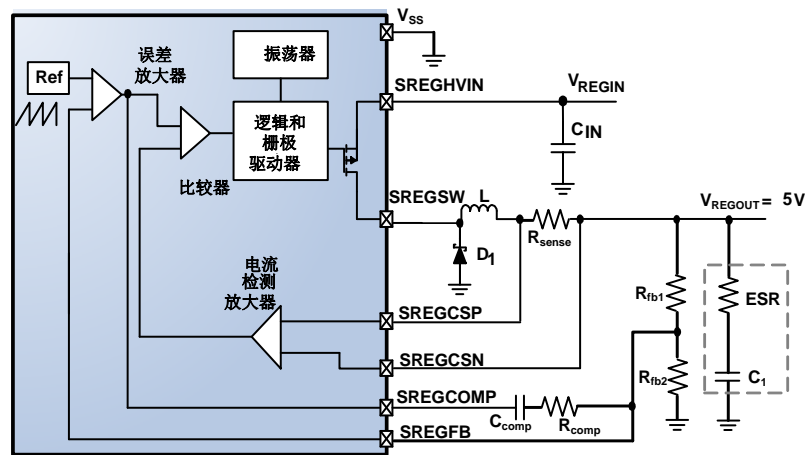


图 15-6. 内置开关调节器



15.11 通用 I/O/ 功能引脚 I/O

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

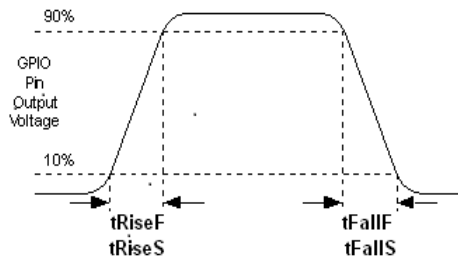
表 15-21. GPIO/FN0 引脚 I/O 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
R_{PU}	上拉电阻	4	5.6	8	k Ω	-
R_{PD}	下拉电阻	4	5.6	8	k Ω	-
V_{OH}	高输出电平	$V_{DD} - 1.0$	-	-	V	$I_{OH} = 10\text{ mA}$ ，最大总计 80 mA 的 I_{OH} 预算
V_{OL}	低输出电平	-	-	0.75	V	$I_{OL} = 25\text{ mA}$ ，最大总计 I_{OL} 预算为 200 mA
I_{OH}	高电平拉电流	10	-	-	mA	$V_{OH} = V_{DD} - 1.0\text{ V}$ ，请参见 V_{OH} 注解中总电流的范围
I_{OL}	低电平灌电流	25	-	-	mA	$V_{OL} = 0.75\text{ V}$ ，请参见 V_{OL} 注解中总电流的范围
V_{IL}	输入低电平	-	-	0.8	V	-
V_{IH}	输入高电平	2.1	-	-	V	-
V_H	输入迟滞	-	60	-	mV	-
I_{IL}	输入漏电流（绝对值）	-	1	-	nA	粗略测试结果为 1 μA
C_{IN}	引脚上作为输入的电容负载	-	3.5	10	pF	$T_J = 25^\circ\text{C}$ 。
C_{OUT}	引脚上作为输出的电容负载	-	3.5	10	pF	$T_J = 25^\circ\text{C}$ 。

表 15-22. GPIO/FN0 引脚 I/O 交流规范

符号	说明	最小值	典型值	最大值	单位	注意
f_{GPIO}	GPIO 工作频率	0	-	12	MHz	正常强模式
t_{RiseF}	上升时间，正常强模式， $C_{load} = 50\text{ pF}$	3	-	18	ns	10% - 90%
t_{FallF}	下降时间，正常强模式， $C_{load} = 50\text{ pF}$	2	-	18	ns	
t_{RiseS}	上升时间，慢速强模式， $C_{load} = 50\text{ pF}$	10	27	-	ns	
t_{FallS}	下降时间，慢速强模式， $C_{load} = 50\text{ pF}$	10	22	-	ns	

图 15-7. GPIO/ 功能 I/O 时序图



15.12 PSoC 内核运算放大器规范

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

运算放大器既是模拟连续时间 PSoC 模块的组件，也是模拟开关电容 PSoC 模块的组件。许可的规范是在模拟连续时间 PSoC 模块中测得的。

表 15-23. 运算放大器直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	1.6	10	mV	工业级额定值 扩展的温度额定值 工业级额定值 扩展的温度额定值 工业级额定值 扩展的温度额定值
	功耗 = 低，运算放大器偏压 = 高	—	1.6	15	mV	
	功耗 = 中，运算放大器偏压 = 高	—	1.3	8	mV	
	功耗 = 高，运算放大器偏压 = 高	—	1.3	13	mV	
	功耗 = 低，运算放大器偏压 = 低	—	1.2	7.5	mV	
	功耗 = 中，运算放大器偏压 = 低	—	1.2	12	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	7.0	35.0	$\mu\text{V}/^\circ\text{C}$	
I_{EBOA}	输入漏电流（端口 0 模拟引脚）	—	20	—	pA	粗略测试结果为 1 μA 。
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	$T_J = 25^\circ\text{C}$ 。
V_{CMOA}	共模电压范围	0.0	—	V_{DD}	V	共模输入电压范围是通过模拟输出缓冲区测得的。该规范包含了模拟输出缓冲区特性所造成的限制。
	共模电压范围（高功耗或高运算放大器偏压）	0.5	—	$V_{\text{DD}} - 0.5$	V	
G_{OLOA}	开环增益	—	—	—	dB	—
	功耗 = 低，运算放大器偏压 = 高	60	—	—	dB	
	功耗 = 中，运算放大器偏压 = 高	60	—	—	dB	
V_{OHIGHOA}	高输出电压摆幅（内部信号）	—	—	—	V	—
	功耗 = 低，运算放大器偏压 = 高	$V_{\text{DD}} - 0.2$	—	—	V	
	功耗 = 中，运算放大器偏压 = 高	$V_{\text{DD}} - 0.2$	—	—	V	
V_{OLOWOA}	低输出电压摆幅（内部信号）	—	—	0.2	V	—
	功耗 = 低，运算放大器偏压 = 高	—	—	0.2	V	
	功耗 = 中，运算放大器偏压 = 高	—	—	0.5	V	
I_{SOA}	供电电流（包含相关的模拟输出缓冲区）	—	—	—	—	—
	功耗 = 低，运算放大器偏压 = 低	—	400	800	μA	
	功耗 = 低，运算放大器偏压 = 高	—	500	900	μA	
	功耗 = 中，运算放大器偏压 = 低	—	800	1000	μA	
	功耗 = 中，运算放大器偏压 = 高	—	1200	1600	μA	
	功耗 = 高，运算放大器偏压 = 低	—	2400	3200	μA	
PSRR_{OA}	供电电压抑制比	52	80	—	dB	$V_{\text{SS}} \leq V_{\text{IN}} \leq (V_{\text{DD}} - 2.25)$ 或 $(V_{\text{DD}} - 1.25 \text{ V}) \leq V_{\text{IN}} \leq V_{\text{DD}}$ 。

表 15-24. 运算放大器交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t _{ROA}	从 ΔV 为 80% 到 ΔV 为 0.1% 的上升建立时间 (10 pF 负载, 单位增益)					-
	功耗 = 低, 运算放大器偏压 = 低	-	-	3.9	μs	
	功耗 = 中, 运算放大器偏压 = 高	-	-	0.72	μs	
t _{SOA}	从 ΔV 为 20% 到 ΔV 为 0.1% 的下降建立时间 (10 pF 负载, 单位增益)					-
	功耗 = 低, 运算放大器偏压 = 低	-	-	5.9	μs	
	功耗 = 中, 运算放大器偏压 = 高	-	-	0.92	μs	
SR _{ROA}	上升转换速率 (20% - 80%) (10 pF 负载, 单位增益)					-
	功耗 = 低, 运算放大器偏压 = 低	0.15	-	-	V/μs	
	功耗 = 中, 运算放大器偏压 = 高	1.7	-	-	V/μs	
SR _{FOA}	下降转换速率 (20% - 80%) (10 pF 负载, 单位增益)					-
	功耗 = 低, 运算放大器偏压 = 低	0.01	-	-	V/μs	
	功耗 = 中, 运算放大器偏压 = 高	0.5	-	-	V/μs	
BW _{OA}	增益带宽积					-
	功耗 = 低, 运算放大器偏压 = 低	0.75	-	-	MHz	
	功耗 = 中, 运算放大器偏压 = 高	3.1	-	-	MHz	
E _{NOA}	频率为 1 kHz 时的噪声 (功耗 = 中, 运算放大器偏压 = 高)		100		nV/r-Hz	-

15.13 PSoC 内核低功耗比较器

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、T_J ≤ 115 °C；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、T_J ≤ 125 °C。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-25. 低功耗比较器直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V _{REFLPC}	低功耗电压比较器 (LPC) 参考电压范围	0.2	-	V _{DD} - 1	V	-
I _{SLPC}	LPC 供电电流	-	10	40	μA	-
V _{OSLPC}	LPC 电压偏移	-	2.5	40	mV	-

表 15-26. 低功耗比较器交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t _{RLPC}	LPC 响应时间	-	-	50	μs	≥ 50 mV 过驱动比较器参考 (比较器参考在 V _{REFLPC} 中设置)。

15.14 PSoC 内核模拟输出缓冲区

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-27. 模拟输出缓冲区的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOB}	输入偏移电压（绝对值）	-	3	12	mV	工业级额定值 扩展的温度额定值
		-	3	18	mV	
TCV_{OSOB}	平均输入偏移电压漂移	-	+6	-	$\mu\text{V}/^\circ\text{C}$	-
V_{CMOB}	共模输入电压范围	0.5	-	$V_{DD} - 1.0$	V	-
R_{OUTOB}	输出电阻 功耗 = 低 功耗 = 高	-	0.6	-	Ω	-
		-	0.6	-	Ω	
$V_{OHIGHOB}$	高输出电压摆幅 (负载 = 32 ohms 至 $V_{DD}/2$) 功耗 = 低 功耗 = 高	$0.5 \times V_{DD} + 1.1$	-	-	V	-
		$0.5 \times V_{DD} + 1.1$	-	-	V	
V_{OLOWOB}	低输出电压摆幅 (负载 = 32 ohms 至 $V_{DD}/2$) 功耗 = 低 功耗 = 高	-	-	$0.5 \times V_{DD} - 1.3$	V	-
		-	-	$0.5 \times V_{DD} - 1.3$	V	
I_{SOB}	供电电流包含偏压单元（无负载） 功耗 = 低 功耗 = 高	-	1.1	5.1	mA	-
		-	2.6	8.8	mA	
$PSRR_{OB}$	供电电压抑制比	52	64	-	dB	$(0.5 \times V_{DD} - 1.3) \leq V_{OUT} \leq (V_{DD} - 2.3)$ 。

表 15-28. 模拟输出缓冲区的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
t_{ROB}	在步长为 1 V, 100 pF 负载的条件下, 要达到不超过最终值的 0.1% 所需的上升建立时间 功耗 = 低 功耗 = 高	-	-	2.5	μs	-
		-	-	2.5	μs	
t_{SOB}	在步长为 1 V, 100 pF 负载的条件下, 要达到不超过最终值的 0.1% 所需的下降建立时间 功耗 = 低 功耗 = 高	-	-	2.2	μs	-
		-	-	2.2	μs	

表 15-28. 模拟输出缓冲区的交流规范 (续)

符号	说明	最小值	典型值	最大值	单位	注意
SR _{ROB}	上升转换速率 (20% - 80%), 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	0.65 0.65	- -	- -	V/ μ s V/ μ s	-
SR _{FOB}	下降转换速率 (80% - 20%), 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	0.65 0.65	- -	- -	V/ μ s V/ μ s	-
BW _{OBSS}	小信号带宽, 20 mV _{pp} , 3dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	0.8 0.8	- -	- -	MHz MHz	-
BW _{OBLs}	大信号带宽, 1 V _{pp} , 3 dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	300 300	- -	- -	kHz kHz	-

15.15 PSoC 内核模拟参考

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

许可的规范是通过模拟连续时间 PSoC 模块测得的。AGND 的功耗水平指模拟连续时间 PSoC 模块的功耗。RefHi 和 RefLo 的功耗水平指模拟参考控制寄存器的功耗。所注明的 AGND 限制包括模拟连续时间 PSoC 模块与本地 AGND 缓冲区的偏移误差。参考控制功耗为高。

表 15-29. 模拟参考直流规范

符号	说明	最小值	典型值	最大值	单位	注意
BG	带隙电压参考	1.28 1.27	1.30 1.30	1.32 1.33	V V	工业级额定值 扩展的温度额定值
–	AGND = $V_{DD}/2$ ^[16]	$V_{DD}/2 - 0.04$ $V_{DD}/2 - 0.02$	$V_{DD}/2 - 0.01$ $V_{DD}/2$	$V_{DD}/2 + 0.007$ $V_{DD}/2 + 0.02$	V V	工业级额定值 扩展的温度额定值
–	AGND = 2 x 带隙 ^[16]	2 x BG – 0.048	2 x BG – 0.030	2 x BG + 0.024	V	
–	AGND = 带隙 ^[16]	BG – 0.009	BG + 0.008	BG + 0.016	V	
–	AGND = 1.6 x 带隙 ^[16]	1.6 x BG – 0.022	1.6 x BG – 0.010	1.6 x BG + 0.018	V	
–	AGND 上各模块之间的差异 (AGND = $V_{DD}/2$) ^[16]	–0.034	0.000	0.034	V	
–	RefHi = $V_{DD}/2$ + 带隙	$V_{DD}/2 + BG - 0.10$	$V_{DD}/2 + BG$	$V_{DD}/2 + BG + 0.10$	V	
–	RefHi = 3 x 带隙	3 x BG – 0.06	3 x BG	3 x BG + 0.06	V	
–	RefHi = 3.2 x 带隙	3.2 x BG – 0.112	3.2 x BG	3.2 x BG + 0.076	V	
–	RefLo = $V_{DD}/2$ – 带隙	$V_{DD}/2 - BG - 0.04$ $V_{DD}/2 - BG - 0.06$	$V_{DD}/2 - BG + 0.024$ $V_{DD}/2 - BG$	$V_{DD}/2 - BG + 0.04$ $V_{DD}/2 - BG + 0.06$	V V	工业级额定值 扩展的温度额定值
–	RefLo = 带隙	BG – 0.06	BG	BG + 0.06	V	

15.16 PSoC 内核模拟模块

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-30. 模拟模块直流规范

符号	说明	最小值	典型值	最大值	单位	注意
R _{CT}	电阻单元值 (连续时间)	–	12.2	–	kΩ	
C _{SC}	电容单元值 (开关电容)	–	80	–	fF	

注释：

16. AGND 容差包括 PSoC 模块本地缓冲区的偏移。带隙电压为 1.3 V ± 0.02 V。

15.17 PSoC 内核 POR 和 LVD

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

注意：下表中的 PORLEV 和 VM 位数是指 VLT_CR 寄存器中的位数。有关 VLT_CR 寄存器的详细信息，请参见《PowerPSoC 技术参考手册》。

表 15-31. POR 和 LVD 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{PPOR2}	PPOR 期间的 V_{DD} 值 PORLEV[1:0] = 10b	–	4.55	4.70	V	–
V_{LVD6} V_{LVD7}	LVD 期间的 V_{DD} 值 VM[2:0] = 110b VM[2:0] = 111b	4.62 4.71	4.73 4.81	4.83 4.95	V V	–

15.18 PSoC 内核编程规范

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 115^\circ\text{C}$ ；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、 $T_J \leq 125^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-32. 编程直流规范

符号	说明	最小值	典型值	最大值	单位	注意
I_{DDP}	编程或验证期间的供电电流	–	15	30	mA	–
V_{ILP}	编程或验证期间的输入低电平电压	–	–	0.8	V	–
V_{IHP}	编程或验证期间的输入高电平电压	2.1	–	–	V	–
I_{ILP}	编程或验证期间为 P1[0] 或 P1[1] 采取 V_{ILP} 电压时的输入电流	–	–	0.2	mA	驱动内部下拉电阻。
I_{IHP}	编程或验证期间为 P1[0] 或 P1[1] 采取 V_{IHP} 电压时的输入电流	–	–	1.5	mA	驱动内部下拉电阻。
V_{OLV}	编程或验证期间的输出低电平电压	–	–	$V_{SS} + 0.75$	V	–
V_{OHV}	编程或验证期间的输出高电平电压	$V_{DD} - 1.0$	–	V_{DD}	V	–
Flash _{ENPB}	闪存耐久性（对于每个模块）	50,000	–	–	–	每个模块的擦除 / 写循环次数。
Flash _{ENT}	闪存耐久性（总计） ^[17]	1,800,000	–	–	–	擦除 / 写循环次数。
Flash _{DR}	闪存数据保留时间 ^[18]	10	–	–	年	–

注释：

17. 允许的最高模块耐久性擦 / 写循环为 36 x 50,000 次。可以对 36 x 1 个模块（每个模块最多 50,000 次擦 / 写循环）、36 x 2 个模块（每个模块最多 25,000 次擦 / 写循环）或 36 x 4 个模块（每个模块最多 12,500 次擦 / 写循环）之间进行平衡（使之总擦 / 写循环次数限制为 36 x 50,000 次，而且单个模块的擦 / 写循环次数不超过 50,000 次）。

18. 要保证工业级额定值器件的温度范围为 $-40 \leq T_A \leq 85^\circ\text{C}$ ，扩展的温度额定值器件的温度范围为 $-40^\circ\text{C} \leq T_A \leq 105^\circ\text{C}$ 。

表 15-33. 交流编程规范

符号	说明	最小值	典型值	最大值	单位	注意
t _{RSCLK}	SCLK 的上升时间	1	–	20	ns	–
t _{FSCLK}	SCLK 的下降时间	1	–	20	ns	–
t _{SSCLK}	从数据建立时间到 SCLK 下降沿的时间	40	–	–	ns	–
t _{HSCLK}	从 SCLK 下降沿后的数据保持时间	40	–	–	ns	–
f _{SCLK}	SCLK 的频率	0	–	8	MHz	–
t _{ERASEB}	闪存擦除时间（模块）	–	10	–	ms	–
t _{WRITE}	闪存模块写时间	–	40	–	ms	–
t _{DSCLK}	从 SCLK 下降沿后的数据输出延迟时间	–	–	50	ns	–
t _{ERASEALL}	闪存擦除时间（批量）	–	40	–	ms	一次性擦除所有模块和保护字段
t _{PROGRAM_HOT}	闪存模块擦除 + 闪存模块写时间	–	–	100 ^[19]	ms	0 °C ≤ T _J ≤ 100 °C
t _{PROGRAM_COLD}	闪存模块擦除 + 闪存模块写时间	–	–	200 ^[19]	ms	–40 °C ≤ T _J ≤ 0 °C

15.19 PSoC 内核数字模块规范

下表对电压范围和温度范围列出允许的最大和最小规范：对于工业级额定值器件，范围为 4.75 V ~ 5.25 V、T_J ≤ 115 °C；对于扩展的温度额定值器件，范围为 4.75 V ~ 5.25 V、T_J ≤ 125 °C。典型参数适用于 25 °C 且电压为 5 V 的情况，这些参数仅供设计指导之用。

表 15-34. 数字模块交流规范

功能	说明	最小值	典型值	最大值	单位	注意
定时器	捕获脉宽	50 ^[20]	–	–	ns	–
	输入频率，无捕获	–	–	49.92	MHz	–
	输入频率，带捕获	–	–	24.96	MHz	–
计数器	使能脉宽	50 ^[20]	–	–	ns	–
	输入频率，无使能输入	–	–	49.92	MHz	–
	输入频率，使能输入	–	–	24.96	MHz	–
死区	非同步停止输入脉宽：					–
	异步重启模式	20	–	–	ns	–
	同步重启模式	50 ^[20]	–	–	ns	–
	禁用模式	50 ^[20]	–	–	ns	–
CRCPRS (PRS 模式)	输入频率	–	–	49.92	MHz	–
	输入时钟频率	–	–	49.92	MHz	–
CRCPRS (CRC 模式)	输入时钟频率	–	–	24.96	MHz	–
SPIM	输入时钟频率	–	–	8.32	MHz	由于采用了 2 x 超频技术，因此能够在 4.1 MHz 下获得最大数据速率。
SPIS	输入时钟频率	–	–	4.16	MHz	–
	相邻发送之间的 SS_Negated 宽度	50 ^[20]	–	–	ns	–
发送器	输入时钟频率	–	–	24.96	MHz	由于采用了 8 x 超频技术，因此能够在 3.08 MHz 下获得最大数据速率。由于采用了 8 x 超频技术，因此能够在 6.15 MHz 下获得最大数据速率。
	V _{DD} ≥ 4.75 V 和采用 2 个停止位时的输入时钟频率	–	–	49.92	MHz	

注释：

19. 对于整个工业级范围，您必须利用温度传感器用户模块（FlashTemp），并在写入之前将结果提供给温度参数。有关详细信息，请参见 <http://www.cypress.com> 网站上“应用笔记”下的闪存 API 应用笔记 AN2015。

20. 50 ns 的最小输入脉冲宽度基于在 24 MHz（42 ns 标称周期）下运行的输入同步器。

表 15-34. 数字模块交流规范 (续)

功能	说明	最小值	典型值	最大值	单位	注意
接收器	输入时钟频率	—	—	24.96	MHz	由于采用了 8 x 超频技术, 因此能够在 3.08 MHz 下获得最大数据速率。 由于采用了 8 x 超频技术, 因此能够在 6.15 MHz 下获得最大数据速率。
	$V_{DD} \geq 4.75$ V 和采用 2 个停止位时的输入时钟频率	—	—	49.92	MHz	

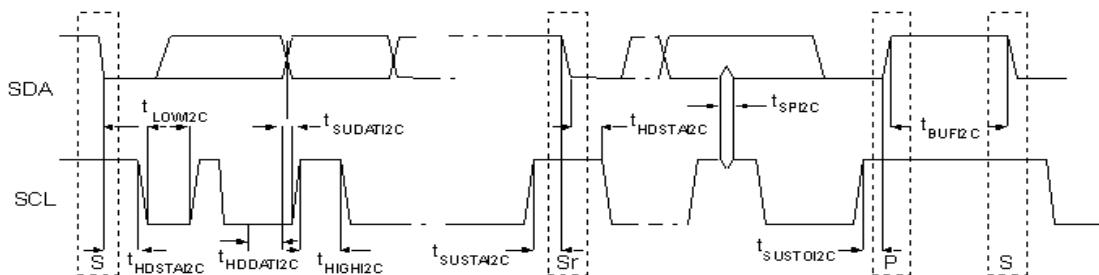
15.20 PSoC 内核 I²C 规范

下表对电压范围和温度范围列出允许的最大和最小规范: 对于工业级额定值器件, 范围为 4.75 V ~ 5.25 V、 $T_j \leq 115^\circ\text{C}$; 对于扩展的温度额定值器件, 范围为 4.75 V ~ 5.25 V、 $T_j \leq 125^\circ\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 的情况, 这些参数仅供设计指导之用。

表 15-35. I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位	注意
		最小值	最大值	最小值	最大值		
f_{SCLi2C}	SCL 时钟频率	0	100	0	400	kHz	—
$t_{HDSTAi2C}$	(重复) START 条件的保持时间。经过这段时间后, 会生成第一个时钟脉冲。	4.0	—	0.6	—	μs	—
t_{LOWi2C}	SCL 时钟的低电平周期	4.7	—	1.3	—	μs	—
$t_{HIGHi2C}$	SCL 时钟的高电平周期	4.0	—	0.6	—	μs	—
$t_{SUSTAi2C}$	重复 START 条件的建立时间	4.7	—	0.6	—	μs	—
$t_{HDDATI2C}$	数据保持时间	0	—	0	—	μs	—
$t_{SUDATI2C}$	数据建立时间	250	—	100 ^[21]	—	ns	—
$t_{SUSTOI2C}$	STOP 条件的建立时间	4.0	—	0.6	—	μs	—
t_{BUFI2C}	STOP 和 START 条件之间的总线空闲时间	4.7	—	1.3	—	μs	—
t_{SPI2C}	输入滤波器抑制的尖峰脉宽。	—	—	0	50	ns	—

图 15-8. I²C 总线上快速 / 标准模式的时序定义



注释:

21. 快速模式 I²C 总线器件可用于标准模式 I²C 总线系统, 但必须满足 $t_{SUDATI2} \geq 250$ ns 的要求。如果器件不会延长 SCL 信号的低周期, 这种情况会自动发生。如果此类器件会延长 SCL 信号的低周期, 则它必须在 SCL 线被释放之前将下一个数据位输出到 SDA 线 $t_{rmax} + t_{SUDATI2} = 1000 + 250 = 1250$ ns (根据标准模式 I²C 总线规范)。

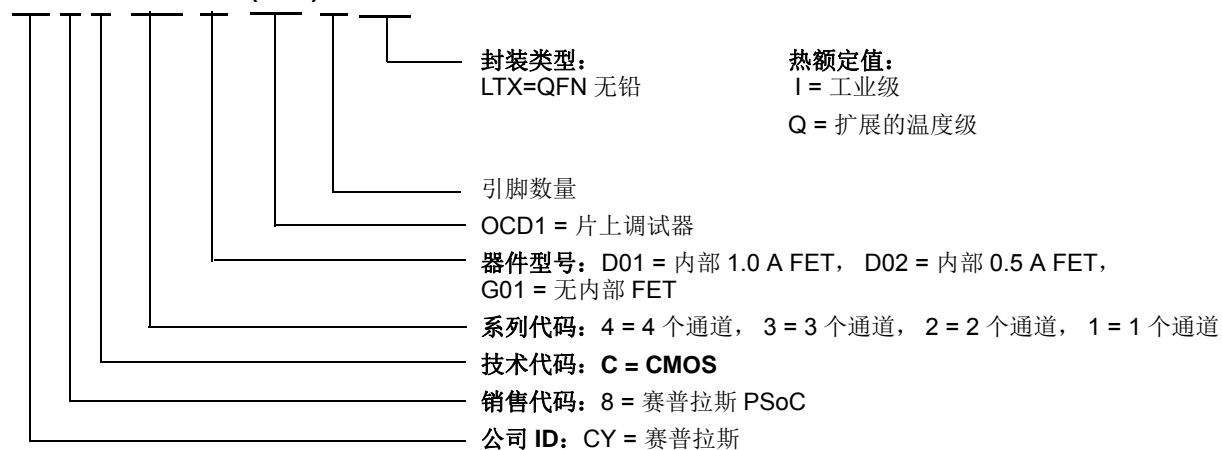
16. 订购信息

表 16-1. 器件的关键特性和订购信息

PowerPSoC 器件编号	引脚数量	封装	通道	电压	内部 FET	外部低端 N-FET 的栅极驱动器
CY8CLED04D01-56LTXI	56 QFN	8 mm × 8 mm	4	32 V	4 × 1.0 A	4
CY8CLED04D02-56LTXI	56 QFN	8 mm × 8 mm	4	32 V	4 × 0.5 A	4
CY8CLED04G01-56LTXI	56 QFN	8 mm × 8 mm	4	32 V	0	4
CY8CLED04DOCD1-56LTXI	56 QFN	8 mm × 8 mm	4	32 V	4 × 1.0 A	4
CY8CLED03D01-56LTXI	56 QFN	8 mm × 8 mm	3	32 V	3 × 1.0 A	3
CY8CLED03D02-56LTXI	56 QFN	8 mm × 8 mm	3	32 V	3 × 0.5 A	3
CY8CLED03G01-56LTXI	56 QFN	8 mm × 8 mm	3	32 V	0	3
CY8CLED02D01-56LTXI	56 QFN	8 mm × 8 mm	2	32 V	2 × 1.0 A	2
CY8CLED01D01-56LTXI	56 QFN	8 mm × 8 mm	1	32 V	1 × 1.0 A	1
CY8CLED01D01-56LTXQ	56 QFN	8 mm × 8 mm	1	32 V	1 × 1.0 A	1

16.1 订购代码定义

CY 8 C LED0x xxx (xxxx) - xx xxxx



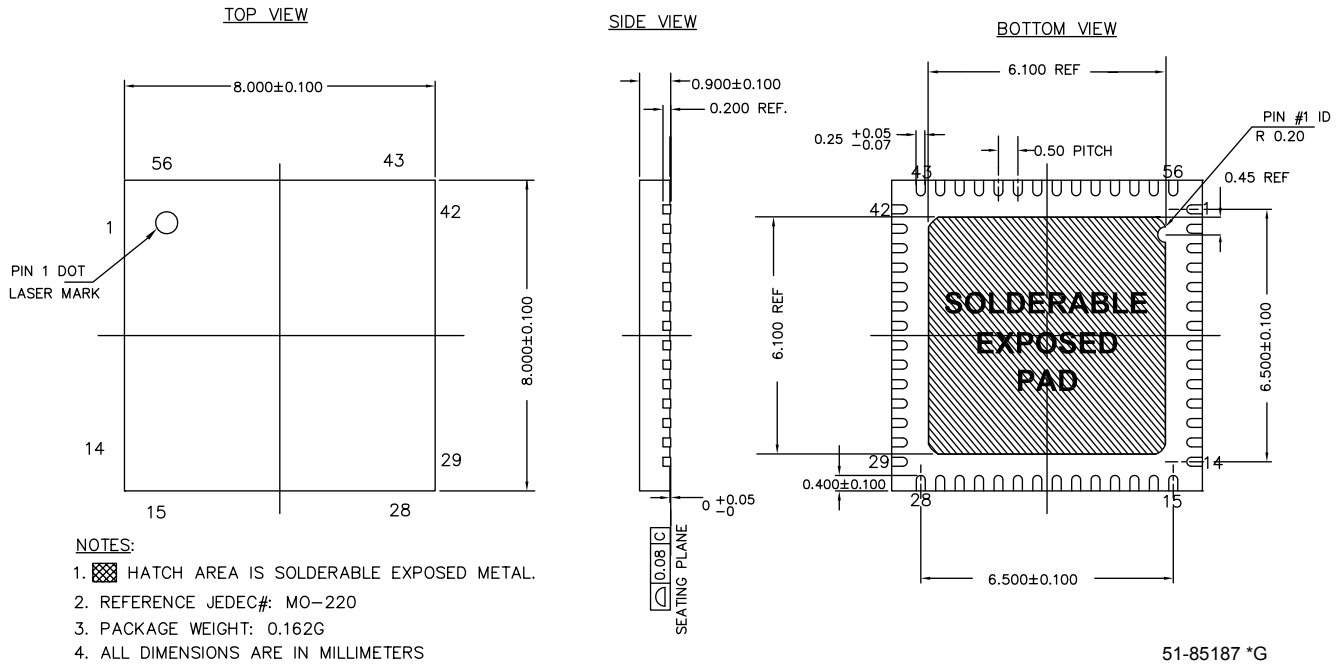
17. 封装信息

封装尺寸

本节介绍 CY8CLED04D0X、CY8CLED04G01、CY8CLED03D0X、CY8CLED03G01、CY8CLED02D01 和 CY8CLED01D01 的封装规范、每个封装的热阻及回流焊峰值温度。

重要注意：有关安装 QFN 封装首选尺寸的信息，请参考 http://www.amkor.com/products/notes_papers/MLFAppNote.pdf 网站上提供的应用笔记。

图 17-1. 56-QFN (8 × 8 mm)



17.1 热阻抗

封装	典型 θ_{JA} [22]
56 QFN [23]	16.6 °C/W

17.2 回流焊峰值温度

以下是要实现良好的可焊性，需要达到的最低回流焊峰值温度。

封装	最低峰值温度 [24]	最高峰值温度
56 QFN	240 °C	260 °C

注释:

22. $T_J = T_A + \text{功耗} \times \theta_{JA}$

23. 要达到 QFN 封装指定的热阻抗，中心热焊盘必须焊接到 PCB 接地层。使用 JESD51-7 标准 FR4 的 PCB 来模拟赛普拉斯 PowerPSoC 系列的热模型。该 PCB 具有四个金属层，外层的铜厚度为 2 盎司，内层的铜厚度为 1 盎司。根据封装制造商的建议布置器件下面的散热孔阵列。

24. 根据焊料熔点的不同，可能需要更高的温度。典型焊接温度为 220 ± 5 °C（使用 Sn-Pb 焊膏）或 245 ± 5 °C（使用 Sn-Ag-Cu 焊膏）。请参见焊料制造商提供的规范。

18. 缩略语

缩略语	说明
AC	交流
ADC	模数转换器
API	应用编程接口
CPU	中央处理单元
CSA	电流检测放大器
CT	连续时间
DAC	数模转换器
DALI	数字可寻址照明接口
DC	直流
DMM	delta sigma 调制模式
DMX	数字多路复用
DSM	delta sigma 调制器
DTMF	双音多频
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
FAQ	常见问题解答
FET	场效应晶体管
FSR	全量程
GPIO	通用 I/O
GUI	图形用户界面
HBM	人体模型
IC	集成电路
ICE	在线仿真器
IDE	集成开发环境
ILO	内部低速振荡器
IMO	内部主振荡器
ISSP	系统内串行编程
I/O	输入 / 输出
IPOR	非精密加电复位
LED	发光二极管
LSB	最低有效位
LVD	低电压检测
MCU	微控制器
MOSFET	金属 - 氧化物 - 半导体场效应晶体管
MSB	最高有效位
OCD	片上调试器
PC	程序计数器
POR	加电复位
PPOR	精密加电复位
PowerPSoC	功率可编程片上系统 (power Programmable System-on-Chip™)

缩略语	说明
PriSM	高精度照明信号强度调制
PSoC	可编程片上系统 (Programmable System-on-Chip™)
PWM	脉冲宽度调制器
QFN	四方扁平无引线封装
RGBA	红 - 绿 - 蓝 - 琥珀色
RGGB	红 - 绿 - 绿 - 蓝色
SAR	逐次逼近寄存器
SC	开关电容
SCL	串行 I ² C
SCLK	串行 ISSP 时钟
SDA	串行 I ² C 数据
SDATA	串行 issp 数据
SPI	串行外设接口
SRAM	静态随机存取存储器
TRM	技术参考手册
UART	通用异步接收器 / 发送器
USB	通用串行总线
WDT	看门狗定时器

19. 文档规范

19.1 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
Hz	赫兹
pp	峰峰值
σ	sigma: 一个标准差
V	伏特
Ω	欧姆
KB	1024 个字节
ppm	百万分率
sps	每秒样本数
W	瓦特
A	安培
Kbit	1024 位
KHz	千赫兹
KΩ	千欧
MHz	兆赫
MΩ	兆欧
μA	微安
μF	微法
μH	微亨
μs	微秒
μV	微伏

符号	测量单位
μVrms	微伏的均方根
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
mW	毫瓦
nA	纳安
ns	纳秒
nV	纳伏
pA	皮安
pF	皮法
ps	皮秒
fF	飞法

20. 文档修订记录

文档标题: CY8CLED04D01、CY8CLED04D02、CY8CLED04G01、CY8CLED03D01、CY8CLED03D02、CY8CLED03G01、CY8CLED02D01、CY8CLED01D01 PowerPSoc[®] 智能 LED 驱动器
文档编号: 001-92996

版本	ECN 编号	变更者	提交日期	变更说明
**	4498377	RLJW	09/11/2014	本文档版本号为 Rev**, 译自英文版 001-46319 Rev*P。
*A	4992968	YLIU	11/02/2015	本文档版本号为 Rev*A, 译自英文版 001-46319 Rev*R。

21. 销售、解决方案和法律信息

21.1 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与功率控制	cypress.com/go/powerpsoc
	cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2008-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。