

产品特性

HART兼容完全集成FSK调制解调器
1200 Hz和2200 Hz正弦偏移频率
接收模式下最大电源电流为115 μ A
适合本质安全型应用集成了接收带通滤波器
所需外部元件极少
针对各种系统配置进行时钟优化
超低功耗晶振(最大值为60 μ A)
外部CMOS时钟源
集成精密振荡器(仅限AD5700-1)
缓冲HART输出—额外驱动能力
8 kV HBM ESD额定值
2 V至5.5 V电源供电
1.71 V至5.5 V接口
工作温度范围: -40 $^{\circ}$ C至+125 $^{\circ}$ C
封装: 4 mm x 4 mm LFCSP
兼容HART物理层
UART接口

应用

现场发射机
HART多路复用器
PLC和DCS模拟I/O模块
HART网络连接

概述

AD5700/AD5700-1均为单芯片解决方案,设计用作HART[®]FSK半双工调制解调器,符合HART物理层要求。这些器件集成所有必要的滤波、信号检测、调制、解调和信号生成功能,因此所需外部元件极少。AD5700-1上集成0.5%精密振荡器,可极大节省电路板空间,因此非常适合主机和从机配置下的线路供电应用。AD5700/AD5700-1的最大电源功耗为115 μ A,因此是低功耗环路供电型应用的最佳选择。发射波形为相位连续1200 Hz和2200 Hz正弦波。AD5700/AD5700-1内置精密载波检测电路,采用标准UART接口。

表1. 相关产品

产品型号	描述
AD5755-1	四通道、16位、串行输入、4 mA至20 mA和电压输出DAC,提供动态电源控制和HART连接
AD5421	16位、串行输入、环路供电、4 mA至20 mA DAC
AD5410/ AD5420	单通道、12/16位、串行输入、4 mA至20 mA电流源DAC
AD5412/ AD5422	单通道、12/16位、串行输入、内置电流源和电压输出DAC

功能框图

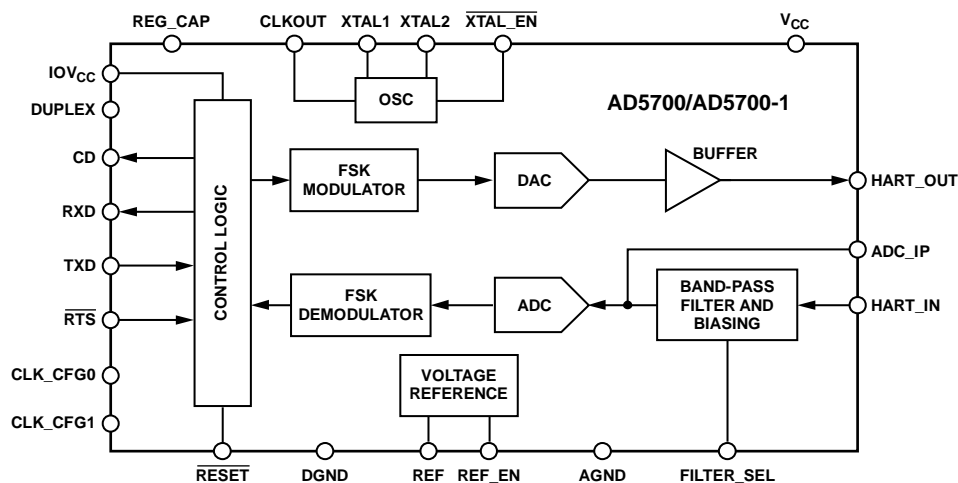


图1

目录

产品特性	1	FSK调制器	13
应用	1	连接到HART_OUT	14
概述	1	FSK解调器	14
功能框图	1	连接到HART_IN或ADC_IP	14
修订历史	2	时钟配置	15
技术规格	3	电源电流计算	16
时序特性	5	省电模式	16
绝对最大额定值	6	全双工操作	16
热阻	6	应用信息	17
ESD警告	6	电源去耦	17
引脚配置和功能描述	7	瞬变电压保护	17
典型性能参数	9	典型连接图	18
术语	12	外形尺寸	21
工作原理	13	订购指南	21

修订历史

2012年7月—修订版A至修订版B

删除表2中的 V_{CC} 和 IOV_{CC} 功耗文本	3
表2增加内部振荡器和外部时钟参数	4
更改表3的 t_2 描述和尾注2	5
更改表6的 IOV_{CC} 描述	7
增加“电源电流计算”部分	16
增加“瞬变电压保护”部分、图26和图27；重新排序	17
更改“典型连接图”部分	18
更改图29	19
更改图30	20
更新外形尺寸	21

2012年4月—修订版0至修订版A

更改表2中的发射阻抗参数 (\overline{RTS} 低电平)	4
更改图3、图4、图5和图7	9
更改图10和图11	10
通篇将AD5755更改为AD5755-1	17
更改图27	18

2012年2月—修订版0：初始版

技术规格

除非另有说明， $V_{CC} = 2\text{ V}$ 至 5.5 V ； $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V ； $AGND = DGND$ ；CLKOUT禁用；HART_OUT带有 5 nF 负载；采用内部和外部接收滤波器；内置基准电压源；所有规格均相对于 -40°C 至 $+125^{\circ}\text{C}$ 而言，且与A和B型号有关。

表2.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电源要求 ²					
V_{CC}	2		5.5	V	
IOV_{CC}	1.71		5.5	V	
V_{CC} 和 IOV_{CC} 功耗					
解调器		86	115	μA	B型、外部时钟、 -40°C 至 $+85^{\circ}\text{C}$
			179	μA	B型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$
		69	97	μA	B型、外部时钟、 -40°C 至 $+85^{\circ}\text{C}$ 、外部基准电压源
			157	μA	B型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$ 、外部基准电压源
调制器			260	μA	A型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$
		124	140	μA	B型、外部时钟、 -40°C 至 $+85^{\circ}\text{C}$
			193	μA	B型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$
		73	96	μA	B型、外部时钟、 -40°C 至 $+85^{\circ}\text{C}$ 、外部基准电压源
			153	μA	B型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$ 、外部基准电压源
			270	μA	A型、外部时钟、 -40°C 至 $+125^{\circ}\text{C}$
晶振 ³		33	60	μA	外部晶振、XTAL1和XTAL2处具有 16 pF 负载
		44	71	μA	外部晶振、XTAL1和XTAL2处具有 36 pF 负载
内部振荡器 ⁴		218	285	μA	仅限AD5700-1、无需外部晶振
省电模式					$\overline{\text{RESET}} = \text{REF_EN} = \text{DGND}$
		16	35	μA	内部基准电压源禁用、 -40°C 至 $+85^{\circ}\text{C}$
			75	μA	内部基准电压源禁用、 -40°C 至 $+125^{\circ}\text{C}$
内部基准电压源					
内部基准电压	1.47	1.5	1.52	V	$\text{REF_EN} = \text{IOV}_{CC}$ 以便支持使用内部基准电压源
负载调整率		18		ppm/ μA	利用 $50\text{ }\mu\text{A}$ 负载测试
可选的外部基准电压源					
外部基准输入电压	2.47	2.5	2.53	V	$\text{REF_EN} = \text{DGND}$ 以便支持使用外部基准电压源、 $V_{CC} = 2.7\text{ V}$ (最小值)
外部基准输入电流					
解调器		16	21	μA	接收模式下外部基准电压源所需的电流
调制器		28	33	μA	发射模式下外部基准电压源所需的电流
内部振荡器		5.5	7	μA	使用内部振荡器时外部基准电压源所需的电流
掉电		4.6	8.6	μA	
数字输入					
V_{IH} , 输入高电压	$0.7 \times IOV_{CC}$			V	
V_{IL} , 输入低电压			$0.3 \times IOV_{CC}$	V	
输入电流	-0.1		+0.1	μA	
输入电容 ⁵		5		pF	每引脚

AD5700/AD5700-1

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
数字输出					
V_{OH} , 输出高电压	$IOV_{CC} - 0.5$			V	
V_{OL} , 输出低电压			0.4	V	
CD置位 ⁶	85	100	110	mV p-p	
HART_IN输入 ⁵					
输入电压范围	0		REF	V	外部基准电压源
	0		1.5	V	使能内部基准电压源
HART_OUT输出					
输出电压	459	493	505	mV p-p	交流耦合(2.2 μ F)、在HART_OUT引脚具有160 Ω 负载(最差负载情况下)时测得、HART_OUT电压与负载的关系参见图15和图16
传号频率 ⁷		1200		Hz	内部振荡器
空号频率 ⁷		2200		Hz	内部振荡器
频率误差	-0.5		+0.5	%	内部振荡器、-40°C至+85°C
	-1		+1	%	内部振荡器、-40°C至+125°C
相位连续性误差 ⁵			0	度	
最大负载电流 ⁵		160		Ω	最差负载为160 Ω 、以2.2 μ F进行交流耦合、驱动阻性负载时, 建议配置参见图19
发射阻抗		7		Ω	RTS 低电平、在HART_OUT引脚处
		70		k Ω	RTS 高电平、在HART_OUT引脚处
内部振荡器					
频率	1.2226	1.2288	1.2349	MHz	-40°C 至 +85°C
	1.2165	1.2288	1.2411	MHz	-40°C 至 +125°C
外部时钟					
外部时钟源频率	3.6496	3.6864	3.7232	MHz	

¹ 温度范围: -40°C至+125°C; 25°C(典型值)。

² 功耗规格基于电流平均值。

³ 解调器和调制器电流规格为采用外部时钟时的情况。如果采用外部晶振, 则必须将晶振电流规格加到对应的 V_{CC} 和 IOV_{CC} 解调器/调制器电流规格中, 以获得此模式下所需的总电源电流。

⁴ 解调器和调制器电流规格为采用外部时钟时的情况。如果采用内部振荡器, 则必须将内部振荡器电流规格加到对应的 V_{CC} 和 IOV_{CC} 解调器/调制器电流规格中, 以获得此模式下所需的总电源电流。

⁵ 通过设计和表征保证, 未经生产测试。

⁶ 规格设置假定输入端处采用包含前同步码字符的正弦波输入信号, 并采用理想的外部滤波器(见图21)。

⁷ 如果不使用内部振荡器, 则频率精度取决于所用晶振或时钟源的精度。

时序特性

除非另有说明， $V_{CC} = 2\text{ V}$ 至 5.5 V ， $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V ， T_{MIN} 至 T_{MAX} 。

表3

参数 ¹	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
t ₁	1	位时间 ² (最大值)	载波起始时间。从 \overline{RTS} 下降沿到载波抵达其第一个波峰的时间。参见图3。
t ₂	1	位时间 ² (最大值)	载波停止时间。从 \overline{RTS} 上升沿到载波幅度降至最小接收幅度以下的时间。
t ₃	1	位时间 ² (最大值)	载波衰减时间。从 \overline{RTS} 上升沿到载波幅度降至交流零的时间。参见图4。
t ₄	6	位时间 ² (最大值)	载波检测开启。从载波开启到CD上升沿的时间。参见图5。
t ₅	6	位时间 ² (最大值)	载波检测关闭。从载波关闭到CD下降沿的时间。参见图6。
t ₆	10	位时间 ² (最大值)	在载波恒定有效情况下，从发射模式切换为接收模式时载波检测开启。从 \overline{RTS} 上升沿到CD上升沿的时间。参见图7。
t ₇	2.1	ms(典型值)	晶振上电时间。在 V_{CC} 处施加有效电源电压或通过 $\overline{XTAL_EN}$ 引脚使能振荡器时。晶振负载电容 = 8 pF。
t ₈	6	ms(典型值)	晶振上电时间。晶振负载电容 = 18 pF。
t ₉	25	μs(典型值)	内部振荡器上电时间。在 V_{CC} 处施加有效电源电压或通过CLK_CFG0和CLK_CFG1引脚使能振荡器时。
t ₁₀	10	ms(典型值)	基准电压源上电时间。
t ₁₁	30	μs(典型值)	从省电模式到正常工作模式的转换时间(外部时钟源、外部基准电压源)。

¹ 此处规格适用于采用内部或外部接收滤波器的AD5700/AD5700-1。

² 位时间为传输一位数据所需的时间长度(1个位时间 = 1/1200 Hz = 833.333 μs)。

AD5700/AD5700-1

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
V_{CC} 至 GND	-0.3 V 至 +7 V
IOV_{CC} 至 GND	-0.3 V 至 +7 V
数字输入至DGND	-0.3 V至 $IOV_{CC} + 0.3$ V 或+7 V(取较小者)
数字输出至DGND	-0.3 V至 $IOV_{CC} + 0.3$ V 或+7 V(取较小者)
HART_OUT 至 AGND	-0.3 V 至 +2.5 V
HART_IN 至 AGND	-0.3 V至 $V_{CC} + 0.3$ V 或+7 V(取较小者)
ADC_IP	-0.3 V至 $V_{CC} + 0.3$ V 或+7 V(取较小者)
AGND 至 DGND	-0.3 V 至 +0.3 V
T_A 工业温度范围	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温(T_{JMAX})	150°C
功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
引脚温度, 焊接	JEDEC工业标准J-STD-020
ESD	
人体模型(ANSI/ESDA/ JEDEC JS-001-2010)	8 kV
场感应充电模型 (JEDEC JESD22_C101E)	1.5 kV
机器模型(ANSI/ESD S5.2-2009)	400 V

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件; 即器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
24引脚LFCSP	30	3	$^\circ\text{C}/\text{W}$

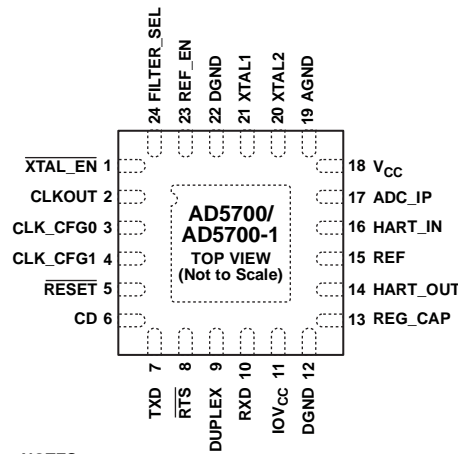
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PADDLE SHOULD BE CONNECTED TO AGND OR DGND, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

10435-002

图2. AD5700/AD5700-1引脚配置

表6. AD5700/AD5700-1引脚功能描述

引脚编号	引脚名称	描述
1	XTAL_EN	晶振电路使能。低电平状态使能晶振电路，并需要外部晶振。高电平状态禁用晶振电路，并由外部时钟源或内部振荡器(仅限AD5700-1)提供时钟源。此引脚应与CLK_CFG0和CLK_CFG1引脚一同使用来配置所需的时钟产生方案。
2	CLKOUT	时钟输出。如果采用晶振或内部RC振荡器，则可以在CLKOUT引脚处配置时钟输出。使能时钟输出会消耗额外电流来驱动此引脚上的负载。详情见CLKOUT部分。
3	CLK_CFG0	时钟配置控制。参见表7。
4	CLK_CFG1	时钟配置控制。参见表7。
5	复位	低电平有效数字输入。使RESET处于低电平可将AD5700/AD5700-1置于省电模式。RESET上出现高电平时，AD5700/AD5700-1即返回到上电状态。如果不使用，此引脚可以接IOV _{CC} 。
6	CD	载波检测—数字输出。CD高电平表示检测到有效载波。
7	TXD	发射数据—数字输入。调制器的数据输入。
8	RTS	请求发送—数字输入。高电平状态使能解调器并禁用调制器。低电平状态使能调制器并禁用解调器。
9	DUPLEX	此引脚处于高电平状态时使能全双工操作。参见“工作原理”部分。低电平状态禁用此功能。
10	RXD	接收数据—UART接口数字数据输出。可通过此引脚访问解调器的数据输出。
11	IOV _{CC}	数字接口电源。数字阈值电平参考施加于此引脚的电压。可施加1.71 V至5.5 V范围内的电压。IOV _{CC} 应通过低ESR 10 μF和0.1 μF电容去耦至地(参见“电源去耦”部分)。
12	DGND	数字电路接地基准连接。对于典型工作模式，建议将此引脚连接到AGND。
13	REG_CAP	内部电压调节器的电容连接。应将一个1 μF电容连接在此引脚与地之间。
14	HART_OUT	HART FSK信号输出。典型连接参见“FSK调制器”部分和图28。
15	REF	内部基准电压输出或外部2.5 V基准电压输入。应将一个1 μF电容连接在此引脚与地之间。采用外部基准电压源供电时，V _{CC} 电源电压最低应为2.7 V。
16	HART_IN	HART FSK信号。使用内部滤波器时，应使用2.2 nF串联电容将HART输入信号耦合至此引脚。如果使用图21所示的外部带通滤波器，则不要连接到此引脚。
17	ADC_IP	如果使用内部带通滤波器，应将680 pF电容连接到此引脚。或者，可将此引脚直接连接到ADC输入端，这种情况下必须使用外部带通滤波器网络，如图21所示。
18	V _{CC}	电源输入引脚。此引脚可以施加2 V至5.5 V电压。V _{CC} 应通过低ESR 10 μF和0.1 μF电容去耦至地(参见“电源去耦”部分)。

AD5700/AD5700-1

引脚编号	引脚名称	描述
19	AGND	模拟电路接地基准连接。
20	XTAL2	外部3.6864 MHz晶振连接。如果使用内部RC振荡器(仅限AD5700-1)或外部时钟源, 则不连接到此引脚。
21	XTAL1	外部3.6864 MHz晶振或外部时钟源输入连接。如果使用内部RC振荡器(仅限AD5700-1), 则应将此引脚接地。
22	DGND	数字电路接地基准连接。对于典型工作模式, 建议将此引脚连接到AGND。
23	REF_EN	基准电压源使能。高电平状态使能内部1.5 V基准电压源和缓冲器。低电平状态禁用内部基准电压源和输入缓冲器, 并必须在REF处施加2.5 V外部缓冲基准电压源。如果REF_EN接低电平, V_{CC} 必须大于2.7 V。
24	FILTER_SEL	带通滤波器选择。高电平状态使能内部滤波器, 此时HART信号应施加到HART_IN引脚。低电平状态禁用内部滤波器, 此时必须在ADC_IP输入引脚上连接外部带通滤波器。这种情况下, HART信号应施加到ADC_IP引脚。
EPAD	AGND	模拟接地基准连接。对于典型工作模式, 建议将此引脚连接到AGND。

典型性能参数

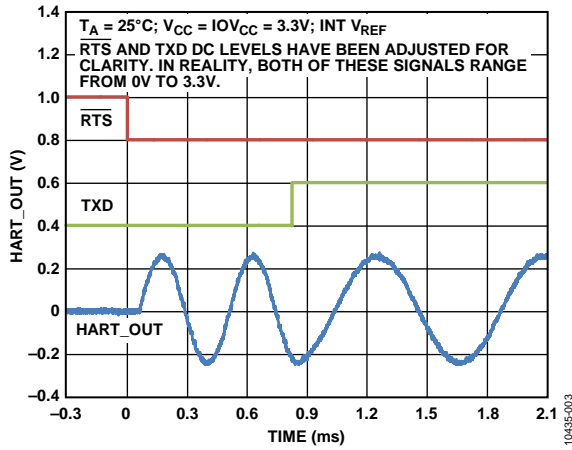


图3. 载波起始时间

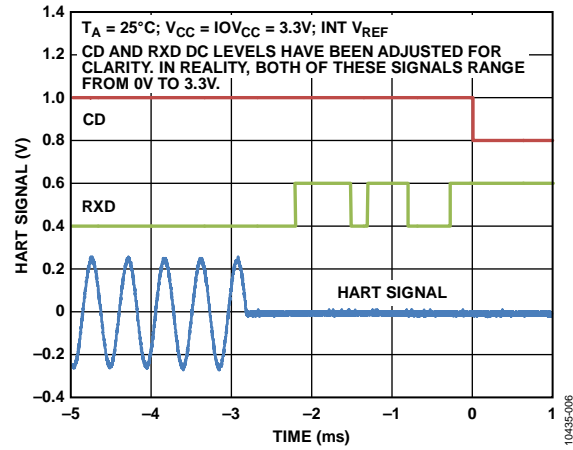


图6. 载波检测关闭时序

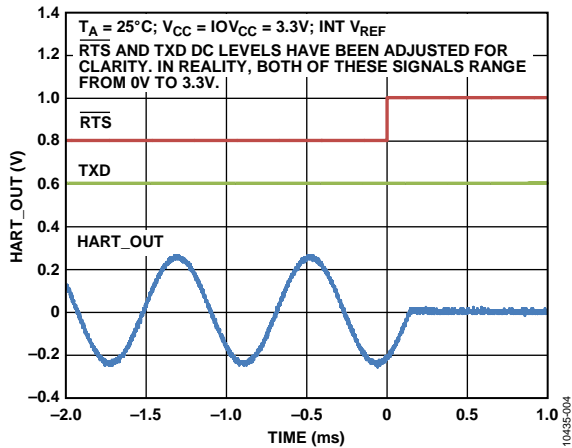


图4. 载波停止/衰减时间

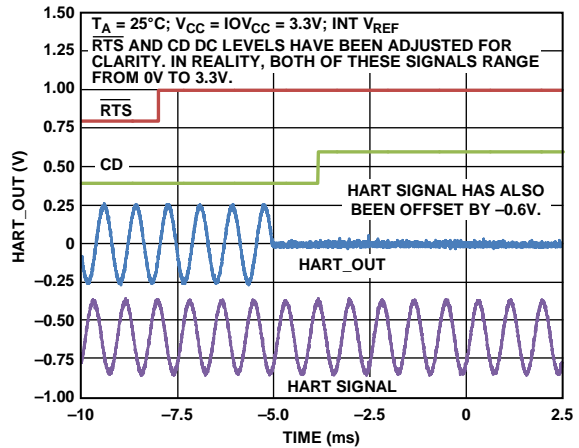


图7. 在载波恒定有效情况下，从发射模式切换为接收模式时载波检测开启

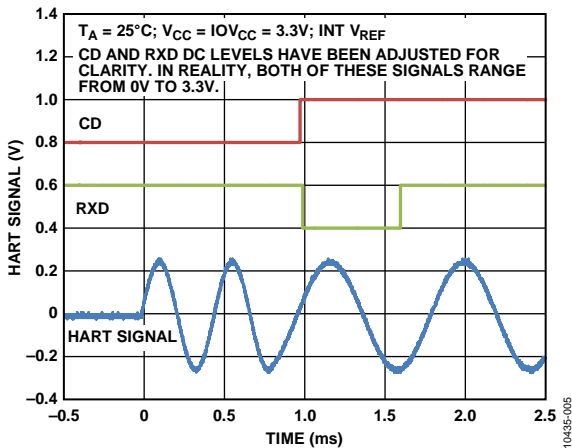


图5. 载波检测开启时序

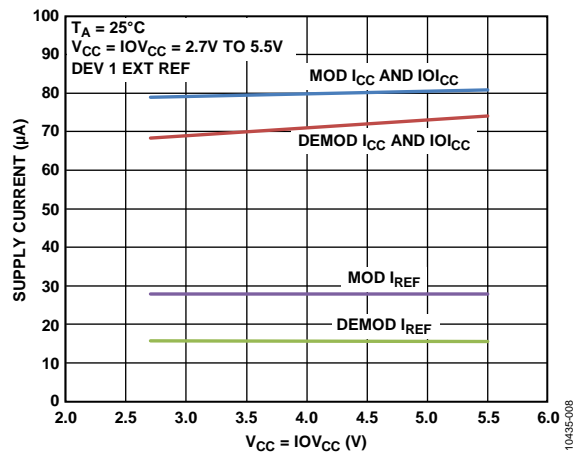


图8. 电源电流与电源电压的关系—外部基准电压源

AD5700/AD5700-1

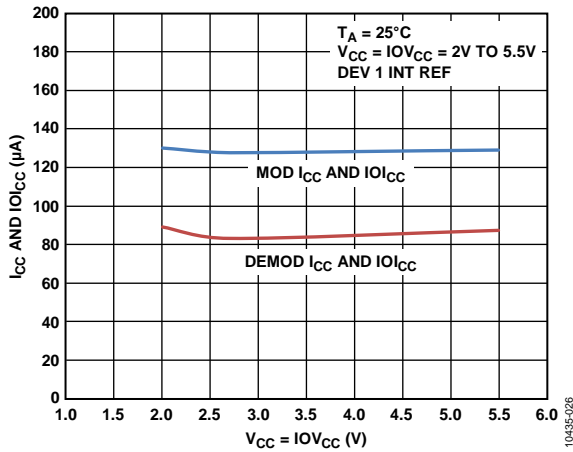


图9. 电源电流与电源电压的关系—内部基准电压源

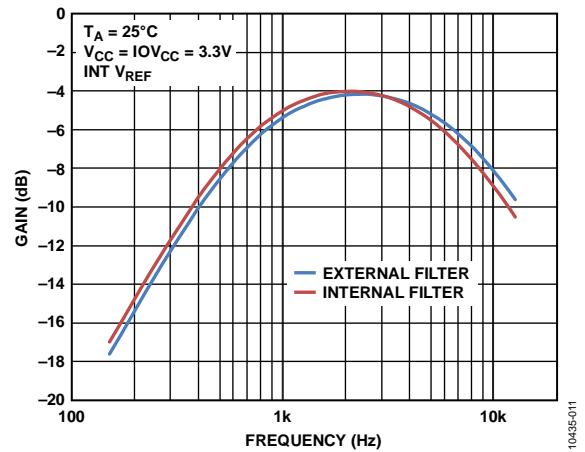


图12. 输入滤波器频率响应

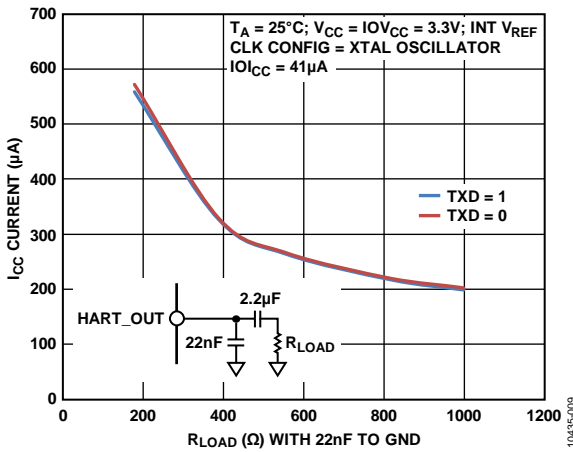


图10. 发射模式下电流与阻性负载的关系

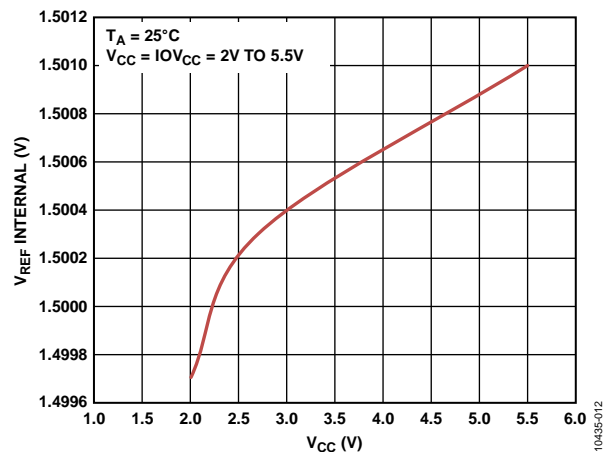


图13. 基准电压与Vcc的关系

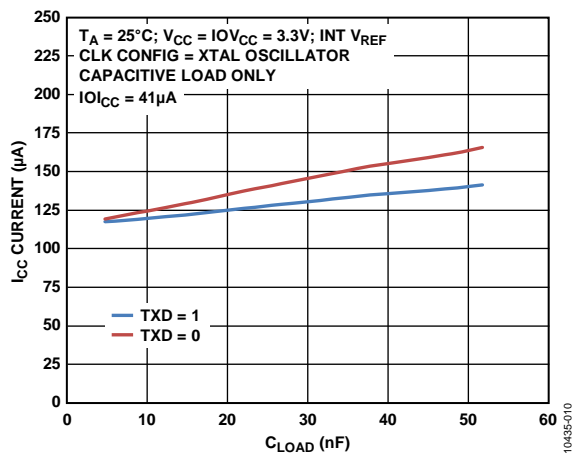


图11. 发射模式下电流与容性负载的关系

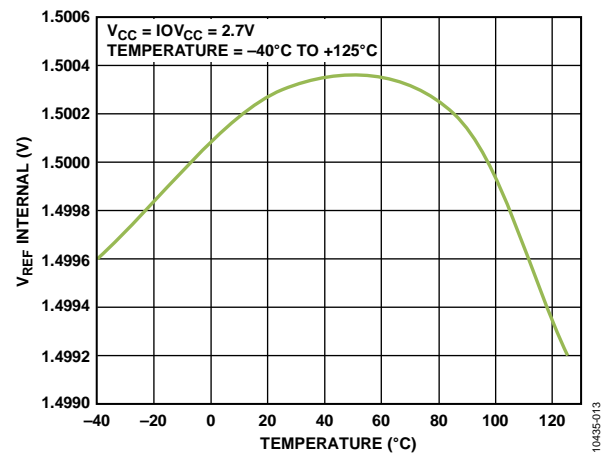


图14. 基准电压与温度的关系

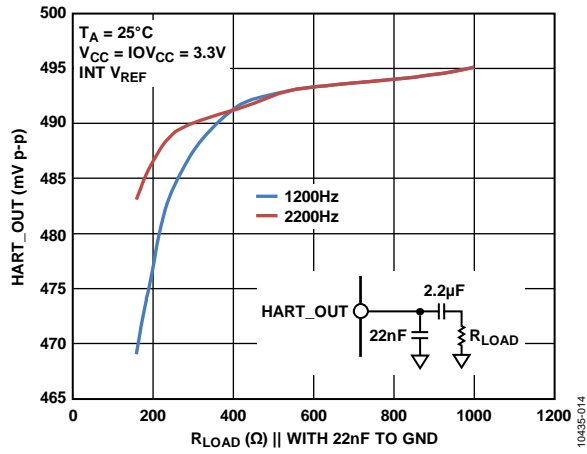


图15. HART_OUT电压与 R_{LOAD} 的关系

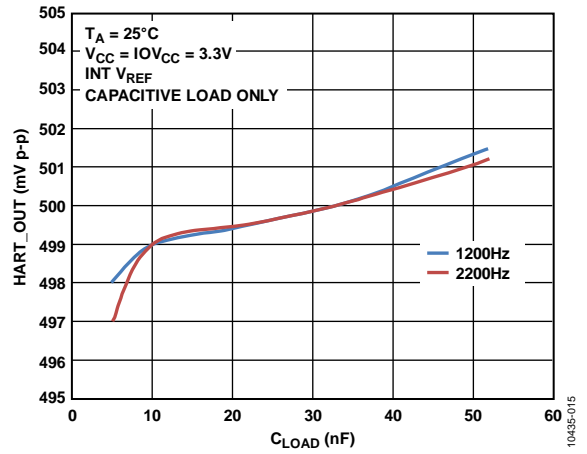


图16. HART_OUT电压与 C_{LOAD} 的关系

术语

V_{CC}和IOV_{CC}功耗

此规格是V_{CC}和IOV_{CC}电源的功耗之和。图11显示了发射模式下不同容性负载所对应的独立V_{CC}和IOV_{CC}电流测量结果。

负载调整率

负载调整率是由额定负载电流变化所致的基准输出电压变化，用ppm/ μ A表示。

CD置位

载波检测信号置位的最小值为85 mV p-p，最大值则为110 mV p-p。当HART输入信号大于110 mV p-p时，CD已处于高电平(置位)。此规格设置假定输入端采用包含前同步码的正弦波输入信号并采用理想的外部滤波器(见图21)

HART_OUT输出电压

这是峰峰值HART_OUT输出电压。表2中的该规格采用最差负载160 Ω 且利用2.2 μ F电容进行交流耦合来设置。图15和图16显示了阻性负载和纯容性负载条件下的HART_OUT输出电压。

传号/空号频率

1.2 kHz信号表示数字1(即传号)，2.2 kHz信号则表示0(即空号)。

相位连续性误差

本设计中的DDS引擎本身会产生连续相位信号，因此在频率之间切换时应避免出现任何输出不连续。当信号要通过带宽受限的频段发送时，需要注意此属性，因为信号中的不连续性会引入宽带频率成分。顾名思义，要使信号保持连续，相位连续性误差必须为0°。

工作原理

可寻址远程传感器高速通道(HART)通信是一种全球标准,可通过模拟线路在智能现场设备和控制系统间传送和接收数字信息。这是一种数字双向通信系统,其在4 mA至20 mA模拟电流信号之上调制一个1 mA p-p频移键控(FSK)信号。**AD5700/AD5700-1**设计用作单芯片、低功耗、HART FSK半双工调制解调器,符合HART物理层要求(修订版8.1)。

AD5700/AD5700-1均为单芯片解决方案,不仅继承调制和解调功能,而且还内置基准电压源、接收带通滤波器(可根据需要灵活地进行旁路)和缓冲HART输出,能够提供高输出驱动能力且无需外部缓冲。**AD5700-1**选项还包含精密内部RC振荡器。图1中的框图显示了这些电路模块是如何连接在一起的。由于具有这样丰富的集成选项,因此所需外部元件极少。**AD5700/AD5700-1**非常适合HART现场仪表和主机配置。

AD5700/AD5700-1能够发射或接收1.2 kHz和2.2 kHz载波信号。1.2 kHz信号表示数字1(即传号),2.2 kHz信号则表示0(即空号)。这些器件主要支持三种时钟配置,其中**AD5700**选项上支持其中两种配置,而**AD5700-1**器件上支持全部三种配置:

- 外部晶振
- CMOS时钟输入
- 内部RC振荡器(仅限**AD5700-1**)

器件通过一个标准UART接口进行控制。相关信号为RTS、CD、TXD和RXD(有关各个引脚描述的更多详细信息,请参见表6)。

FSK调制器

调制器将TXD输入端的UART编码HART数据位流转换成一系列1200 Hz和2200 Hz信号音(见图17)。此正弦波信号在内部进行缓冲并在HART_OUT引脚上输出。调制器通过将RTS信号拉低来使能。

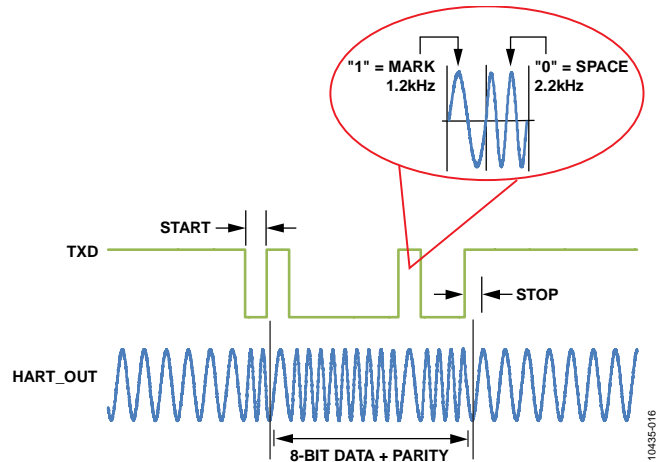


图17. AD5700/AD5700-1调制器波形

调制器模块包含一个DDS引擎,后者会产生数字格式的1.2 kHz或2.2 kHz正弦波并接着执行数模转换。该DDS引擎本身会产生连续相位信号,因此在频率之间切换时应避免出现任何输出不连续。有关DDS基本原理的更多信息,请参见MT-085“直接数字频率合成(DDS)基本原理”。图18展示了这种FSK编码方案的一种简单实现方法。

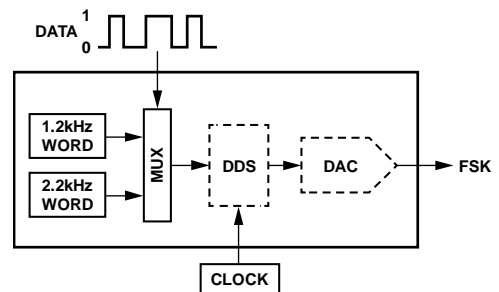


图18. 基于DDS的FSK编码器

AD5700/AD5700-1

连接到HART_OUT

HART_OUT引脚直流偏置至0.75 V，并应容性耦合至负载。表2中的功耗规格基于驱动5 nF负载的情况。如果应用要求采用更大的负载值，则所需电流更多。可通过下式计算该值：

$$I_{TOTAL} = I_{AD5700} + I_{LOAD\ RMS}$$

$$I_{LOAD\ RMS} = \frac{500\text{ mV}}{4\sqrt{2} \times \sqrt{\left(\frac{1}{2\pi \times f \times C_{LOAD}}\right)^2 + R_{LOAD}^2}} \quad (1)$$

其中：

I_{AD5700} 是发射模式下依据规格而确定的AD5700/AD5700-1功耗(见表2)。注意，表2中的规格假定 C_{LOAD} 为5 nF。

f 为输出频率(1.2 kHz或2.2 kHz)。

C_{LOAD} 为HART_OUT和地之间连接的容性负载。

R_{LOAD} 为环路上的阻性负载。

驱动纯容性负载时，负载应位于5 nF至52 nF范围内。图11显示了电源电流与容性负载的典型关系图。

示例

假定使用内部基准电压源且 $C_{LOAD} = 52\text{ nF}$ 。

$$I_{CC} + IOI_{CC} = 140\ \mu\text{A} \text{ (最大值, 根据表2中的规格)}$$

注意，这里集成一个5 nF负载。

因此，要计算出驱动额外47 nF所需的负载电流，请使用公式1。

将 $f = 1200\text{ Hz}$ 、 $C_{LOAD} = 47\text{ nF}$ 和 $R_{LOAD} = 0\ \Omega$ 带入公式即可得到 I_{LOAD} 为62.6 μA 。

如果使用晶振，这会导致电流最高增加60 μA (具体条件参见表2)。

因此，此示例中最差情况下的总电流为：

$$140\ \mu\text{A} + 62.6\ \mu\text{A} + 60\ \mu\text{A} = 262.6\ \mu\text{A}$$

如果要驱动带有阻性元件的负载，建议在HART_OUT引脚和地之间连接一个22 nF电容。负载应通过一个2.2 μF 串联电容进行耦合。对于低阻抗器件， R_{LOAD} 范围通常为230 Ω 至600 Ω 。

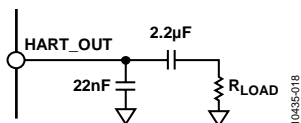


图19. HART_OUT处带有阻性负载时的AD5700/AD5700-1

FSK解调器

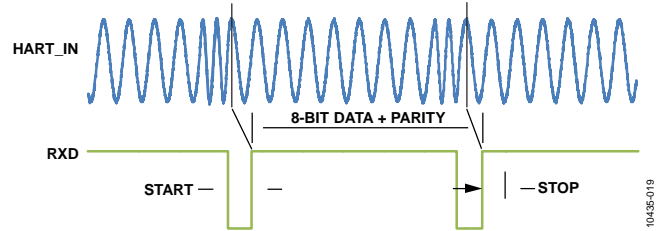


图20. AD5700/AD5700-1解调器波形(前同步码消息0xFF)

当RTS处于逻辑高电平时，调制器禁用，解调器使能，也就是说AD5700/AD5700-1处于接收模式。CD高电平表示检测到有效载波。解调器接收HART_IN引脚上的FSK信号并在UART接口数字数据输出引脚RXD上恢复经过调制的原始信号。通过结合利用ADC、数字滤波和数字解调，使得可在RXD引脚处获得高度精确的输出。HART位流之前是一个标准UART帧，该帧包含一个起始位、8位数据、一个奇偶校验和一个停止位(见图20)。

连接到HART_IN或ADC_IP

AD5700/AD5700-1提供两种滤波器配置选项：外部滤波器(HART信号施加到ACP_IP)和内部滤波器(HART信号施加到HART_IN)。

外部滤波器配置如图21所示。这种情况下，HART信号通过外部滤波器电路施加到ADC_IP引脚。在安全至关重要的应用中，AD5700/AD5700-1必须与环路电源的高电压隔离开来。建议采用包含150 k Ω 电阻的外部带通滤波器，这样可以将电流限制在足够低水平，以满足本质安全要求。这种情况下，输入端具有更高的瞬态电压保护功能，因此即使在要求最苛刻的工业环境中，也无需额外的保护电路。假设使用1%精密电阻和10%精密电容元件，则计算得出的CD跳变电压电平与理想值相差 $\pm 3.5\text{ mV}$ 。

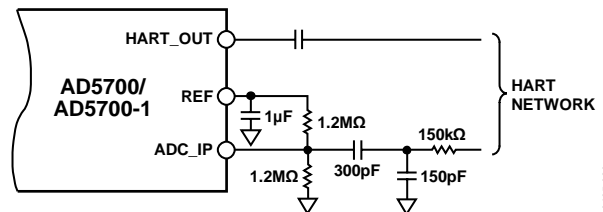


图21. 在ADC_IP上连接外部滤波器时的AD5700/AD5700-1

内部滤波器配置如图22所示。由于省去了多个外部元件，因此该选项对非常注重成本或电路板空间的应用特别有利。此配置可实现8 kV ESD HBM额定值，但如果要在苛刻的工业环境中使用，则需要额外的外部保护电路来提供EMC和电涌保护。

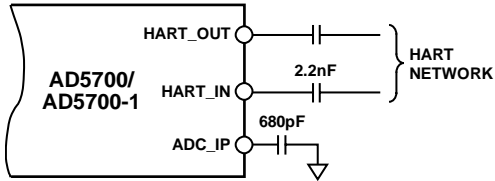


图22. 在HART_IN上使用内部滤波器时的AD5700/AD5700-1

时钟配置

AD5700/AD5700-1支持多种时钟配置，以便实现成本和功率之间的最佳权衡：

- 外部晶振
- CMOS时钟输入
- 内部RC振荡器(仅限AD5700-1)

CLK_CFG0、CLK_CFG1和XTAL_EN引脚配置时钟产生，如表7所示。AD5700/AD5700-1还可以在CLKOUT处提供时钟输出(详见CLKOUT部分)。

外部晶振

外部晶振(ABLS-3.6864MHZ-L4Q-T)的典型连接如图23所示。为了确保功耗保持最低水平并尽可能减少杂散电容，晶振、电容和地之间的连接应尽量靠近AD5700/AD5700-1。欲了解建议负载信息和晶振性能规格，请向各个晶振供应商咨询。

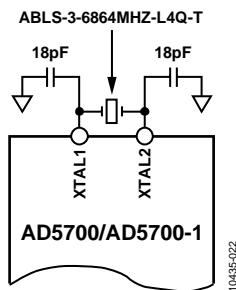


图23. 晶振连接

ABLS-3.6864MHZ-L4Q-T晶振数据手册建议采用两个18 pF电容。由于晶振功耗主要由负载电容决定，因此为了降低晶振功耗，在XTAL1和XTAL2引脚上连接了两个8 pF电容。即使因电容值较小而导致晶振频率性能下降，AD5700/AD5700-1也仍旧能正常工作。有几种晶振支持8 pF电容。建议向相关晶振制造商咨询来了解此信息。

CMOS时钟输入

CMOS时钟输入也可用于为AD5700/AD5700-1产生时钟。要使用此模式，请将外部时钟源连接到XTAL 1引脚并将XTAL 2保持为开路(见图24)。

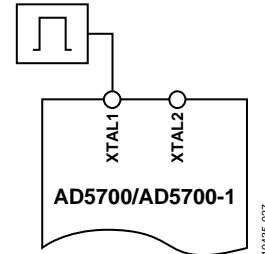


图24. CMOS时钟连接

内部振荡器(仅限AD5700-1)

内部低功耗、0.5 %精密RC振荡器(仅限AD5700-1)的典型功耗为218 μA，振荡频率为1.2288 MHz。要使用此模式，请将XTAL1引脚接地并将XTAL2引脚保持为开路(见图25)。

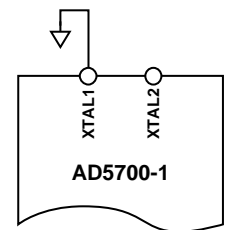


图25. 内部振荡器连接

CLKOUT

AD5700/AD5700-1可以在CLKOUT处提供时钟输出(见表7)。

- 如果使用晶振，此时钟输出可以配置为3.6864 MHz、1.8432 MHz或1.2288 MHz缓冲时钟。
- 如果使用CMOS时钟，则无法在CLKOUT引脚处配置时钟输出。
- 如果使用内部RC振荡器，此时钟输出只能为1.2288 MHz缓冲时钟。

时钟输出的幅度取决于IOV_{CC}电平；因此，时钟输出范围为1.71 V p-p至5.5 V p-p。使能AD5700/AD5700-1的时钟输出时，器件的功耗会增加。这是因为需要电流来驱动CLKOUT引脚上的负载，该负载不应大于30 pF。

应尽可能减少该电容，以降低功耗并提供具有最干净边缘的时钟。从IOV_{CC}电源获取的额外电流可以通过下式计算得出：

$$I = C \times V \times f$$

AD5700/AD5700-1

表7. 时钟配置选项

XTAL_EN	CLK_CFG1	CLK_CFG0	CLKOUT	描述
1	0	0	无输出	XTAL1引脚上连接3.6864 MHz CMOS时钟
1	0	1	无输出	XTAL1引脚上连接1.2288 MHz CMOS时钟
1	1	0	无输出	使能内部振荡器(仅限AD5700-1)
1	1	1	1.2288 MHz输出	使能内部振荡器且使能CLKOUT(仅限AD5700-1)
0	0	0	无输出	使能晶振
0	0	1	3.6864 MHz输出	使能晶振且使能CLKOUT
0	1	0	1.8432 MHz输出	使能晶振且使能CLKOUT
0	1	1	1.2288 MHz输出	使能晶振且使能CLKOUT

电源电流计算

表2所示的 V_{CC} 和 IOV_{CC} 功耗规格是利用内部基准电压源和外部时钟源而计算得出的。此规格相对于最高温度为85°C (115 μ A接收电流和140 μ A发射电流)和最高扩展温度为125°C (179 μ A接收电流和193 μ A发射电流)而言。或者, 如果采用外部基准电压源(假定最高温度为85°C), 接收和发射电源电流则分别变为118 μ A和129 μ A, 包括外部基准电压源所需的电流。对于最高温度为125°C的情况, 也可以进行类似计算。

如果采用晶振或内部振荡器, 则 V_{CC} 和 IOV_{CC} 功耗数据返回到115 μ A接收电流和140 μ A发射电流。不过, 现在必须考虑到晶振或内部振荡器产生的功耗; 对于晶振, 最大额外电流为60 μ A; 对于内部振荡器选项, 则最大额外电流为285 μ A。因此, 使用内部基准电压源和晶振时, 接收模式下的最大功耗为175 μ A, 发射模式下则为200 μ A。利用内部基准电压源和内部振荡器(仅限AD5700-1)时, 最大总功耗为400 μ A接收电流和425 μ A发射电流。

省电模式

AD5700/AD5700-1可通过使 $\overline{\text{RESET}}$ 引脚处于低电平来置于省电模式。如果使用内部基准电压源, 建议将REF_EN引脚连接到 $\overline{\text{RESET}}$ 引脚, 以便也关断该基准电压源。如果 $\overline{\text{RESET}}$ 处于低电平时基准电压源未关断, REF引脚上的输出电压约为1.7 V并一直保持到 $\overline{\text{RESET}}$ 被再次拉高。

在此模式下, 接收、发射和振荡器电路全部关断, 器件的典型功耗为16 μ A。

全双工操作

全双工操作意味着AD5700/AD5700-1的调制器和解调器同时使能。这是一项非常强大的功能, 可以对HART设备以及HART设备和主机控制器之间的整个信号路径执行自测操作, 从而验证本地通信环路功能是否正常。在生产自测中这种高级系统诊断功能非常有用, 能够提高应用的安全完整性(SIL)等级。全双工操作模式通过将DUPLEX引脚接逻辑高电平来使能。

应用信息

电源去耦

建议通过并联的 $10\ \mu\text{F}$ 电容和 $0.1\ \mu\text{F}$ 电容将 V_{CC} 和 IOV_{CC} 电源去耦至地。对于很多应用，仅需利用并联的 $1\ \mu\text{F}$ 电容和 $0.1\ \mu\text{F}$ 陶瓷电容去耦至地。REG_CAP电压为 $1.8\ \text{V}$ ，用于给AD5700/AD5700-1内部电路供电并利用高效时钟LDO从 V_{CC} 电源获得。应利用 $1\ \mu\text{F}$ 陶瓷电容将此REG_CAP电源去耦至地。还需要利用 $1\ \mu\text{F}$ 陶瓷电容将REF引脚去耦至地。去耦电容应尽量靠近相关引脚。

对于环路供电型应用，建议与 V_{CC} 电源串联一个电阻，以最大程度地降低任何噪声影响；AD5700/AD5700-1的吸电流波动可能会向环路中引入噪声，具体取决于系统配置。对于典型应用，经证明采用 $470\ \Omega$ 电阻时最为有效。不过，根据应用条件，也可以采用其他值(参见图29中的R1)。

瞬变电压保护

许多工业控制应用要求使用使能HART的电流输入和输出模块。图26显示了一个使能HART的电流输入模块示例，

该模块包含瞬变电压保护电路，这在恶劣工业环境中非常重要。

该模块采用 $24\ \text{V}$ 现场电流供电，并且该低阻抗模块自身包含 $250\ \Omega$ 负载。与此配置相比，图27展示了一种二级HART器件，其中负载位于该模块之外。对于瞬变电压保护，电流输入模块的连接点处放置了一个 $10\ \text{V}$ 单向(用于防范正高压瞬变)瞬变电压抑制器。既定应用电路中使用的TVS器件必须具有适合个别系统的功率额定值。选择TVS时，低漏电流也是保持模拟电流输入精度不变的一项重要规格。出现瞬变尖峰时， $22\ \Omega$ 串联电阻用作FSK输出引脚的限流电阻。FSK输入引脚由器件自身的 $150\ \text{k}\Omega$ 电阻提供保护，在FSK输入端，该电阻作为一部分构成了推荐的外部滤波器电路。由一个 $75\ \text{k}\Omega$ 电阻和一个 $22\ \text{k}\Omega$ 电阻构成的分压器用于在FSK输出开关的现场端保持 $0.75\ \text{V}$ 直流偏置。

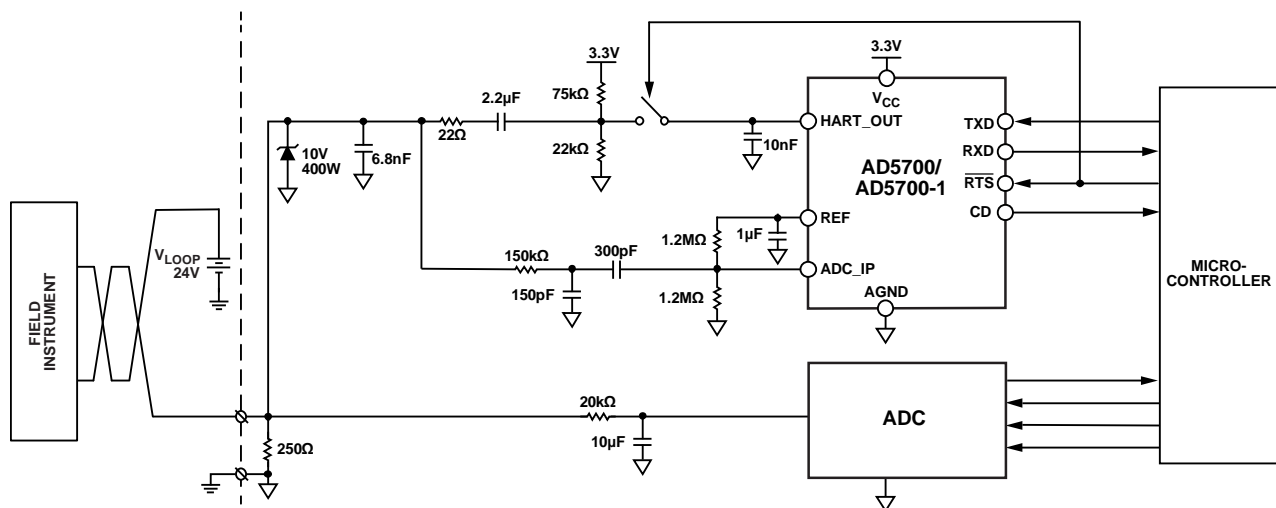


图26. 电流输入模块, HART电路

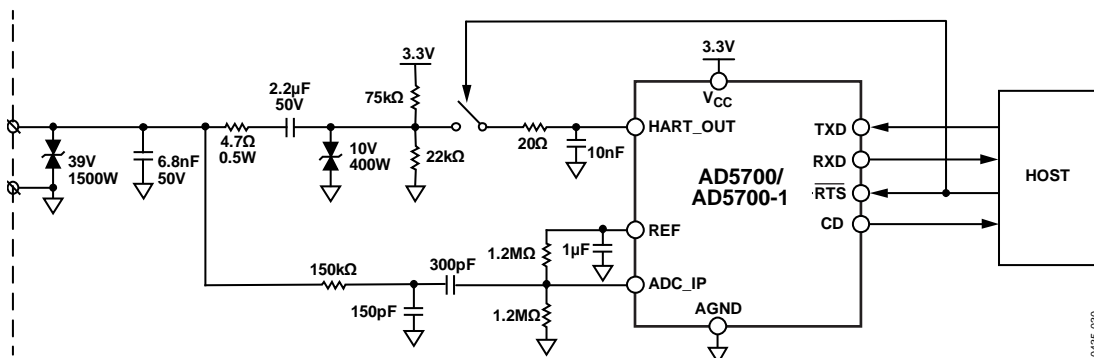


图27. 辅助HART器件

AD5700/AD5700-1

如前所述，图27显示一个二级HART器件示例，该器件集成两级保护电路。本例中，该模块内置一个双向(用于防范正负高压瞬变)TVS，用于为连接点的极性提供灵活的选择。由于此模块可以连接到电流回路上的任意点，因此可以选择较高的TVS额定值。额定值较低的第二级为AD5700/AD5700-1器件提供额外保护。

典型连接图

图28显示AD5700/AD5700-1采用外部和内部选项时的典型连接图。更多详情参见“连接到HART_IN或ADC_IP”部分。

AD5700/AD5700-1旨在与ADI公司创新性的工业转换器产品组合实现轻松接口，例如环路供电型电流输出DAC AD5421、AD5410/AD5420和AD5412/AD5422系列线路供电型电流输出DAC以及采用创新性动态功率控制技术的四通道DAC AD5755-1。ADI公司的工业转换器与

AD5700/AD5700-1相结合，极大简化了系统设计，增强了可靠性并减少了整体PCB尺寸。

图29显示AD5700/AD5700-1 HART调制解调器如何与AD5421 (4 mA至20 mA环路供电型DAC)和ADuCM360微控制器接口，以构建环路供电型发射机电路。来自HART_OUT的HART信号通过C_{IN}引脚引入AD5421。

ADI公司开发了支持HART的智能发射机参考演示电路(图30所示的框图)，该电路采用16位、环路供电、4 mA至20 mA DAC AD5421、微控制器ADuCM360和调制解调器AD5700。该电路已通过兼容性测试和验证，并注册为HART通信基金会认证的HART解决方案。欲了解此演示电路的更多信息，请于您的销售代表联系。

总之，AD5700/AD5700-1可轻松快捷地部署鲁棒的HART兼容系统。

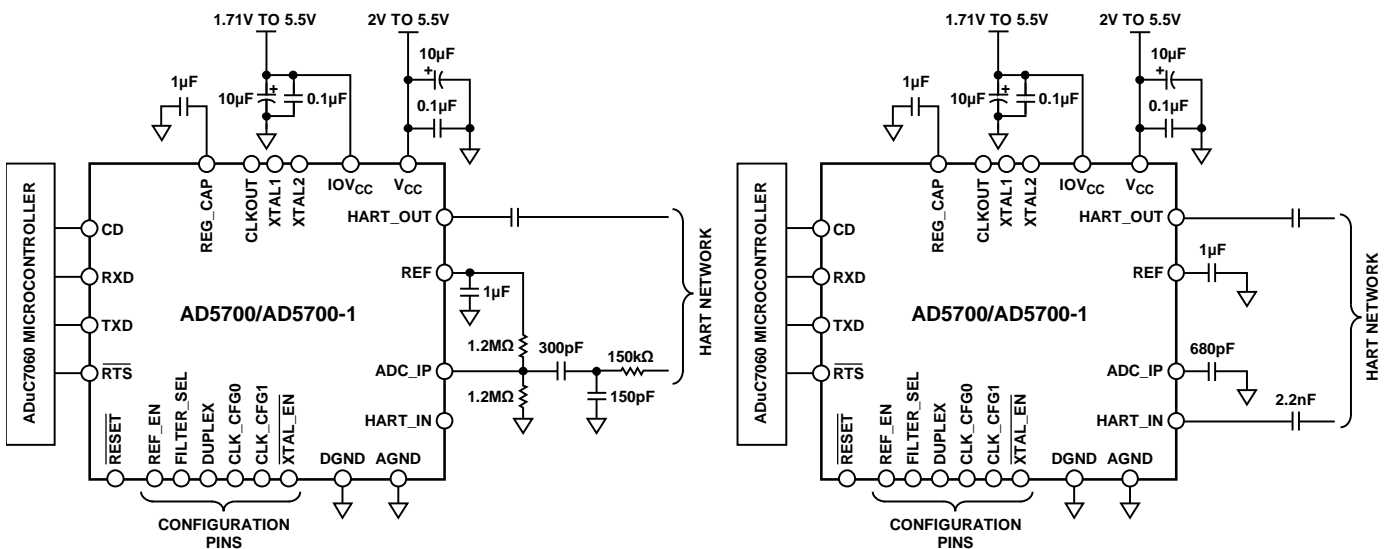


图28. AD5700/AD5700-1采用外部和内部滤波器的典型连接图

10435-023

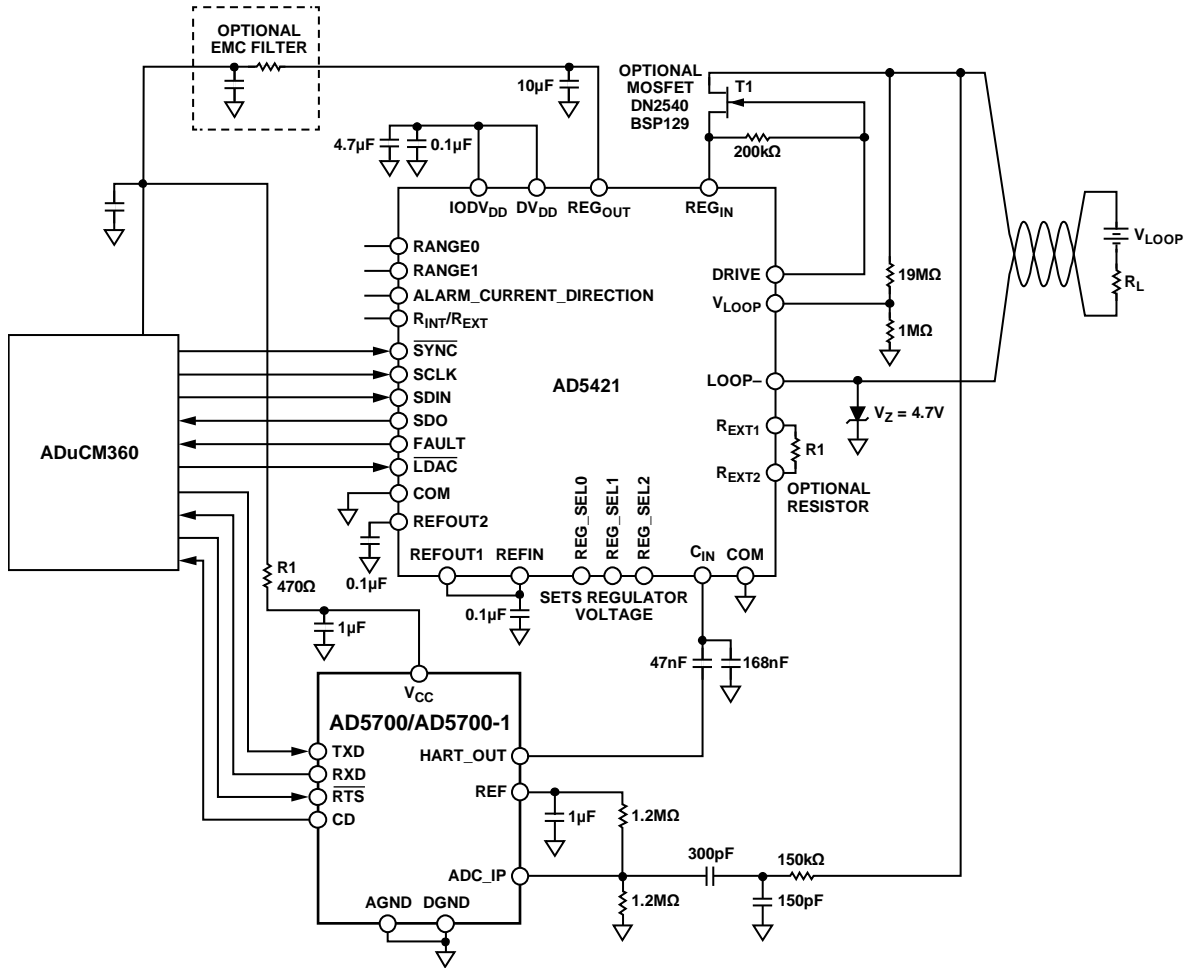


图29. 环路供电型发射机图

10435-025

AD5700/AD5700-1

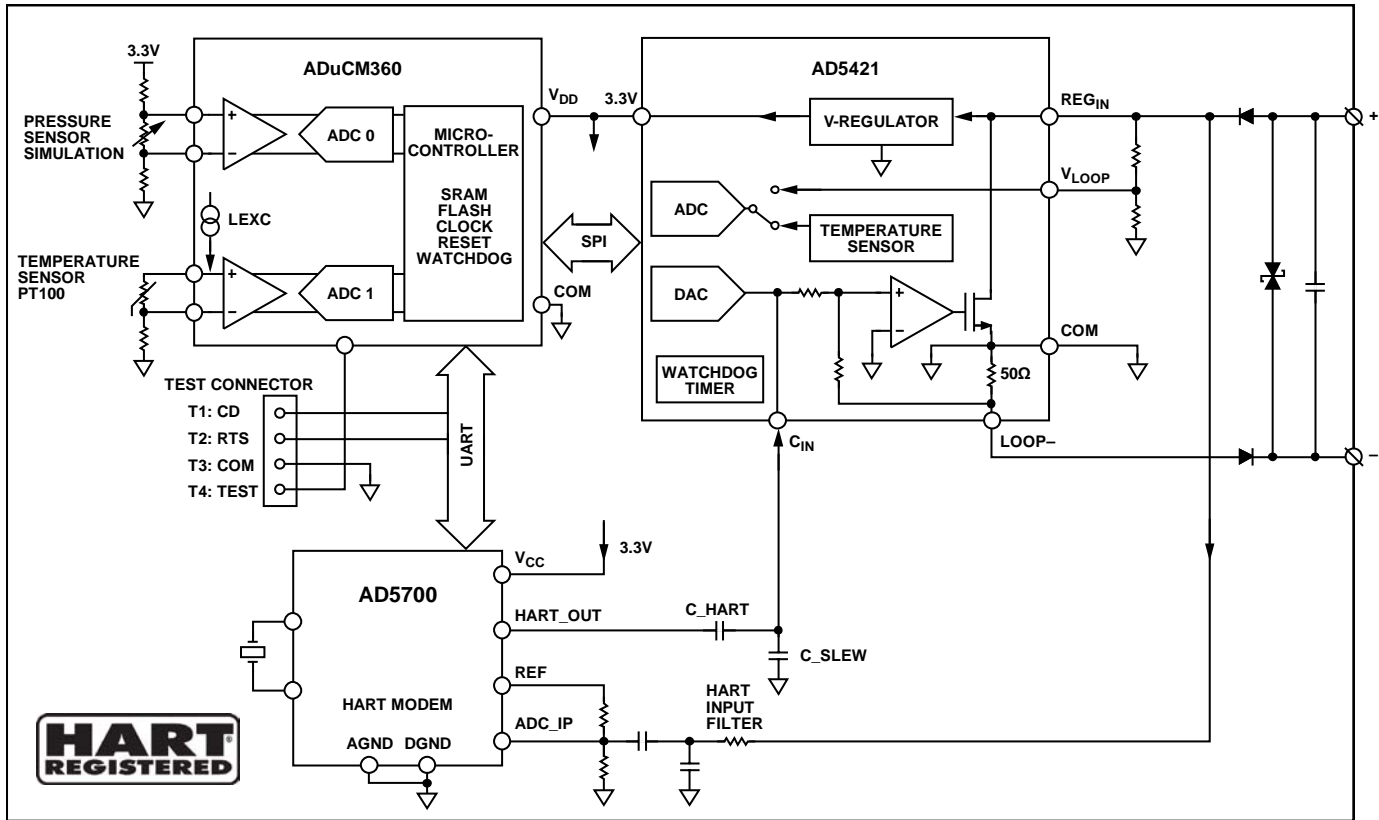
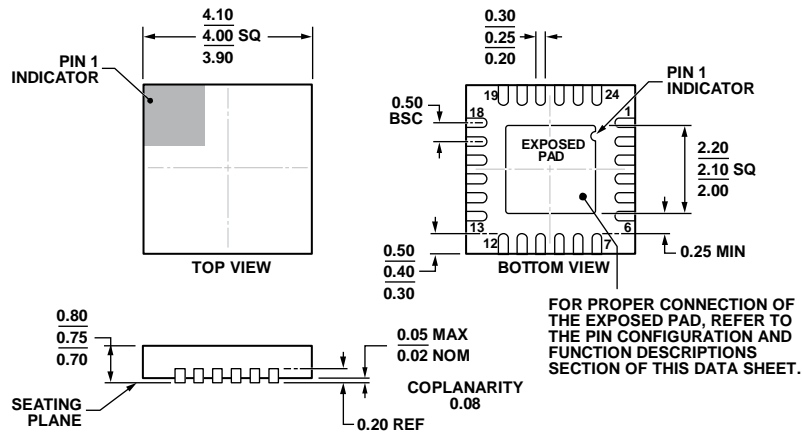


图30. 框图—ADI公司支持HART的智能发射机参考演示电路

10435-029

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8.

图31. 24引脚引线框芯片级封装[LFCSP_WQ] 4 mm × 4 mm, 超薄四方体(CP-24-10)尺寸单位: mm

06-11-2012-A

订购指南

型号 ¹	温度范围	振荡器选项	接收模式下的电源电流	封装描述	封装选项
AD5700BCPZ-R5	-40°C 至 +125°C	外部时钟、晶振	157 μA	24引脚 LFCSP_WQ	CP-24-10
AD5700BCPZ-RL7	-40°C 至 +125°C	外部时钟、晶振	157 μA	24引脚 LFCSP_WQ	CP-24-10
AD5700ACPZ-RL7	-40°C 至 +125°C	外部时钟、晶振	260 μA	24引脚 LFCSP_WQ	CP-24-10
AD5700-1BCPZ-R5	-40°C 至 +125°C	外部时钟、晶振 或内部振荡器	442 μA	24引脚 LFCSP_WQ	CP-24-10
AD5700-1BCPZ-RL7	-40°C 至 +125°C	外部时钟、晶振 或内部振荡器	442 μA	24引脚 LFCSP_WQ	CP-24-10
AD5700-1ACPZ-RL7	-40°C 至 +125°C	外部时钟、晶振 或内部振荡器	540 μA	24引脚 LFCSP_WQ	CP-24-10
EVAL-AD5700-1EBZ				AD5700和AD5700-1的评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释